

IB 552 - 78 / 5

Ein ausbaufähiges Multiplex-Anzeigesystem für den 8 bit Mikroprozessor
INTEL SBC 8080 A

Kurt H. Moser
Jörg Schott

Freigabe: Die Bearbeiter:
K.H. Moser
J. Schott

Unterschriften:

Kurt H. Moser
Jörg Schott

Der Abteilungsleiter:
Dr. G. Hirzinger
Der stellv. Institutsdirektor:

G. Hirzinger

Der Institutsdirektor:
Dr. J. Ackermann

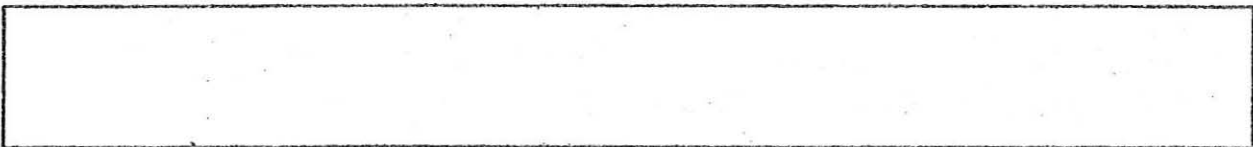
J. Ackermann

Dieser Bericht enthält:

19 Blatt davon

12 Bilder

4 Tabellen



Ort: Oberpfaffenhofen

Datum: 7. 7. 1978

Bearbeiter: Moser
Schott

Zeichen: Mo/So

Inhalt

Seite

1.0. Einleitung	3
2.0. Beschreibung	4
2.1. Zwischenspeicher	5
2.2. Adressierung	7
2.3. Ziffernmultiplex	10
2.4. Anzeige	12
3.0. Aufbau	14
4.0. Erweiterungsmöglichkeiten	14
Literatur	19

1.0 Einleitung

Dieser Bericht soll zum einen den Entwurf eines Mikroprozessor-Peripheriegerätes vorstellen, zum anderen als Anleitung für dessen Einsatz dienen. Anlass für Entwicklung und Bau des Anzeigesystems war die Präsentation eines dreidimensionalen Kraft- und Momentenfühlers (s. IB 552-78/4) auf einer Fachausstellung.

Die Aufgabe bestand aus:

- a) Erfassung von 8 Meßwerten
- b) Umrechnung in 3 Momente und 3 Kräfte
- c) Wandlung der Daten für die Anzeige
- d) Anzeige auf 4 1/2 stelligem Display.

Dieser Bericht befaßt sich ausschließlich mit Punkt d), wobei die Hardware Schnittstelle der Intel Multibus^R ist. Auf der Software-Seite finden die üblichen IO-Techniken Verwendung.

2.0. Beschreibung

Die Anzeigeeinheit ist ausgelegt zum direkten Anschluß an den sogenannten Intel Multibus^R. Sie wird behandelt wie ein Input/Output Gerät.

Wie im Blockschaltbild (Bild 1) dargestellt, besteht eine Anzeigeeinheit im wesentlichen aus dem Datenzwischenspeicher (dazu gehört auch der Speicher für den Dezimalpunktwert) der Adressenkodierung, den Anzeigen mit vier Dezimalstellen und einer ± 1 Anzeige einschließlich des BCD/7 Segment Decoders und der Ziffern-Multiplexsteuerung.

Die Versorgung erfolgt zentral über den Bus.

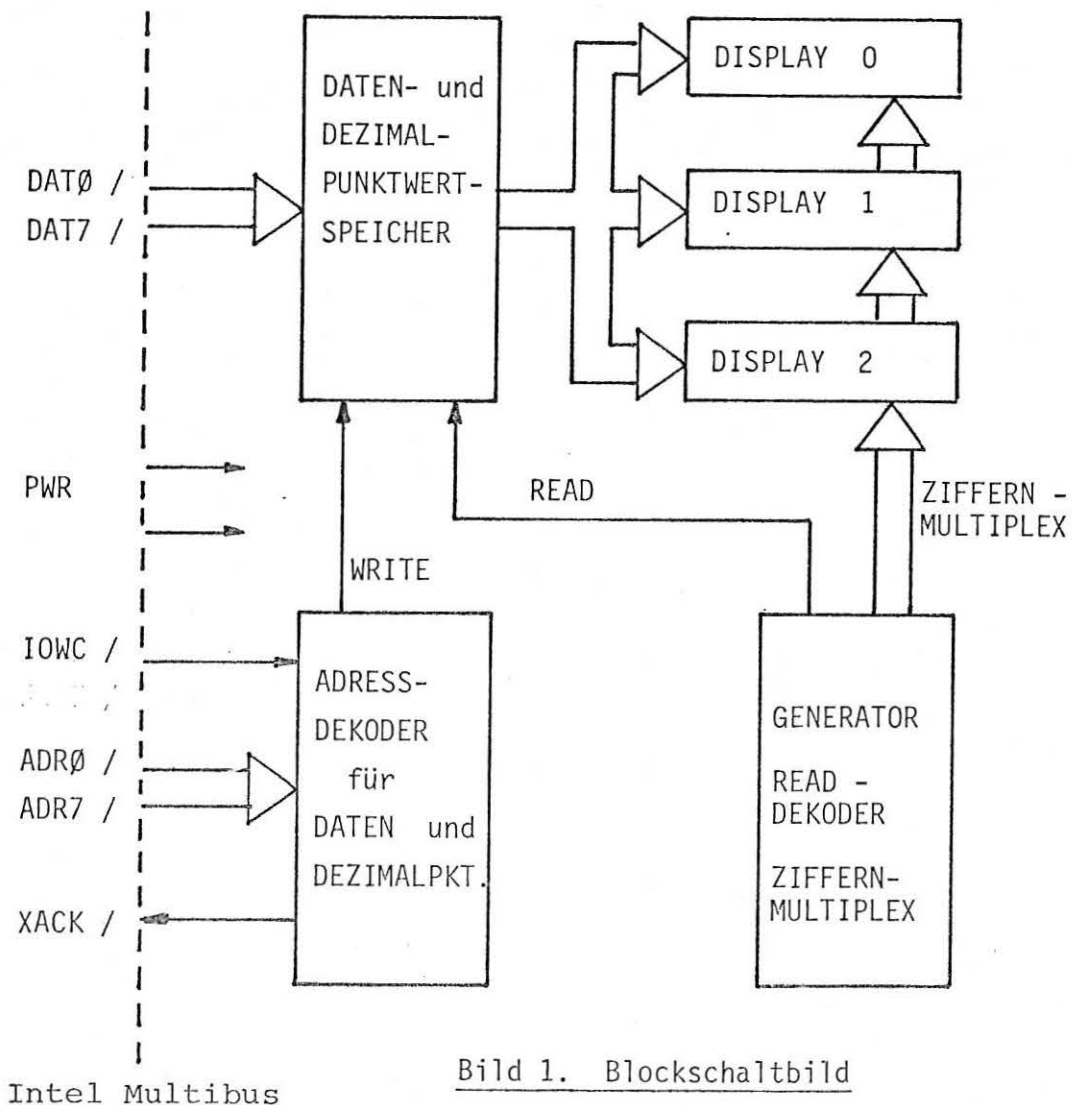


Bild 1. Blockschaltbild

2.1. Zwischenspeicher

Als Datenzwischenspeicher (Bild 2) wurden zwei 4 x 4 bit Register (Typ LS 670) verwendet, die simultanes Einschreiben und Auslesen der Daten erlauben. Die acht Datenleitungen sind in zwei Gruppen zu je 4 bit an den beiden Speichern angeschlossen. Die Tristateausgänge werden bei BCD kodierter Information parallel geschaltet. Für ASCII kodierte alphanumerische Darstellung werden alle 8 Ausgänge benutzt (vorgesehener Ausbau - Kap. 4).

Jedes Register kann also vier Worte zu je 4 bit aufnehmen. Die Platzzuordnung (interne Adressierung) geschieht mit Hilfe der von den Adressdekodern kommenden Steuerleitungen W_A und W_B und dem Schreibkontroll-Signal $GW/$. Eingeschrieben werden 2 BCD kodierte Ziffern also pro Registerblock je eine Ziffer. Bild 3 zeigt die Zuordnung der angezeigten Ziffern zu dem Registerblock.

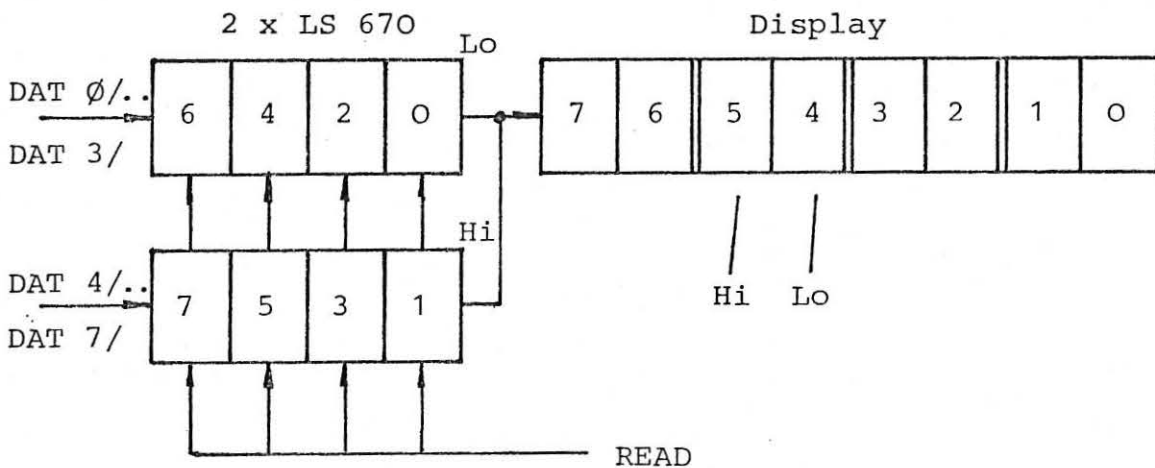
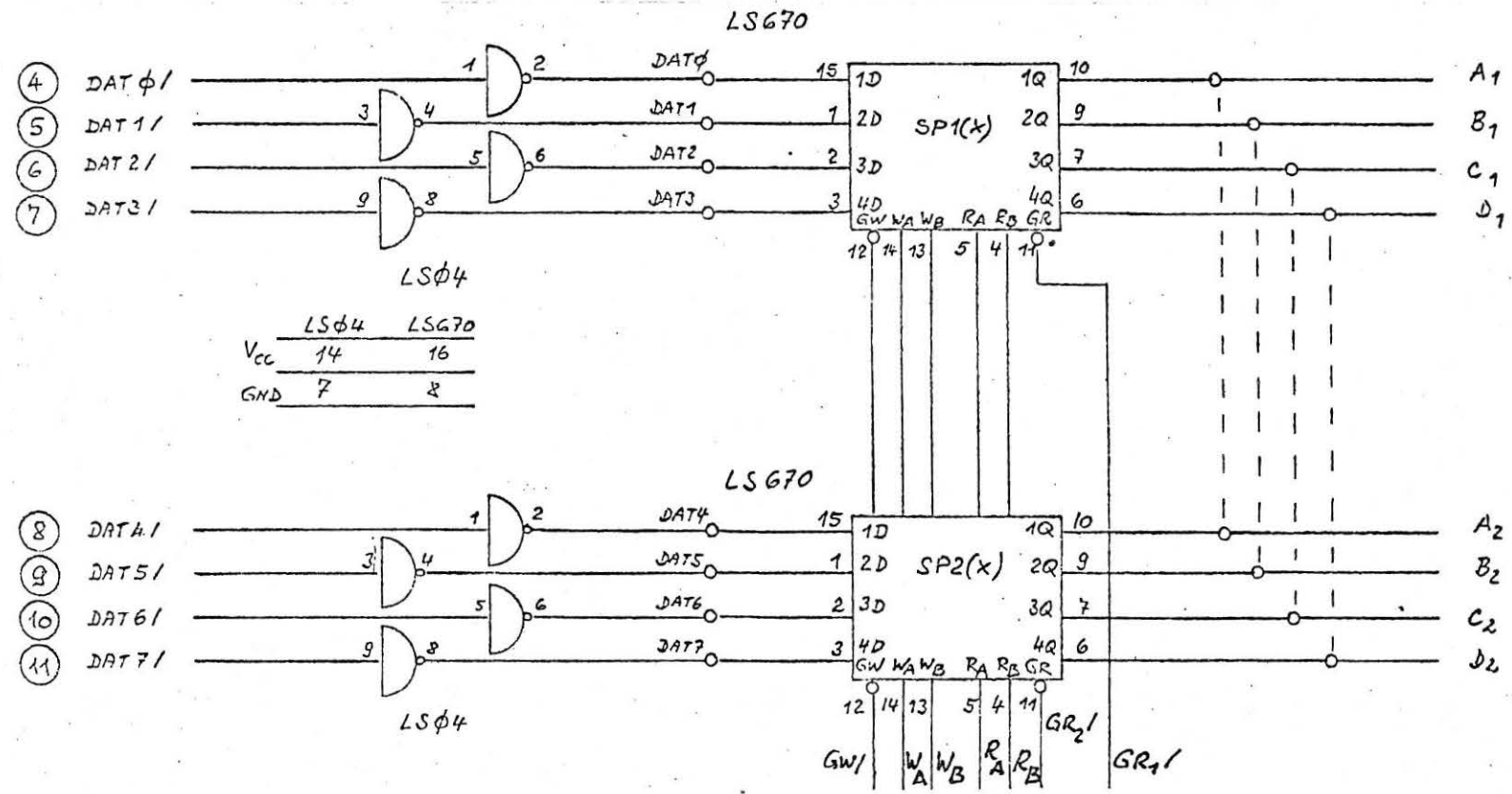


Bild 3 Ziffernzuordnung

Die zwischen Bus und Speicher geschalteten Inverter (Puffer) dienen auch als Treiber für den in Bild 4 dargestellten Dezimalpunktweertspeicher. An dessen Ausgang sind die in einem Display vorhandenen Dezimalpunkte direkt angeschlossen. Aktivierung eines Punktes erfolgt durch Eingabe eines Datenwertes in den DP-Speicher (Tabelle 1).

Bild 2 Datenwischenspeicher



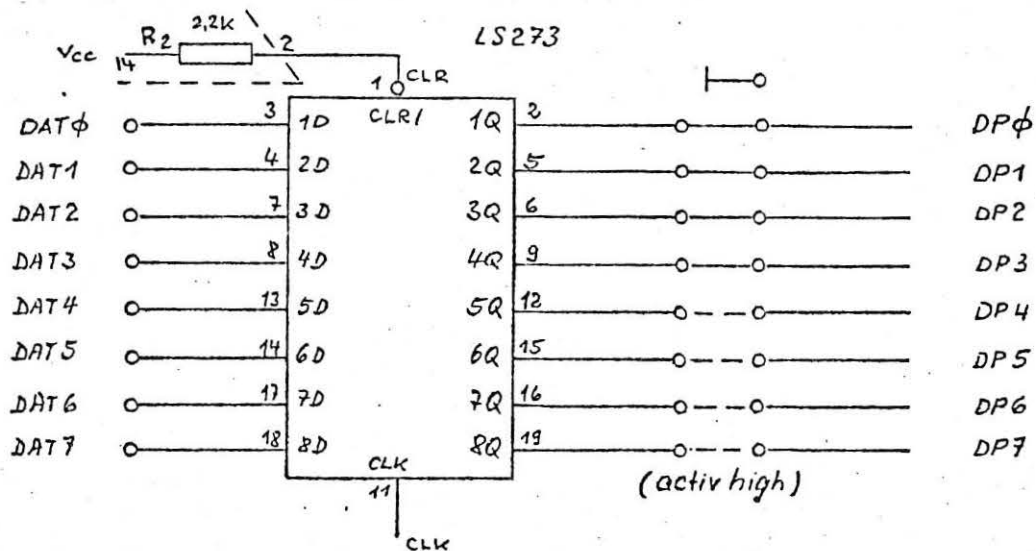


Bild 4 Dezimalpunktwertspeicher

2.2. Adressenkodierung

Innerhalb eines Mikroprozessor-Programms wird ein Wert über einen Ausgabe-Befehl zur Anzeige gebracht.

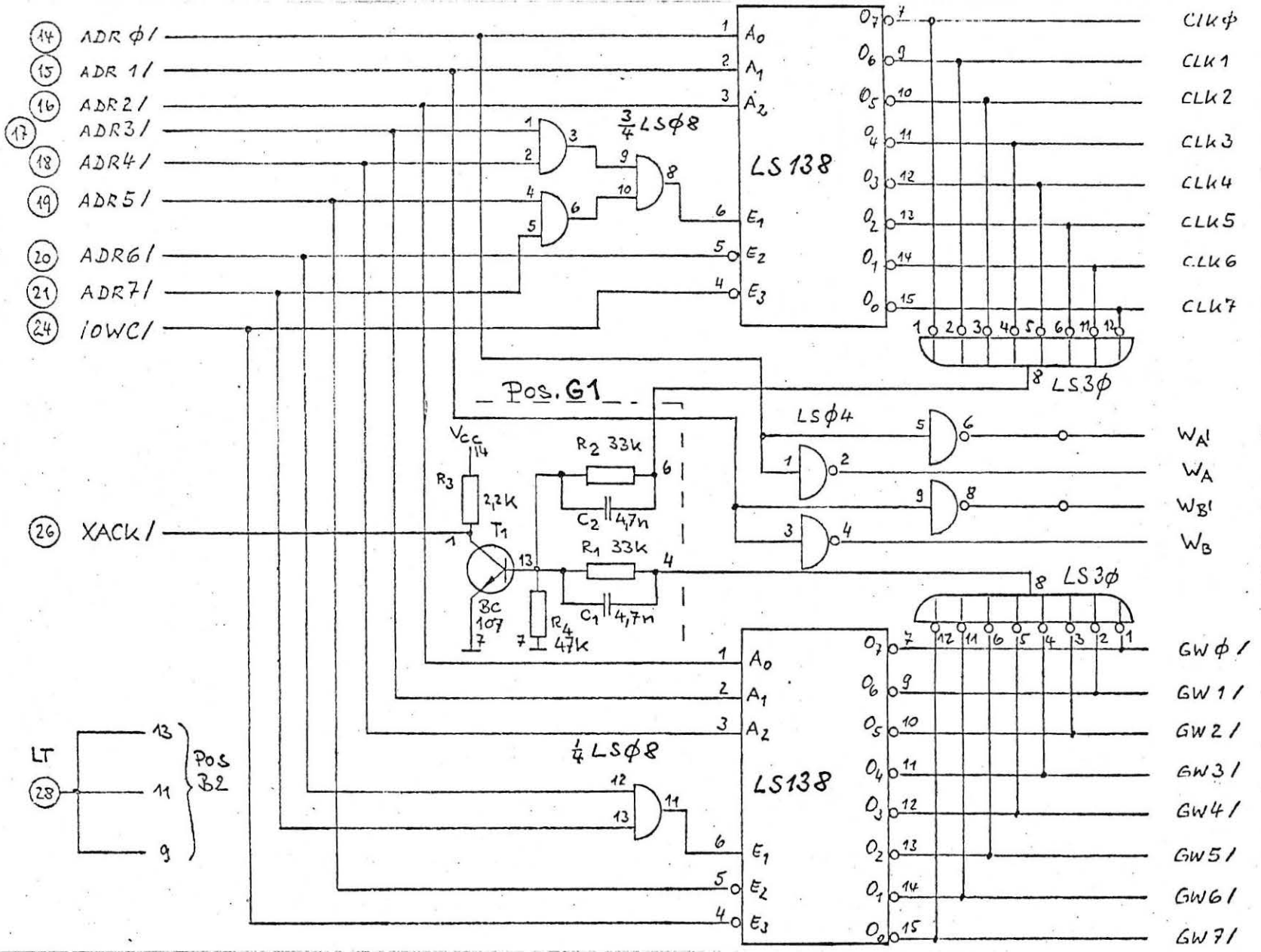
Ein Programmierbeispiel ist nachfolgend angegeben.

```
z.B.   MVI     A, WERT    ; lade Akkumulator
       OUT    ADRESSE    ; Ausgabe
       ⋮
```

Der Wert erscheint auf den Datenleitungen, die Adresse auf den Adressleitungen (untere 8 bit). Das Erkennen einer Adresse erfolgt in dem in Bild 5 dargestellten Adressdekodierer (Typ LS 138).

Das Kontrollsignal IOWC/ (Input Output Write Control) bestätigt, daß die Information auf den Daten und Adressleitungen stabil ist. Deshalb wird auch erst mit diesem Signal die dekodierte Adresse durchgeschaltet und damit die Signale Clk ϕ .. Clk 7 bzw. GW ϕ /... GW 7/ erzeugt. Danach kann dem Prozessor das Quittungssignal XACK/ (Transfer (X) ACKnowledge) zurückgemeldet werden. Bild 6 zeigt das zugehörige Impulsdiagramm [1].

Bild 5 : Adressendekodierung



ZIFFER	7	6	5
DISPLAY	-----ADRI		
∅	23		2∅
1	27		2∅
2	2B		2∅
3	2F		2∅
4	33		3∅
5	37		3∅
6	3B		3A
7	3F		3∅
DP - WERT	--	4∅	2∅
WERT + 1	8	W	∅
WERT - 1	9	W	∅
WERT +	A	W	∅
WERT -	B	W	∅
BLANK	F	W	∅

	2	1	∅	DP

21		2∅		4∅
25		24		41
29		28		42
2D		2C		43
31		3∅		44
35		34		45
39		38		46
3D		3C		47
	∅4	∅2	∅1	--

nn +/- 1 als Ziffer 4
 nn +/- 1 als Ziffer 7
 t angehängtem Wert (W) der
 r Ziffer 6.

Alle Dezimalpunkte (DP) EIN ()
 Alle Dezimalpunkte (DP) AUS ()
 Alle übrigen Ziffern AUS ()

) : FF H
 : ∅∅ H
 : FF H

Tabelle 1 :

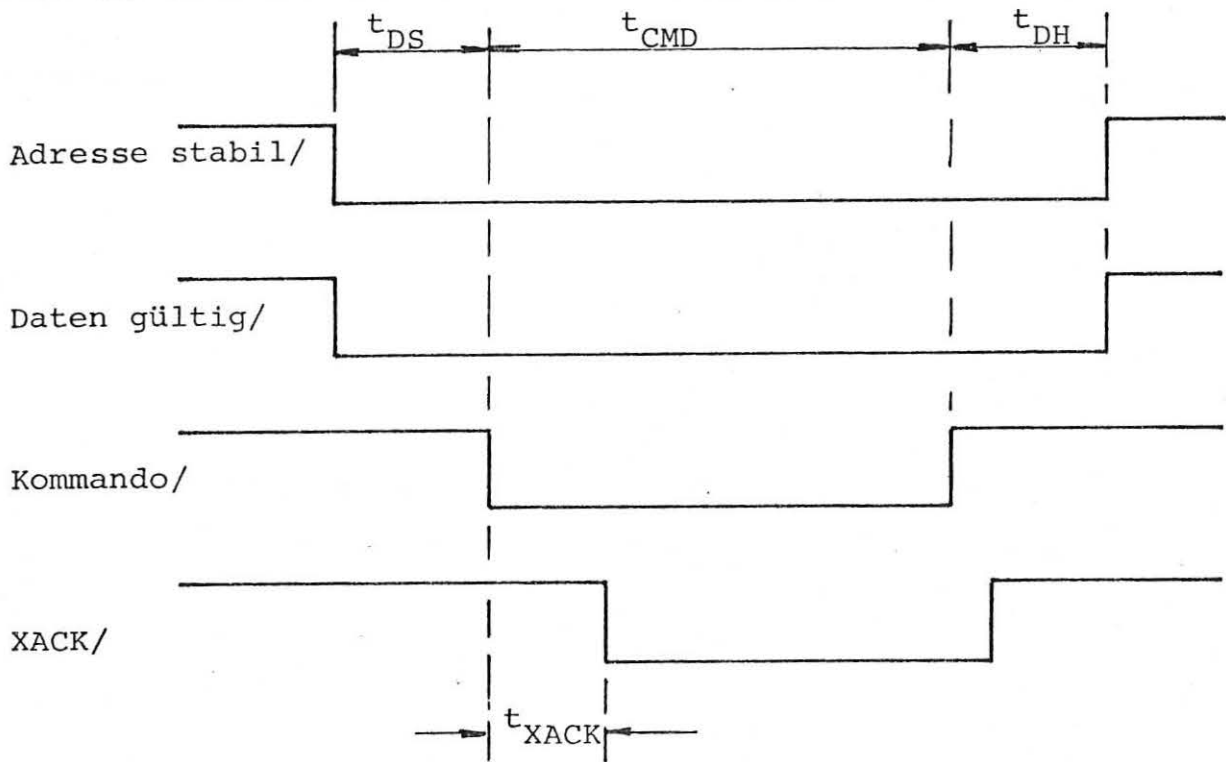


Bild 6 Impulsdiagramm WRITE DATA TRANSFER

Jedes Ziffern paar des Displays hat eine eigene Adresse (Tabelle 1) und kann deshalb vom Prozessor separat gesetzt werden. Zum Beispiel kann Ziffer 5 und 4 (als Paar) in Anzeige 4 per Adresse 32 H verändert werden. Der Dezimalpunkt vor Ziffer 5 in der gleichen Anzeige wird per Adresse 44 H mit Datenwert 20_H angesprochen.

Die Signale Clk ϕ bis Clk 7 erlauben den Anschluß von max. acht Dezimalpunktdekodern (Bild 4). GW $\phi/$ bis GW 7/ in Verbindung mit W_A und W_B kontrollieren die maximal acht möglichen Daten-Registerblöcke (4 Worte tief, Bild 2).

2.3. Der Ziffernmultiplexer

Das Auslesen, der in den Zwischenspeichern gehaltenen Datenwerte erfolgt asynchron zum Prozessortakt. Der Auslesedekoder (Typ LS 145) (Bild 7) erzeugt die Signale DS $\phi/$ bis DS 7/ (Digit Select). Alle Ziffern mit gleichem Stellenwert werden

Pos. G2

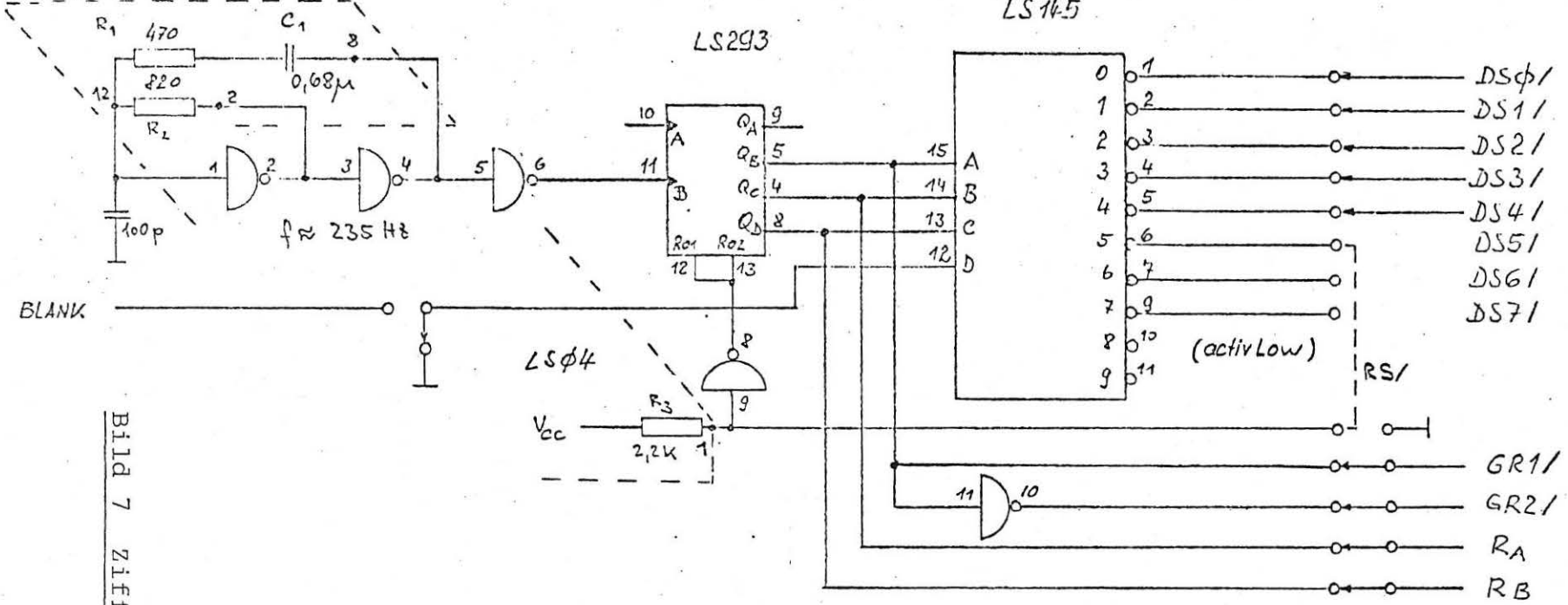


Bild 7 Ziffernmultiplexer

parallel angesteuert in zyklischer Folge. Die Lese-Kontroll-Signale GR 1/ und GR 2/ und die Lese-Adresssignale R_A und R_B laufen mit den DS-Signalen synchron und legen fest, auf welches Zifferndisplay der Inhalt der adressierten Speicherzellen geschrieben werden soll. In der gezeichneten Version werden 5-ziffrige Displays angesteuert. Bild 8 zeigt das Impulsdiagramm zwei Zyklen.

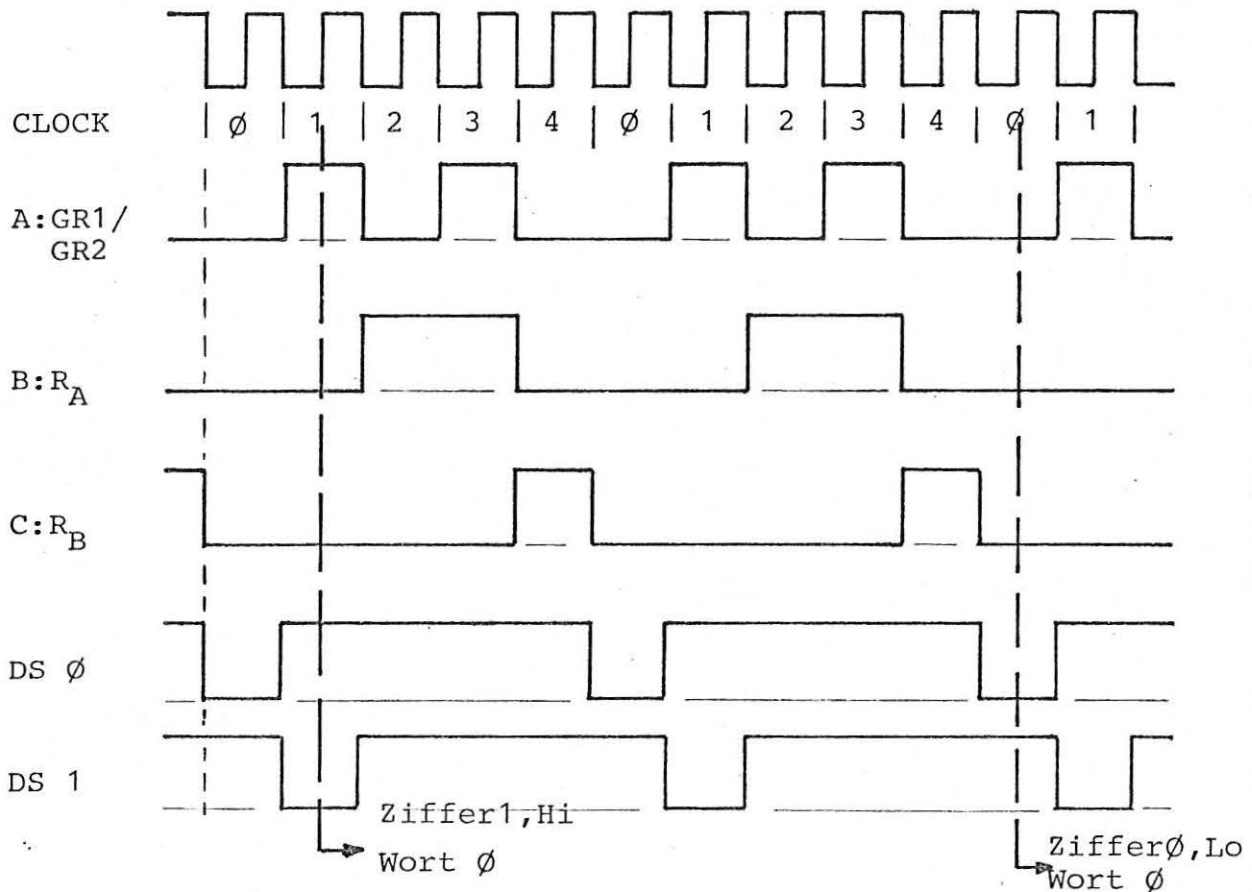
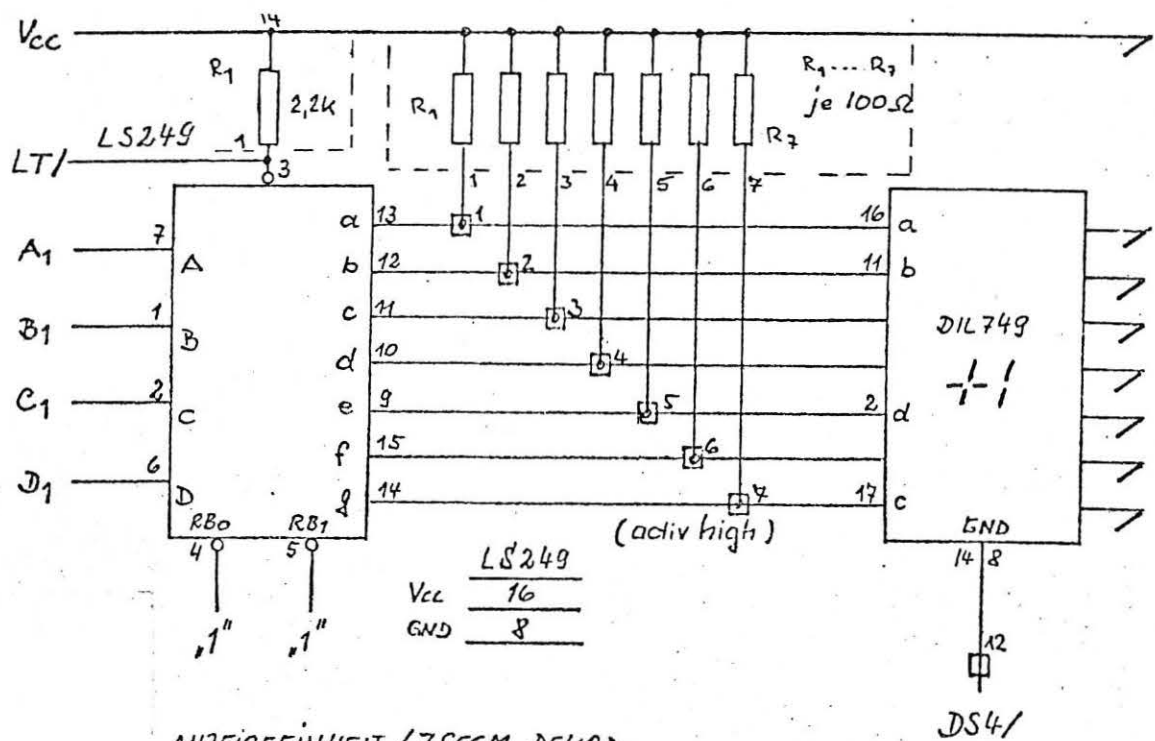


Bild 8 Impulsdiagramm Ziffernmultiplex

2.4. Die Anzeige

Diese Funktionsgruppe (Bild 9) besteht aus dem BCD/Sieben Segment Dekoder (LS 249) und den Sieben Segment Leuchtanzeigen (DIL 749/750). Die vom Zwischenspeicher kommende 4 bit BCD Information wird im Dekoder zur Anzeige entschlüsselt. Da die Ziffern im Multiplexbetrieb angesteuert werden, sind jeweils die gleichen Segmente der einzelnen Ziffern parallel geschaltet. Die Auswahl der Ziffern erfolgt über die DS Signale. Die Dezimalpunkte werden direkt vom Dezimalpunktdekoder über die Leitungen DP angesprochen.



ANZEIGEEINHEIT / 7SEGM. DEKOD.

□ DIL-STECKER Pin

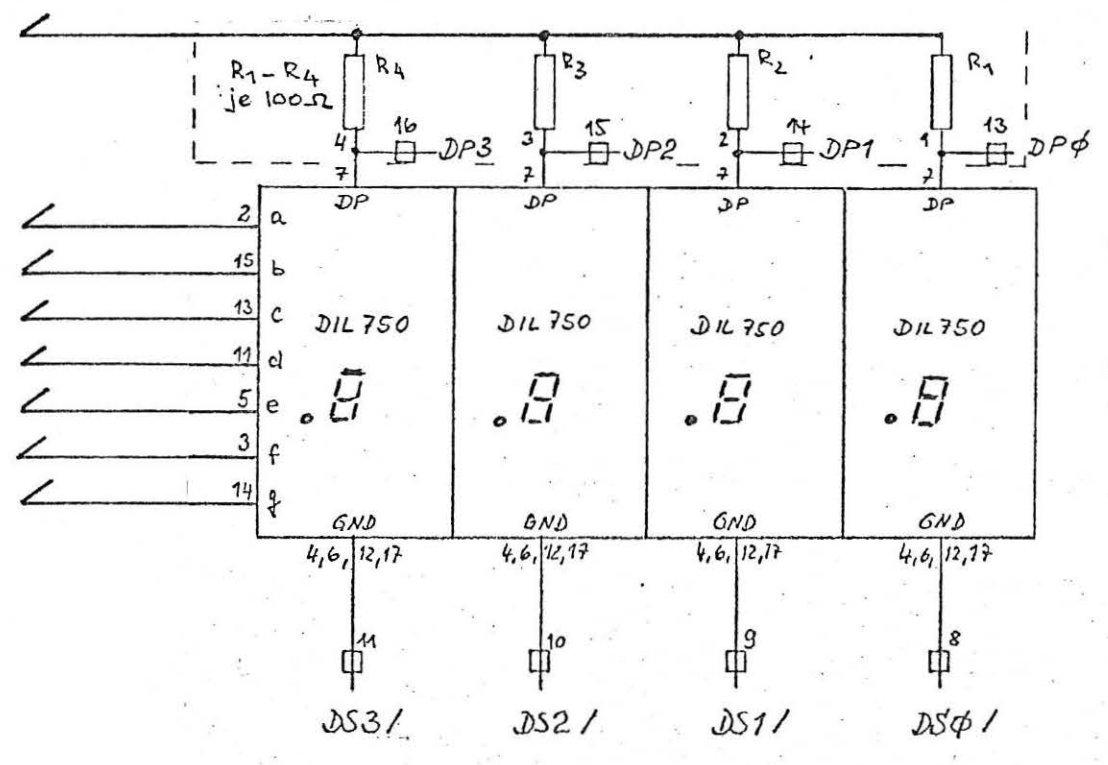


Bild 9 Anzeige

3.0 Aufbau und Verdrahtung

Die gesamte Elektronik für je drei Anzeigen ist auf einer Doppel-europakarte untergebracht. Die zusätzlichen Bauelemente wie Pullupwiderstände etc. wurden auf DIL-Steckern gelötet (Bild 10) und auf der Platine aufgesteckt. Die Verdrahtung der einzelnen Logikbausteinen erfolgte in Fädelschleife. Die Anordnung ist aus Bild 11 ersichtlich. Die Anzeigen, die jeweils auf einer kleinen Platine (Bild 12) an der Frontplatte befestigt sind, werden über Kabel und Steckverbindung (Tabelle 2) an der Hauptplatine angeschlossen. Aus Tabelle 3 ist die Drahtführung zum Bus des Mikroprozessors 80/20 ersichtlich, Tabelle 4 zeigt die Anschlußmöglichkeit an unseren 16 bit Prozeßrechner PACER 100.

4.0 Erweiterung

In der jetzt zur Verfügung stehenden Version wurden die Möglichkeiten nur zum Teil ausgenutzt. Die für den anfangs beschriebenen Anwendungsfall nötigen sechs 4.1/2 stelligen Anzeigen wurden in zwei 19"/1 HE großen Einschubgehäuse untergebracht.

Ohne Änderung der Elektronik könnte man maximal 8 Anzeigen mit je 8 Dezimalstellen (oder 7 Dezimalstellen und einer ± 1 Anzeige) sowie den sieben bis acht Dezimalpunkten anschließen.

Durch Austausch der 7 Segmentdekoder für Dezimalstellen in solche, die auch Hexadezimaldekodierung ermöglichen, wären die Anzeigen auch dem Hexcode des 8080 angepaßt.

Ebenso wäre durch Anreihen der Anzeigen und Wahl der Decoder eine Alphanumerische Darstellung möglich.

POS. G1

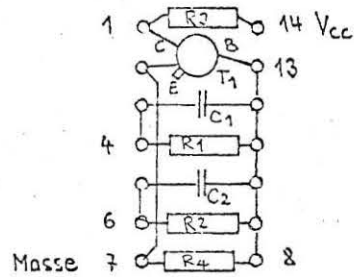


Bild 10a XACK /

POS. G2

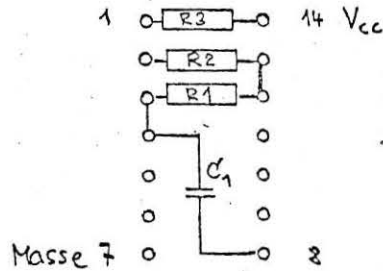


Bild 10b Takt GENERATOR

POS. B/D/F4

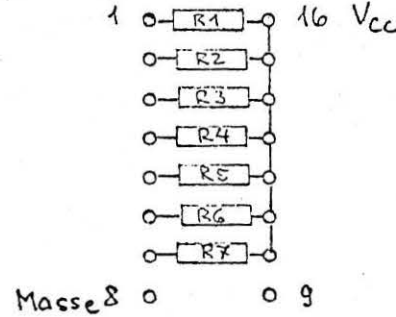


Bild 10c PULL UP'S / DISPLAY

POS. B/D/F3

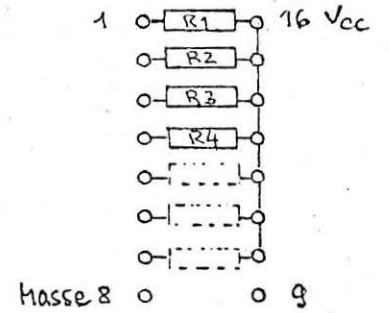


Bild 10d PULL UP'S DP's

15

Pos. B2

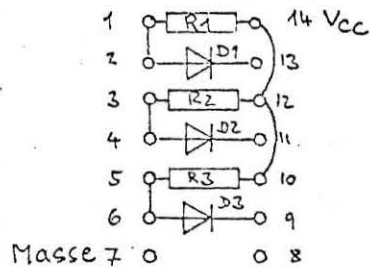
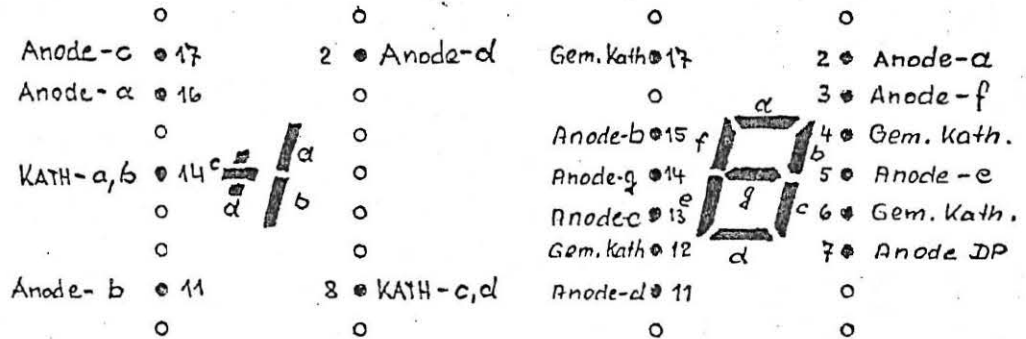


Bild 10e LT

Bild 10: Bauelemente

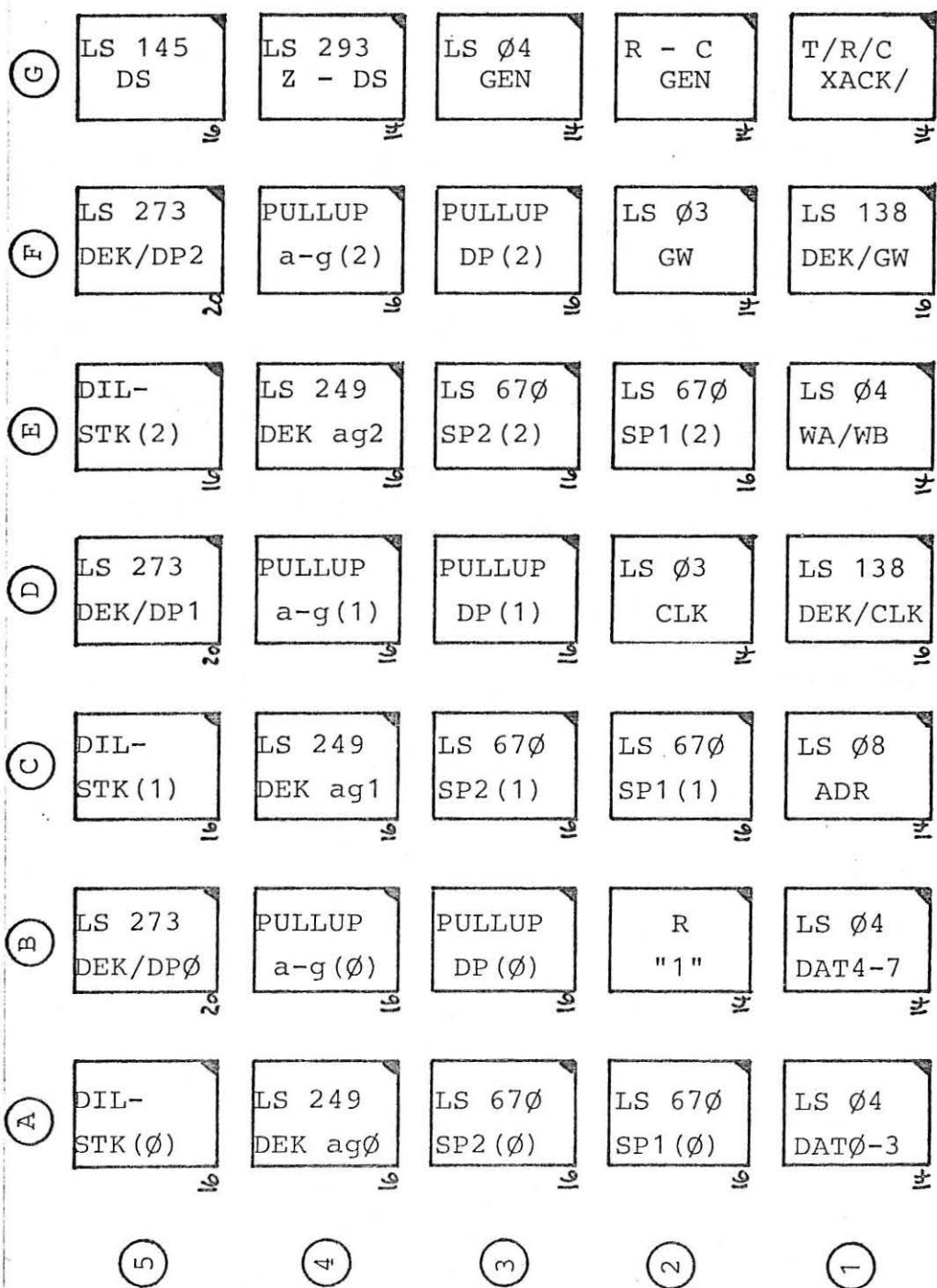


DIL 749

DIL 750

Bild 10f ANSCHLUSSBELEGUNG DISPLAYS (v.H)

Bild 10

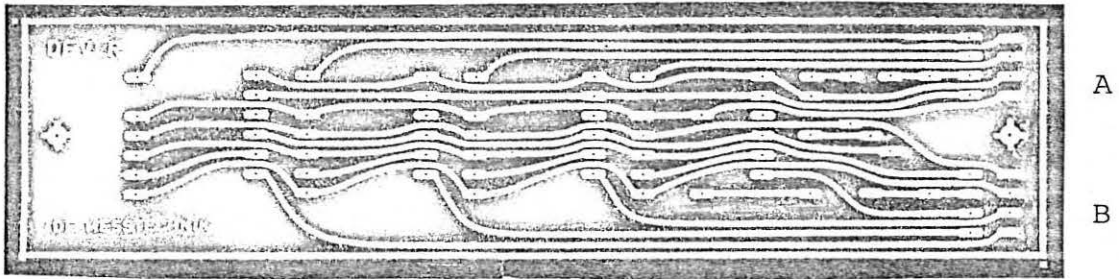


32

Bestückungsseite

Bild 11 Anordnung der Bauelemente auf der Platine

Ansicht Leiterseite / M 1 : 1



Belegung A:

DS Ø	←	←	DS 1
DS 2	←	←	DS 3
e	←	←	a
f	←	←	b

Belegung B:

c	←	←	g
DS 4	←	←	d
DP 3	←	←	DP 2
DP 1	←	←	DP Ø

Bild 12 Anzeigeplatine

a	/	ws	●	1	16	●	DP 3/	ws
b	/	br	●	2	15	●	DP 2/	br
c	/	gn	●	3	14	●	DP 1/	gn
d	/	ge	●	4	13	●	DP Ø/	ge
e	/	gr	●	5	12	●	DS 4/	gr
f	/	li	●	6	11	●	DS 3/	li
g	/	rt	●	7	10	●	DS 2/	bl
DS Ø/		sw	●	8	9	●	DS 1/	vio

Tabelle 2: Steckerbelegung Anzeige - Hauptplatine

Signal Bezeichnung	Stecker Anzeige	Draht- Farbe	BUS 80/20
PWR/GND	1 / 2	A / ws	1 / 2
DAT \emptyset /LSB	4	A / br	73
DAT 1/	5	A / gn	74
DAT 2/	6	A / ge	71
DAT 3/	7	A / gr	72
DAT 4/	8	A / rs	69
DAT 5/	9	A / bl	70
DAT 6/	10	A / rt	67
DAT 7/MSB	11	A / sw	68
ADR \emptyset /LSB	14	A / li	57
ADR 1/	15	B / ws	58
ADR 2/	16	B / br	55
ADR 3/	17	B / gn	56
ADR 4/	18	B / ge	53
ADR 5/	19	B / gr	54
ADR 6/	20	B / rs	51
ADR 7/MSB	21	B / bl	52
IOWC/	24	B / rt	22
XACK/	26	B / sw	23
PWR/+5V	31 / 32	B / li	81/82

Tabelle 3: Anschluss Display an BUS 80/20

Signal Bezeichnung	Stecker Anzeige	Bit No PACER	PACER Interface		
			LTG	SIGN	GND
ADR 7/MSB	21	\emptyset - MSB	1	A 1	A 2
ADR 6/	20	1	2	A 3	A 4
ADR 5/	19	2	3	A 5	A 6
ADR 4/	18	3	4	A 7	A 8
ADR 3/	17	4	5	A 9	A 10
ADR 2/	16	5	6	A 11	A 12
ADR 1/	15	6	7	B 1	B 2
ADR \emptyset /LSB	14	7	8	B 3	B 4
DAT 7/MSB	11	8	9	B 5	B 6
DAT 6/	10	9	10	B 7	B 8
DAT 5/	9	10	11	B 9	B 10
DAT 4/	8	11	12	B 11	B 12
DAT 3	7	12	13	C 1	C 2
DAT 2	6	13	14	C 3	C 4
DAT 1	5	14	15	C 5	C 6
DAT \emptyset /LSB	4	15 - LSB	16	C 7	C 8
IOWC/	24	STRB	17	C 9	C 10
XACK/	26		18	C 11	C 12

Tabelle 4: Anschluss Display an PACER 100

Literatur

[1] INTEL MULTIBUS INTERFACING
INTEL APPLICATION NOTE No. AP 28

FIRMENUNTERLAGEN