

Interner Bericht

DLR-IB-RM-OP-2024-105

Aufbau und Vergleich von Leistungseinheiten für Weltraumroboterarme basierend auf Silizium- und Galliumnitridtechnologie

Masterarbeit

Anna Kaifenheim

Deutsches Zentrum für Luft- und Raumfahrt

Institut für Robotik und Mechatronik
Oberpfaffenhofen



DLR

Deutsches Zentrum
für Luft- und Raumfahrt

Dokumenteigenschaften

Titel	<u>Aufbau und Vergleich von Leistungseinheiten für Weltraumroboterarme basierend auf Silizium- und Galliumnitridtechnologie</u>
Betreff	<u>Masterarbeit</u>
Institut	<u>Robotik und Mechatronik</u>
Erstellt von	<u>Anna Kaifenheim</u>
Beteiligte	<u>-</u>
Geprüft von	<u>Sascha Moser, M. Sc.</u>
Freigabe von	<u>Sascha Moser, M. Sc.</u>
Zugänglichkeit	<u>X Stufe 1: Allgemein zugänglich (in elib ohne Zugangsbeschränkung)</u> <input type="checkbox"/> Stufe 2: DLR intern zugänglich (in elib mit Beschränkung „nur DLR-intern zugänglich“)
Datum	<u>20.06.2024</u>
Version	<u>1.0</u>
Datei Info	<u>-</u>

Hochschule München
Fakultät für Elektrotechnik und Informationstechnik
Masterstudiengang Elektrotechnik und Informationstechnik (EIM)

Masterarbeit

von

Anna Kaifenheim

Aufbau und Vergleich von Leistungseinheiten für Weltraumroboterarme basierend auf Silizium- und Galliumnitridtechnologie

**Construction And Comparison of Power Supply Units for Space
Robotic Arms Based on Silicon And Gallium Nitride Technology**

Lfd. Nr.: 832
Bearbeitungsbeginn: 23.06.2023
Abgabedatum: 24.06.2024

Hochschule München
Fakultät für Elektrotechnik und Informationstechnik
Studiengang: Master Elektro- und Informationstechnik

Masterarbeit

von

Anna Kaifenheim

**Entwicklung und Aufbau von Leistungseinheiten für
Weltraumroboterarme basierend auf Silizium- und
Galliumnitridtechnologie und Vergleich der Systemeigenschaften
am Beispiel eines Gleichspannungswandlers in Flyback-Topologie**

**Development And Construction of Power Supply Units for Space Robotic Arms Based
on Silicon And Gallium Nitride Technology And Comparison of the System Properties
Using the Example of a DC/DC Converter in Flyback Topology**

Gutachter:	Prof. Dr. Eric-Roger Brücklmeier
Betrieb:	Deutsches Zentrum für Luft- und Raumfahrt e.V.
Betrieblicher Betreuer:	Sascha Moser, M.Sc.
Lfd. Nr.:	832
Bearbeitungsbeginn:	23.06.2023
Abgabedatum:	24.06.2024

Erklärung der/des Bearbeiterin/s:

Name: Kaifenheim

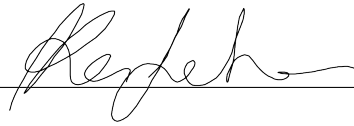
Vorname: Anna

1) Ich erkläre hiermit, dass ich die vorliegende Masterarbeit selbständig verfasst und noch nicht anderweitig zu Prüfungszwecken vorgelegt habe.

Sämtliche benutzte Quellen und Hilfsmittel sind angegeben, wörtliche und sinngemäße Zitate sind als solche gekennzeichnet.

München, den 19.06.2024:

Unterschrift

A handwritten signature in black ink, appearing to read 'Kaifenheim', written over a horizontal line.

Zusammenfassung

Diese Arbeit befasst sich mit der Entwicklung und dem Aufbau verschiedener Gleichspannungswandler in Flyback-Topologie basierend auf Silizium- oder Galliumnitrid-technologie. Beide Technologien werden hinsichtlich Komplexität, Wirkungsgrad und weiterer Systemeigenschaften miteinander verglichen.

Inhaltlich wird zunächst ein technologischer Überblick über das Funktionsprinzip und die physikalischen Eigenschaften von GaN-Transistoren sowie den Aufbau und die Funktionsweise eines DC-DC-Wandlers in Flyback-Topologie gegeben.

Des Weiteren wird der Aufbau des Wandlers sowie die Funktion der einzelnen Schaltblöcke detailliert erklärt. Hierbei wird außerdem auf die Auswahl der Silizium- und GaN-Transistoren eingegangen. Darüber hinaus liegt ein ergänzender Schwerpunkt auf der Regelung des Wandlers, die im Einzelnen nachvollzogen und in MATLAB implementiert wird.

Anschließend erfolgt die Gegenüberstellung beider Technologien zunächst durch die Berechnung und Simulation der Verlustleistung in LTSpice. Zuletzt wird eine praktische Leistungsvermessung der Wandler für den messtechnischen Vergleich des Wirkungsgrades durchgeführt.

Das Ziel der Arbeit ist es, durch den rechnerischen und praktischen Vergleich und eine anschließende Analyse und Evaluierung der Ergebnisse, Aufschluss über Vor- und Nachteile der GaN- gegenüber der Siliziumtechnologie zu erhalten, sowie die Sinnhaftigkeit der Verwendung von GaN-Transistoren in dem behandelten System zu bewerten.

Abstract

This thesis presents the development and construction of different DC/DC converter in flyback topology based on either silicon or gallium nitride technology. The two technologies are compared in terms of complexity, efficiency and other system properties. Firstly, a technological overview is given of the functional principle and physical properties of GaN transistors as well as the structure and operation of a DC/DC converter in flyback topology.

Furthermore, the structure of the converter and the function of the individual circuit blocks are explained in detail. The selection of silicon and GaN transistors is also discussed. An additional topic is the control loop of the converter, which is implemented in MATLAB.

Initially the two technologies are compared by calculating and simulating the power loss in LTSpice. Finally, a practical power measurement of the converters is carried out to compare the efficiency.

The aim of this thesis is to provide information on the advantages and disadvantages of GaN technology compared to silicon technology and on the sense of using GaN transistors in this system by means of a mathematical and practical comparison and a subsequent analysis and evaluation of the results.

Inhaltsverzeichnis

1	GaN Technologie in Raumfahrtprojekten der Zukunft - Motivation	1
2	Technologieüberblick	4
2.1	GaN-Transistoren	4
2.1.1	Aufbau und materialspezifische Eigenschaften	5
2.1.2	Funktionsweise	8
2.1.3	Vorteile und Herausforderungen	11
2.1.4	GaN-Technologie in Weltraumapplikationen	15
2.2	Flyback-Topologie	16
2.2.1	Pulsweitenmodulierte Gleichspannungswandler	17
2.2.2	Aufbau und Funktionsweise des Flyback-Wandlers	18
2.2.3	Vorteile der Flyback-Topologie	19
3	3,4 V Gleichspannungswandler	21
3.1	Einordnung in das Gesamtsystem	21
3.1.1	Mechanische Struktur	21
3.1.2	CAESAR Elektronikblock	23
3.1.3	Power Supply Unit (PSU)	24
3.2	Aufbau und Funktionsweise der Schaltung	25
3.2.1	Eingangslogik	27
3.2.2	PWM-Kontroller	28
3.2.3	Gate-Treiber	30
3.2.4	Schaltkomponente	31
3.2.5	Strommessung	31
3.2.6	Übertrager	33
3.2.7	Ausgangsfiler	34
3.3	Auswahl der GaN-Transistoren	35
3.3.1	Si-Transistor des Referenzdesigns	35
3.3.2	Auswahlkriterien	35

3.3.3	Berechnung der Verlustleistung	36
3.4	Regelung	39
3.4.1	Regeleinrichtung	40
3.4.2	Stellglied	42
3.4.3	Regelstrecke	44
3.4.4	Rückführung	45
4	Technologievergleich in Simulation und Praxis	47
4.1	Theoretische Berechnung der Verlustleistung	47
4.2	Simulation	48
4.2.1	Vergleich von Silizium und Galliumnitrid	49
4.2.2	Verifizierung der Berechnung	49
4.2.3	Verifizierung der Regelung	58
4.3	Praktische Messungen	61
4.3.1	Stabilität des Regelkreises	62
4.3.2	Leistungsmessung	65
4.3.3	Betrachtung unter Vernachlässigung der Treiber-Verluste	70
4.3.4	Vergleich hinsichtlich Größe und Komplexität	74
4.3.5	Vergleich zu Berechnung und Simulation	74
5	Zusammenfassung und Fazit	76
A	LTSpice Simulationen	84
A.1	Version 1: IRHNM57110	85
A.2	Version 2: FBSGAM01PCPSE und EPC7003A	86
A.3	Version 3: FBSGAM01PCPSE und CDA10N05X2	87
A.4	Version 4: ISL70023SEH und EPC7003A	88
A.5	Version 5: ISL70023SEH und CDA10N05X2	89
B	MATLAB	90
B.1	Regelkreis Simulink	91
B.2	Code	92
C	Schaltpläne	93
C.1	Version 1: IRHNM57110	94
C.2	Version 2: FBS-GAM01P-C-PSE und EPC7003A	98
D	Layouts	102
D.1	Version 1: IRHNM57110	103

D.2	Version 2: FBS-GAM01P-C-PSE und EPC7003A	104
E	Tabellen zur Leistungsberechnung und Simulation	105
E.1	Tabellen zur Simulation der Verlustleistung	106

Abbildungsverzeichnis

1.1	Compliant Assistant and Exploration SpAce Robot (CAESAR) Roboterarm [6], DLR (CC BY-NC-ND 3.0)	2
2.1	Üblicher Aufbau eines GaN-HEMT mit p-GaN-Gate zur Realisierung eines Anreicherungstyps [42]	5
2.2	Hexagonale Doppelschicht der Wurtzit-Kristallstruktur (rot: N, blau: Ga) [17]	6
2.3	Aufbau der GaN-Doppelschicht, links: Kristall mit N-face-Polarität, rechts: Kristall mit Ga-face-Polarität, Darstellung nach [27]	7
2.4	Spontane und piezoelektrische Polarisierung in einer AlGaN/GaN-Heterostruktur und resultierende induzierte Ladungen, Darstellung nach [39] [33]	8
2.5	Diagramm der Leitungsbandkante für die undotierte AlGaN/GaN Heterostruktur, Leitungsbandenergie: E_C , Fermienergie: E_F , Darstellung nach [39]	10
2.6	Bänderdiagramme für einen Normally-Off-Typ mit p-GaN Schicht unter der Gate-Elektrode, links: nicht-leitender Zustand, rechts: leitender Zustand, Darstellung nach [13]	11
2.7	Technologievergleich bezogen auf Leistung und Frequenzbereich der Anwendung [1]	12
2.8	Vergleich der Gateladungsmengen am Beispiel des GaN-HEMT EPC7003A und des MOSFET IRHNM57110, Darstellung nach [11] [22]	13
2.9	Stromverläufe für Constant Conduction Mode (CCM) und Discontinuous Conduction Mode (DCM) am Beispiel eines Transformators	17
2.10	Aufbau der nicht-invertierenden Flyback-Wandler-Topologie, Darstellung nach [26]	19
3.1	CAESAR Mechanische Struktur, Quelle: DLR-RMC	22
3.2	CAESAR Elektronikblock Aufbau in Halbschale, Quelle: DLR	23
3.3	CAESAR Elektronikblock Blockschaltbild, Darstellung nach [3]	24

3.4	CAESAR PSU Blockschaltbild, Quelle: DLR-RMC	25
3.5	Blockschaltbild 3, 4 V Flyback-Wandler	26
3.6	PWM-Controller UC1843 intern [48]	29
3.7	Schleifenkompensation	30
3.8	Beschaltung des Strommesstransformators	32
3.9	Snubber-Glied	34
3.10	Ladungsverteilung beim Einschaltvorgang eines Transistors	37
3.11	Regelkreis	39
3.12	Regeleinrichtung	40
3.13	Schaltungstechnische Umsetzung des PI-Regler	40
3.14	Stellglied des Regelkreises	42
3.15	Entstehung des Kleinsignalersatzschaltbildes	43
3.16	Regelstrecke	44
3.17	Ausgangsimpedanz des Wandlers	45
3.18	Rückführung	46
4.1	Bestimmung des Duty-Cycles aus dem Verlauf der Gate-Spannung am Beispiel des IRHNM57110	51
4.2	Kurvenverläufe von Strom I_D , Spannung U_{DS} und Leistung P	52
4.3	Bestimmung der Schaltverluste am Beispiel des IRHNM57110	54
4.4	Bestimmung der Schaltverluste am Beispiel des EPC7003A mit Trei- ber FBS-GAM01P-C-PSE	55
4.5	Bestimmung der Gate-Verluste am Beispiel des IRHNM57110	56
4.6	Bestimmung der Gate-Verluste am Beispiel des EPC7003A mit Trei- ber FBS-GAM01P-C-PSE	57
4.7	Betrachtung der Regelung unter 1Ω Last	59
4.8	Betrachtung der Regelung unter 10Ω Last	60
4.9	Betrachtung der Regelung unter 100Ω Last	60
4.10	links: Platine mit GaN-HEMT EPC7003A, rechts: Platine mit Si-FET IRHNM57110	61
4.11	Aufbau zur Messung der Regelkreisstabilität	62
4.12	Praktischer Messaufbau für die Überprüfung der Regelkreisstabilität	63
4.13	Spannungsprofil des injezierten Signals	64
4.14	Bode-Diagramm des Regelkreises mit Amplitudenreserve und Phasen- reserve	65
4.15	Aufbau zur Messung der Effizienz	65
4.16	Praktischer Aufbau für die Leistungsvermessung	66
4.17	Si-Version: Leistungsmessung inklusive Ausgangsfilter	67

4.18	Si-Version: Leistungsmessung exklusive Ausgangsfilter	68
4.19	GaN-Version: Leistungsmessung inklusive Ausgangsfilter	69
4.20	GaN-Version: Leistungsmessung exklusive Ausgangsfilter	70
4.21	Effizienzkurven der Leistungsstufen mit Vernachlässigung der Verluste der 5 V- und 12 V-Verbraucher exklusive Ausgangsfilter	72
4.22	Leistungsdifferenz der Leistungsstufe von GaN und Si $P_{Si} - P_{GaN}$	73
4.23	Vergleich der benötigten Platinenfläche von GaN (links) und Si (rechts)	74
A.1	LTSpice Simulation Version 1: IRHNM57110	85
A.2	LTSpice Simulation Version 2: FBSGAM01PCPSE und EPC7003A	86
A.3	LTSpice Simulation Version 3: FBSGAM01PCPSE und CDA10N05X2	87
A.4	LTSpice Simulation Version 4: ISL70023SEH und EPC7003A	88
A.5	LTSpice Simulation Version 5: ISL70023SEH und CDA10N05X2	89
B.1	Regelkreis MATLAB Simulink	91
C.1	Schaltplan cs_3v4fb_sidrv_v10 Seite 01_INPUT	94
C.2	Schaltplan cs_3v4fb_sidrv_v10 Seite 02_AUX_PWR	95
C.3	Schaltplan cs_3v4fb_sidrv_v10 Seite 03_CTRL_3V4	95
C.4	Schaltplan cs_3v4fb_sidrv_v10 Seite 04_OUTPUT_3V4	96
C.5	Schaltplan cs_3v4fb_sidrv_v10 Seite 05_CONNECTORS	96
C.6	Schaltplan cs_3v4fb_sidrv_v10 Seite 06_MECHANICS	97
C.7	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 01_INPUT	98
C.8	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 02_AUX_PWR	99
C.9	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 03_CTRL_3V4	99
C.10	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 04_OUTPUT_3V4	100
C.11	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 05_CONNECTORS	100
C.12	Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 06_MECHANICS	101
D.1	Layout cs_3v4fb_sidrv_v10	103
D.2	Layout cs_3v4fb_gandrv1_epc_v10	104
E.1	Ermittelte Daten basierend auf der Simulation	106
E.2	Berechnete Ergebnisse der Verlustleistung basierend auf der Simulation	106

Tabellenverzeichnis

2.1	Vergleich physikalischer Eigenschaften von Si und GAN [33]	12
3.1	Spezifikation wichtiger Größen des Wandlers	26
3.2	Gate-Treiber [16] [24]	31
3.3	IRHNM57110 Spezifikationen [22]	35
3.4	Charakteristische Größen der ausgewählten GaN-HEMTs [11] [14] [8] [23] [46] [12] [15]	37
3.5	Verluste der ausgewählten GaN-HEMTs	38
3.6	Strahlungsdaten und Größe der ausgewählten GaN-HEMTs [11] [14] [8] [23] [46] [12] [15]	39
4.1	Vergleich der berechneten Verlustleistungen	48
4.2	Berechnete und simulierte Verlustleistungswerte im Vergleich	49
4.3	Neu berechnete Leitverluste aus der Simulation	51
4.4	Neu berechnete Schaltverluste aus der Simulation	55
4.5	Neu berechnete Schaltverluste aus der Simulation	57
4.6	Neu berechnete Leitverluste aus der Simulation	58
4.7	Mittelwerte der Spannungsabfälle zur Bestimmung der Treiberverluste	71

Abkürzungsverzeichnis

AlGaN Aluminiumgalliumnitrid

BPIU Base Power Isolation Unit

CCM Constant Conduction Mode

CAESAR Compliant Assistant and Exploration SpAce Robot

DCM Discontinuous Conduction Mode

FET Feldeffekttransistor

GaN Galliumnitrid

GEO geostationäre Erdumlaufbahn

HEMT High Electron Mobility Transistor

JCU Joint Control Unit

LEO erdnahe Umlaufbahn

PI Power Inverter

PSU Power Supply Unit

PWM Pulsweitenmodulation

Si Silizium

SiC Siliziumcarbid

WBGs Wide Bandgap Semiconductors

2DEG Zweidimensionales Elektronengas

Kapitel 1

GaN Technologie in Raumfahrtprojekten der Zukunft - Motivation

Das weltraumqualifizierte Robotersystem **Compliant Assistant and Exploration SpAcE Robot (CAESAR)** wird am Deutschen Zentrum für Luft- und Raumfahrt am Institut für Robotik und Mechatronik für Exploration und Assistenz im Weltall konzipiert. Der Roboterarm wird für eine Missionszeit von zehn Jahren dafür entwickelt, Aufgaben wie den Zusammenbau von Strukturen, Wartung und Reparatur von Satelliten oder das Entfernen von Weltraumschrott in der erdnahen Umlaufbahn (LEO) oder geostationären Erdumlaufbahn (GEO) zu übernehmen. [6] [3]

Besonderheiten des Systems sind zum einen seine hohe Flexibilität und eine kinematische Redundanz durch sieben Freiheitsgrade, was dem Roboter auch das Greifen und Stabilisieren von taumelnden oder nicht kooperativen Satelliten ermöglicht. Zum anderen ist das System skalierbar. Die Anzahl und Anordnung der Gelenke (Joints) und die Länge der Verbindungselemente lässt sich fast beliebig variieren, was eine Mindestlänge von 2,4 m und eine Maximallänge von 5,0 m bei ausgestrecktem Arm ermöglicht. Zudem sind die Joints durch Impedanzregelung nachgiebig, während der Greifer eine stabile Position hat. Dies ist ein wichtiges Sicherheitsmerkmal in einer dynamischen Umgebung und bei der Zusammenarbeit mit Astronauten. [6] [3]

Es gibt vier vollredundante Elektronikblöcke, die jeweils für die Kontrolle zweier Joints zuständig sind. Diese bestehen aus der Joint Control Unit (JCU), die als Regelungseinheit für die Gelenke fungiert, den Power Invertern (PI), also den Leistungsinvertern für die Motoren und der Power Supply Unit (PSU). Die PSU dient als lokale Versorgungseinheit für die Elektronikblöcke. [3]

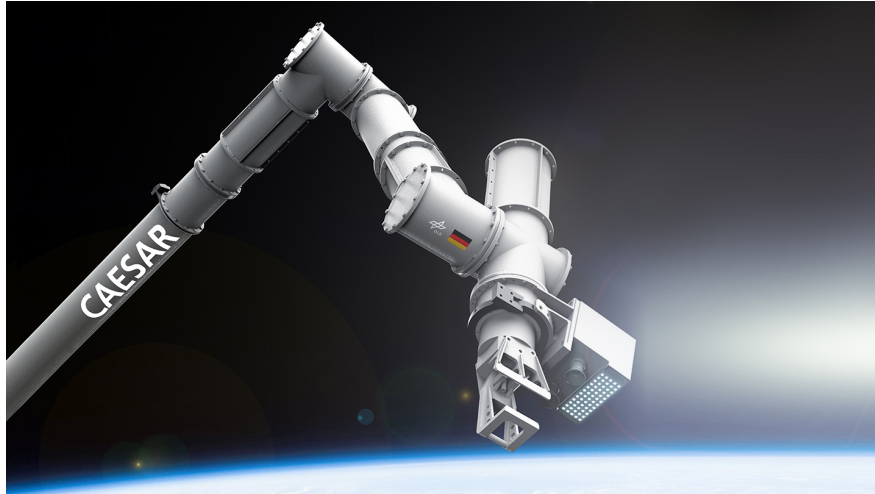


Abbildung 1.1: CAESAR Roboterarm [6], DLR (CC BY-NC-ND 3.0)

Auf der PSU befinden sich mehrere Gleichspannungswandler in Flyback-Topologie. Als Schaltkomponenten werden hier momentan Feldeffekttransistoren (FETs) aus Silizium verwendet.

Seit geraumer Zeit rücken jedoch auch andere Halbleitermaterialien weiter in den Vordergrund. Halbleiter mit großem Bandabstand, sog. Wide Bandgap Semiconductors (WBGs) wie Galliumnitrid (GaN) oder Siliziumcarbid (SiC) sind Halbleitern aus Silizium (Si) hinsichtlich vieler Eigenschaften überlegen. In dieser Arbeit steht der Vergleich zwischen GaN und Si im Vordergrund.

Aufgrund physikalischer Eigenschaften, wie Größe, Gewicht, Robustheit und Wirkungsgrad sind GaN-Bauteile insbesondere für Anwendungen in Schaltnetzteilen oder Schaltwandlern geeignet. GaN-Transistoren weisen geringere Leistungsverlusten, kürzere Schaltzeiten und weniger parasitäre Effekte auf. Dadurch wiederum kann insgesamt ein größerer Wirkungsgrad erzielt werden. Zudem erlauben höhere Schaltfrequenzen durch die Verwendung kleinerer Kondensatoren und Spulen ein insgesamt leichteres und kompakteres Design. Neben reduzierter Größe und kleinerem Gewicht ist auch die erhöhte Robustheit gegenüber kosmischer Strahlung speziell für Raumfahrtanwendungen eine wichtige Eigenschaft von GaN-Transistoren. Jedoch werden auch Si-FETs immer weiter in Schlüsselparametern, wie dem Einschaltwiderstand $R_{DS,on}$, parasitären Kapazitäten und Kosten verbessert. [35] [5] [34] [2]

Diese Arbeit verschafft zunächst einen Überblick über die GaN-Technologie. Insbesondere wird dabei auf den Aufbau, die Funktionsweise und das Zustandekommen des leitenden Kanals eingegangen. Darüber hinaus werden physikalische Eigenschaften, aufgrund derer sich GaN-FETs speziell für Raumfahrtanwendungen eignen sowie aktuelle Herausforderungen der Technologie thematisiert.

Weiterhin wird der Aufbau und die Funktionsweise eines Gleichspannungswandlers in Flyback-Topologie erklärt. Der Schwerpunkt liegt hierbei auf den Vorteilen des Flyback-Konverters gegenüber anderen Topologien, bezogen auf den in dieser Arbeit behandelten Anwendungsfall.

Im Verlauf dieser Arbeit erfolgt eine Einordnung der Anwendung in das Gesamtsystem CAESAR sowie die Erklärung der Funktionsweise der bereits vorhandenen PSU. Auf Grundlage eines DC-DC-Konverters der bestehenden PSU wird ein Gleichspannungswandler in Flyback-Topologie jeweils basierend auf Si- und GaN-Technologie konzipiert, aufgebaut und in Betrieb genommen. Insgesamt werden fünf Schaltungsvarianten untersucht: Eine Variante mit Si-FET und vier weitere mit zwei verschiedenen GaN-FETs, die jeweils mit einem von zwei unterschiedlichen Gate-Treibern kombiniert werden. Die Auswahl der wichtigsten Komponenten, der Aufbau und die Funktionsweise der Schaltung werden detailliert behandelt. Die Technologien werden zunächst mittels einer Berechnung und Simulation der Verlustleistung und im späteren Verlauf durch eine praktische Messung verglichen. Der theoretische Vergleich wird hierbei für alle fünf Varianten durchgeführt. Aus Verfügbarkeitsgründen wird in der Praxis nur ein GaN-basierter Wandler mit der Si-Variante verglichen.

Das Ziel der Arbeit ist es, anhand der theoretischen Evaluierung durch Berechnung und Simulation geeigneter Parameter, nach einer praktischen Validierung in Form einer Leistungsvermessung beide Technologien hinsichtlich Komplexität, Wirkungsgrad und weiteren Eigenschaften zu analysieren und zu vergleichen. Die Ergebnisse sollen Aufschluss über das Verhalten sowie Vor- und Nachteile von GaN- und Si-FETs in der konkreten Anwendung in Hinblick auf einen möglichen Einsatz der neuen Technologie in zukünftigen Schaltungen liefern.

Kapitel 2

Technologieüberblick

Dieses Kapitel beinhaltet einen Überblick über das Funktionsprinzip und materialspezifische Eigenschaften von GaN-Transistoren sowie einen Einblick in den aktuellen Stand der Technik. Des Weiteren wird die Funktionsweise von pulswertenmodulierten Gleichspannungswandlern thematisiert mit Fokus auf Wandler in der Flyback-Topologie.

2.1 GaN-Transistoren

Die folgenden Abschnitte beschäftigen sich mit dem Aufbau und der Funktionsweise von GaN-Transistoren. Dabei wird insbesondere auf die charakteristische Beschaffenheit der Materialien und spezifische, physikalische Eigenschaften eingegangen. Im späteren Verlauf werden aktuelle Vorteile sowie Herausforderung von GaN gegenüber Silizium und die besondere Eignung der GaN-Transistoren für Weltraumanwendungen erläutert.

In dieser Arbeit werden aufgrund des aktuellen technischen Standes ausschließlich Transistoren aus den Materialien Galliumnitrid (GaN) und Aluminiumgalliumnitrid (AlGaN) betrachtet. Im Gegensatz zu früher verwendeten Halbleitern wie beispielsweise Aluminiumgalliumarsenid (AlGaAs) weist die doppelschichtige Kombination aus GaN und AlGaN eine besondere Kristallstruktur auf, in der zwei verschiedene Polarisierungseffekte auftreten (vgl. Abschnitt 2.1.1). Die Entstehung eines leitenden Kanals ist dadurch ohne Dotierung der Materialien möglich. Dies wiederum führt zu einer höheren Elektronenmobilität und Elektronengeschwindigkeit als bei anderen Halbleitern. GaN/AlGaN-Transistoren können zudem auf höhere Frequenzen ausgelegt werden. [4]

2.1.1 Aufbau und materialspezifische Eigenschaften

Der High Electron Mobility Transistor (HEMT) gehört zu den Feldeffekttransistoren (FETs). FETs besitzen einen leitenden Kanal zwischen Drain und Source, der durch eine Gate-Spannung gesteuert wird. Hierbei gibt es Anreicherungstypen, die selbstsperrend – bei einem spannungslosen Gate nicht-leitend – sind und Verarmungstypen, die ohne Gate-Spannung selbstleitend sind. Erstere werden durch eine positive Gate-Spannung in einen leitenden Zustand versetzt, letztere lassen sich durch Anlegen einer negativen Gate-Spannung ausschalten. [51]

Aufbau eines AlGaIn/GaN-HEMT Der Aufbau eines GaN-HEMT folgt einer lateralen Struktur und besteht aus einem Substrat, einer undotierten GaN-Schicht, einer schmalen undotierten oder leicht n-dotierten AlGaIn-Barriere und den Anschlüssen für Gate, Drain und Source. Der Aufbau ist in Abbildung 2.1 dargestellt. Für das Substrat wird meist Si, SiC oder Saphir verwendet. Das Substrat ist trotz der besseren Eigenschaften von GaN zum einen notwendig, da das Wachsen einer breiten GaN-Schicht technisch aufwendig und kostenintensiv ist, zum anderen lässt sich insbesondere die Verwendung von Si gut in bestehende Fertigungsprozesse integrieren. Zwischen der GaN- und der AlGaIn-Schicht bildet sich parallel zur Grenzfläche ein leitender Kanal in Form eines zweidimensionalen Elektronengases (2DEG) aus. Im 2DEG herrscht eine hohe Elektronenkonzentration und -beweglichkeit. Die Ladungsträger sind in ihrer Bewegung auf zwei Dimensionen beschränkt. [39] [33]

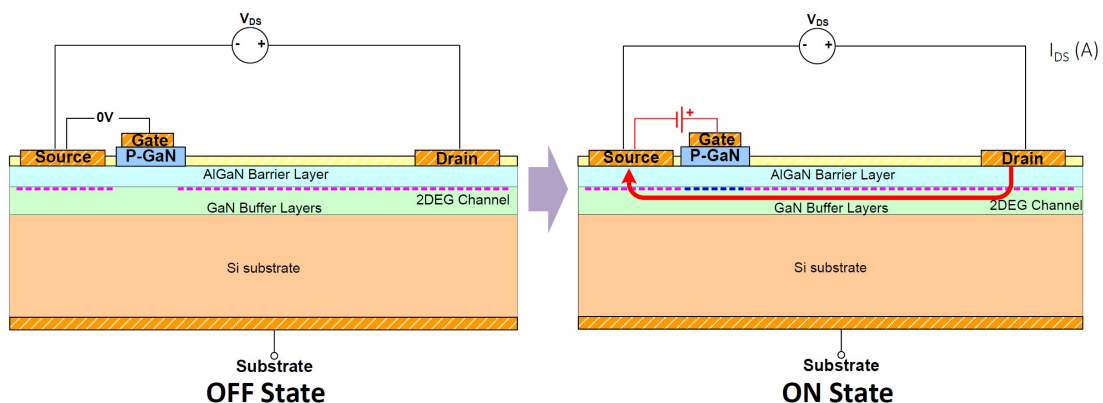


Abbildung 2.1: Üblicher Aufbau eines GaN-HEMT mit p-GaN-Gate zur Realisierung eines Anreicherungstyps [42]

Das 2DEG kann sich ohne Dotierung durch materialbedingte Polarisierungseffekte ausbilden [39]. Dies bedeutet, dass ein GaN-HEMT in diesem Aufbau ohne Gate-Spannung leitend ist (Normally-On-Typ). Für die Realisierung eines Normally-Off-

oder Anreicherungstyps gibt es mehrere Möglichkeiten. Überlicherweise wird heutzutage allerdings eine p-dotierte GaN- oder AlGaN-Schicht unter der Gate-Elektrode aufgebracht (vgl. Abbildung 2.1). Durch die hohe Akzeptordichte – Akzeptoren nehmen Elektronen auf – in der p-GaN-Schicht verarmt das 2DEG an dieser Stelle und der Kanal wird unterbrochen. Durch Anlegen einer positiven Gate-Spannung größer einer bestimmten Schwellspannung leitet der Transistor (vgl. Abbildung 2.1 rechts). Je größer die Gatespannung, desto größer wird die Ladungsträgerdichte im 2DEG. [43]

Abschnitt 2.1.2 beschäftigt sich mit der Entstehung des 2DEG. Die Polarisierungseffekte werden im Folgenden als Grundlage für die Funktionsweise des GaN-HEMTs genauer erklärt.

Eigenschaften von III-Nitriden III-Nitride bezeichnen Bindungen zwischen Elementen der Gruppe III (in diesem Fall Ga bzw. AlGa) und der Gruppe V (hier Stickstoff N). Diese Halbleiter weisen eine hohe thermische und chemische Stabilität aufgrund der Bindungsart von Gallium (Ga) und Stickstoff (N) auf. Die Bindung lässt sich aufteilen in Kovalenz- oder Elektronenpaarbindung und Ionenbindung zwischen dem Kation Ga und dem Anion N. Die Ionenbindung kommt zustande, da Ga und N eine hohe Elektronegativitätsdifferenz ¹ aufweisen. Dies führt zu einer hohen Bindungsenergie von 8,9 eV/Atom. Zudem sind die Bindungen zwischen den Atomen sehr kurz, was zur Stabilität des Materials beiträgt. [33] [51]

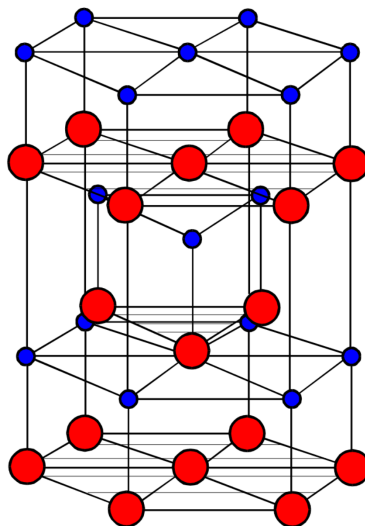


Abbildung 2.2: Hexagonale Doppelschicht der Wurtzit-Kristallstruktur (rot: N, blau: Ga) [17]

¹Die Elektronegativität ist ein Maß dafür, wie stark ein Atom in einer chemischen Bindung ein Bindungselektron anzieht. Die Elektronegativitätsdifferenz zwischen zwei Atomen ist ein Maß für den ionischen Anteil in deren Bindung. [30]

Die stabilste und am einfachsten zu wachsende Kristallstruktur ist die sog. Wurtzit-Struktur. Die Form entspricht sich abwechselnden, hexagonalen Doppelschichten, die jeweils aus einer Ga- und einer N-Schicht bestehen (vgl. Abbildung 2.2). Die Struktur des Kristalls ist gerichtet. Der $[0001]$ -Vektor definiert die Richtung von einem Ga- oder AlGa-Ion zum benachbarten N-Ion entlang deren Bindung. Doppelschichten mit einer Ga- oder AlGa-Terminierung bezeichnet man als Ga-face, Doppelschichten mit einer N-Terminierung als N-face. [39] [33]

Abbildung 2.3 zeigt die beiden unterschiedlichen Wachstumsformen einer GaN-Struktur mit jeweils unterschiedlichen Terminierungen.

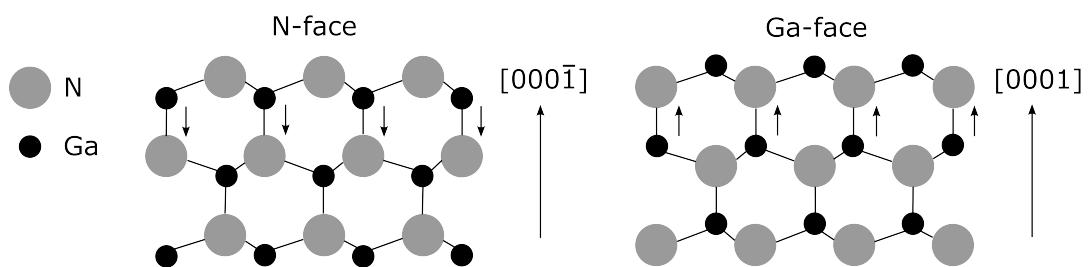


Abbildung 2.3: Aufbau der GaN-Doppelschicht, links: Kristall mit N-face-Polarität, rechts: Kristall mit Ga-face-Polarität, Darstellung nach [27]

Spontane Polarisation P_{sp} Aufgrund der gerichteten, hexagonalen Kristallstruktur und der starken Elektronegativitätsdifferenz zwischen Ga/AlGa und N tritt in den Materialien GaN und AlGaN der Effekt der spontanen Polarisation auf. Die spontane Polarisation entsteht ohne externes, elektrisches Feld. Werden alle Dipole entlang des $[0001]$ -Vektors addiert, erhält man die gesamte spontane Polarisation des Kristalls. Kristalle mit einem gesamten Oberflächenvektor in $[0001]$ -Richtung besitzen eine Ga/AlGa-face-Polarität, Kristalle mit einem Vektor in die entgegengesetzte Richtung eine N-face-Polarität. [51] [39] [49]

Betrachtet man Abbildung 2.3, wird die Entstehung der Polarisation des Kristalls aus dessen Wachstumsstruktur deutlich.

Piezoelektrische Polarisation P_{pz} Ein weiterer Polarisationseffekt ist die piezoelektrische Polarisation. Auch dieser Effekt lässt sich durch die asymmetrische Kristallstruktur von GaN/AlGaN begründen. Wird ein Druck oder Zug auf den Kristall ausgeübt entsteht eine mechanische Spannung. Die Spannung tritt auf, da die Kristallstrukturen von GaN und AlGaN nicht genau zusammenpassen. Die dadurch hervorge-

rufene Ladungsverschiebung führt zu einer Polarisation. Der GaN-Buffer ist dick genug, sodass von einer relaxierten Lage ausgegangen werden kann. In der sehr dünnen, nicht gitterangepassten AlGaN Schicht treten hingegen die mechanischen Belastungen und damit eine piezoelektrische Polarisation auf. [51] [39] [49]

Die Richtung der piezoelektrischen Polarisation ist zwingend zu berücksichtigen, da die Möglichkeit besteht, dass sich die piezoelektrische und spontane Polarisation bei unterschiedlichen Vorzeichen gegenseitig aufheben. Die Wertigkeit der spontanen Polarisation ist aufgrund von Wachstumsparametern negativ definiert. Für Zugspannungen ergibt sich nach Wolter [51] eine negative piezoelektrische Polarisation, für Druckspannungen eine positive. Aufgrund der Kristallstrukturen von GaN und AlGaN entsteht in der AlGaN-Schicht immer eine Zugspannung. [51]

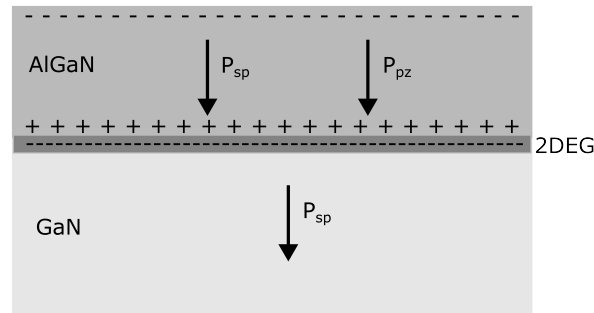


Abbildung 2.4: Spontane und piezoelektrische Polarisation in einer AlGaN/GaN-Heterostruktur und resultierende induzierte Ladungen, Darstellung nach [39] [33]

Für eine AlGaN/GaN-Heteroschicht ergibt sich für den Übergangsbereich der Materialien die gesamte Polarisation nach Macfarlane [33] zu:

$$P_{ges} = (P_{sp,AlGaN} + P_{pz,AlGaN}) - P_{sp,GaN} \quad (2.1)$$

In Abbildung 2.4 sind die spontane und piezoelektrische Polarisation in AlGaN und GaN dargestellt. Aufgrund der unterschiedlichen Elektronegativitätsdifferenzen in GaN und AlGaN ist die spontane Polarisation in GaN niedriger als in AlGaN, aber dennoch zwingend nötig für die Bildung des 2DEG, dessen Entstehung im folgenden Kapitel detailliert erklärt wird [33].

2.1.2 Funktionsweise

Die nächsten Abschnitte befassen sich mit den physikalischen Prozessen am Heteroübergang zwischen GaN und AlGaN und der daraus folgenden Entstehung des zweidimensionalen Elektronengases (2DEG).

Bändermodell und Heteroübergang Zur Erklärung der Vorgänge an der Grenzfläche von AlGa_N und GaN wird das Bändermodell zur Hilfe genommen, welches als quantenmechanische Beschreibung elektrischer Energiezustände, in denen sich Elektronen befinden, dient. Interessant ist hierbei die Betrachtung des Valenz- und des Leitungsbandes.

Das Valenzband ist das höchste Energieniveau, welches im absoluten Nullpunkt noch besetzt ist. Durch Energiezufuhr können Elektronen aus dem Valenzband gehoben werden und befinden sich daraufhin als freie Elektronen im Leitungsband. Ein im Valenzband fehlendes Elektron wird als Loch bezeichnet. Da das Loch von benachbarten Elektronen besetzt werden kann, ist es im Valenzband wie das Elektron im Leitungsband beweglich. Zwischen dem Valenz- und dem Leitungsband befindet sich die Bandlücke. Innerhalb der Bandlücke gibt es keine besetzten Teilchenzustände. Dortige Zustände beschreiben lediglich Wahrscheinlichkeiten, mit denen sich Teilchen im Valenz- oder Leitungsband aufhalten. Innerhalb der Bandlücke liegt das sog. Fermi-niveau. Die Wahrscheinlichkeit, dass ein Zustand bis zu diesem Energieniveau im absoluten Nullpunkt besetzt ist, beträgt 100% – anders gesagt ist die Lage des Fermi-niveaus ein Maß für die Besetzungswahrscheinlichkeit bestimmter energetischer Zustände. Bei undotierten Halbleitern liegt das Fermi-niveau ungefähr in der Mitte der Bandlücke. [29]

GaN ist ein WBG, also ein Halbleiter mit einer breiten Bandlücke. Die Vorteile werden im weiteren Verlauf der Arbeit in Paragraph 2.1.3 erläutert.

Kommen nun zwei Halbleiter mit unterschiedlicher Bandlücke in Kontakt, stellt sich ein thermodynamisches Gleichgewicht² ein. Die Fermi-niveaus der beiden Materialien gleichen sich durch eine Bandverbiegung und einen Bandversatz am Heteroübergang an und es entsteht durch eine Ladungsträgerverschiebung ein neuer Bandverlauf. [51]

Die Leitungsbandkante der AlGa_N/GaN-Schicht ist in Abbildung 2.5 dargestellt. AlGa_N auf der linken Seite hat einen breiteren Bandabstand als GaN. Durch den unterschiedlichen Energiezustand der Leitungsbänder entsteht ein Versatz zwischen den Leitungsbändern und es formt sich ein GaN-seitiger Quantenpotentialtopf³, in welchem die Elektronen das 2DEG bilden. Das Leitungsband schneidet dort das Fermi-niveau und es befinden sich alle Elektronen frei beweglich im Leitungsband. [39]

²Im thermodynamischen Gleichgewicht ändert sich der thermodynamische Zustand eines Systems ohne äußere Einwirkungen nicht mehr [31]

³Ein Potentialtopf bezeichnet ein lokales Energieminimum. Für Elektronen geht die Aufenthaltswahrscheinlichkeit an den Rändern des Potentialtopfes gegen Null. [32]

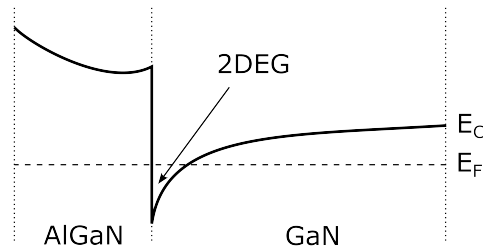


Abbildung 2.5: Diagramm der Leitungsbandkante für die undotierte AlGaIn/GaN Heterostruktur, Leitungsbandenergie: E_C , Fermi-Niveau: E_F , Darstellung nach [39]

Entstehung des 2DEG Der Entstehungsvorgang des 2DEG funktioniert nach folgendem Prinzip: Aufgrund der oben beschriebenen Polarisierungseffekte bildet sich in der AlGaIn-Schicht an der Grenzfläche eine positive induzierte Flächenladungsdichte (vgl. Abbildung 2.4). Überschüssige Elektronen tendieren dazu, diese positive Ladung auszugleichen. Sie diffundieren von der AlGaIn-Barriere Richtung GaN-Schicht, um dort ein niedrigeres Energieniveau zu erreichen. Die positiv induzierte Ladung senkt das Leitungsband an der Grenzfläche weit genug ab, sodass die Elektronen auf die GaN-Seite gelangen können. Hier werden sie in dem entstanden Quantenpotentialtopf (vgl. Bänderdiagramm in Abbildung 2.5) eingefangen. Das hohe Energieniveau des AlGaIn-Leitungsbandes bildet eine unüberwindbare Barriere für die Elektronen. Es bildet sich ein zweidimensionales Elektronengas mit einer hohen Ladungsträgerdichte und einer hohen Elektronenmobilität parallel zur Grenzfläche des Heteroübergangs aus. [39] [51] [33]

Die Elektronen sind in ihrer Bewegungsrichtung aufgrund der AlGaIn-Barriere auf zwei Dimensionen beschränkt. Da die GaN-Schicht frei von Dotierungen ist, können die Elektronen dank fehlender Störstellen und Verunreinigungen eine hohe Geschwindigkeit erreichen. Bei einem Transistor mit Gatekontakt ohne p-GaN-Schicht liegt das Leitungsband an der Grenzschicht unterhalb des Fermi-Niveaus (vgl. Abbildung 2.5). Es handelt sich hierbei um einen Normally-On-Transistor, bzw. einen Verarmungstyp. [39]

Abbildung 2.6 zeigt das Bänderschema für die Realisierung eines Anreicherungstyps (Normally-Off) mit einer p-GaN-Schicht unter der Gate-Elektrode.

Zwischen p-GaN und AlGaIn-Schicht bildet sich nach ausgleichenden Diffusions- und Driftvorgängen eine Raumladungszone, die weit in die AlGaIn-Schicht reicht. Dadurch wird das Leitungsband auf ein höheres Potential gezogen. Das Leitungsband befindet sich damit zu weit oberhalb des Fermi-Niveaus, sodass keine freien Ladungsträger zu Verfügung stehen und der Kanal unterhalb des Gates verarmt bzw. unterbrochen wird.

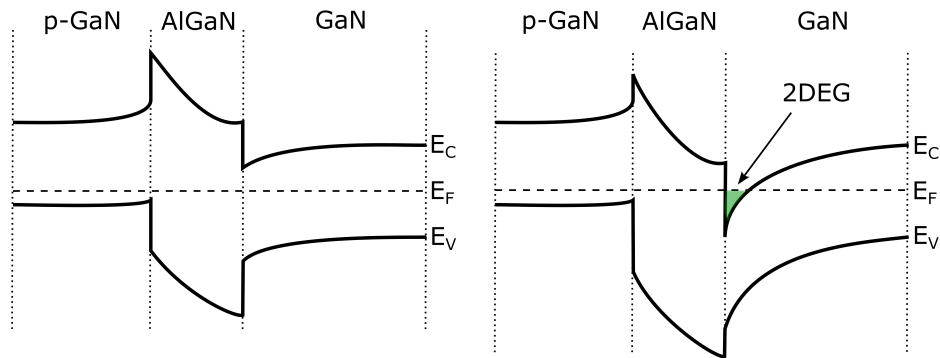


Abbildung 2.6: Bänderdiagramme für einen Normally-Off-Typ mit p-GaN Schicht unter der Gate-Elektrode, links: nicht-leitender Zustand, rechts: leitender Zustand, Darstellung nach [13]

Wird am Gate eine positive Spannung angelegt, bewegen sich Löcher aus der p-GaN-Schicht in den Kanal, die durch Elektronen besetzt werden können. Es baut sich so ein neues elektrisches Feld auf, durch welches sich das Leitungsband in der Al-GaN-Barriere bezogen auf das Fermi-niveau nach unten verschiebt und die Elektronendichte im Kanal steigt. Ab einer bestimmten Schwellspannung beginnen sich Fermi-niveau und Leitungsband zu überlappen. Übersteigt die Gate-Spannung diesen Grenzwert, kann sich der Potentialtopf und damit das 2DEG ausbilden und der Transistor leitet. Je größer die Gate-Spannung wird, desto größer wird also die Ladungsträgerdichte im 2DEG. [43] [13]

2.1.3 Vorteile und Herausforderungen

Vorteile im Vergleich zu Silizium Die Sinnhaftigkeit der Verwendung von GaN-HEMTs hängt von der Anwendung ab. Für Anwendungen in der Größenordnung von einigen 100 kHz und einigen 100 W kommen als Schaltkomponenten nach Abbildung 2.7 MOSFETs und GaN-HEMTs in Frage. Weitere Technologien wie IGBTs oder SiC-Transistoren sind für höhere Leistungen, bzw. niedrigere Frequenzen ausgelegt. [1]

Aufgrund des Aufbaus und physikalischer Eigenschaften bieten GaN-HEMTs jedoch diverse Vorteile bezüglich Größe, Verluste und Leistungsdichte gegenüber Si-FETs. Das Material GaN besitzt mit 3,4 eV (bis zu 6,2 eV für AlGaN) eine deutliche breitere Bandlücke im Vergleich zu Silizium mit 1,1 eV (vgl. Tabelle 2.1) [33]. GaN verfügt damit über eine niedrige intrinsische Ladungsträgerdichte⁴, da es mehr Energie benötigt,

⁴Intrinsische Ladungsträgerdichte: Die durchschnittliche Dichte freier Ladungsträger bei einer bestimmten Temperatur in einem undotierten Halbleiter

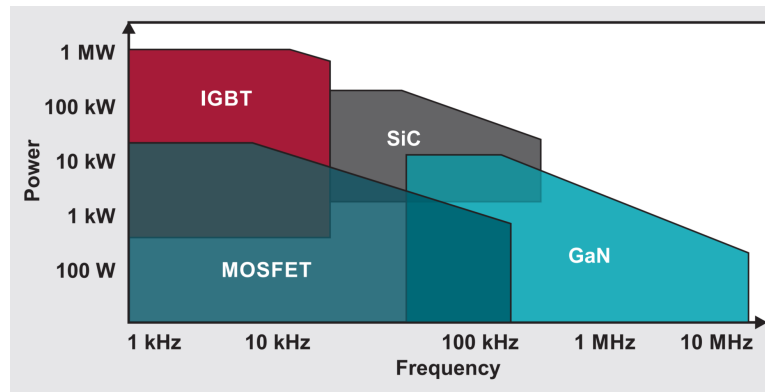


Abbildung 2.7: Technologievergleich bezogen auf Leistung und Frequenzbereich der Anwendung [1]

um Elektronen vom Valenzband in das Leitungsband anzuheben. Das Halbleitermaterial wird erst ab einer sehr heißen Umgebung zum Leiter. GaN ist daher als Material auch für hohe Temperaturen geeignet. Die Leckströme fallen im ausgeschalteten Zustand sehr niedrig aus, was wiederum zu einem effizienterem Abschalten und einem insgesamt geringeren Energieverbrauch führt. [41]

	Silizium	Galliumnitrid
Bandabstand [eV]	1,1	3,4 (3,4 – 6,2 für AlGaN)
Kritische Feldstärke [MV/cm]	0,3	3,3
Elektronenmobilität [cm ² /Vs]	1350	700 (2000 im 2DEG)

Tabelle 2.1: Vergleich physikalischer Eigenschaften von Si und GAN [33]

Die breite Bandlücke den weiteren Vorteil einer hohen kritischen Feldstärke, der maximalen Feldstärke, bevor es zum Durchbruch kommt, mit sich. Als Durchbruch wird der schlagartige, steile Anstieg des Stromes bei hohen Spannungen bezeichnet. Die kritische Feldstärke von GaN-HEMTs ist mit 3,3 MV/cm 11 mal höher als die von Silizium (vgl. Tabelle 2.1). Dies ermöglicht einen Betrieb unter höheren Spannungen und Temperaturen bei gleichen Verlusten und kleinerer Größe. Die Kanallänge kann bei gleicher Spannung bei GaN bis zu 11 mal schmaler ausfallen als bei Si. Aufgrund der schmalen Kanallänge kann auch die Kanalbreite kleiner gewählt werden. Dies wiederum führt zu einer insgesamt kleineren Chipgröße und somit einer höheren Leistungsdichte. [42] [7] [35]

Ein weiterer Vorteil ist die hohe Elektronenmobilität von 2000 cm²/Vs im 2DEG aufgrund des weitgehend undotierten Materials. Diese hat vor allem einen niedrigen Ein-

schaltwiderstand $R_{DS,on}$ zur Folge. Die Auswirkung davon zeigt sich in geringeren, statischen Verlusten und schnelleren Schaltzeiten. Durch die hohe Schaltgeschwindigkeit kann mit höheren Frequenzen ohne signifikant höhere Verluste gearbeitet werden. [35] [37] [4]

Auch die laterale Struktur des Transistors unterstützt den hochfrequenten Betrieb. Durch den kompakten Aufbau weist der GaN-HEMT geringere, parasitäre Kapazitäten auf. Insbesondere die kleineren Gate-Drain- und Gate-Source-Kapazitäten führen zu schnelleren Schaltvorgängen, da weniger Gate-Ladung bei jedem Schalten umgeladen werden muss (siehe Abbildung 2.8). Die geringe Gate-Ladung reduziert außerdem insgesamt die Gate- und die Schaltverluste. [5] [37]

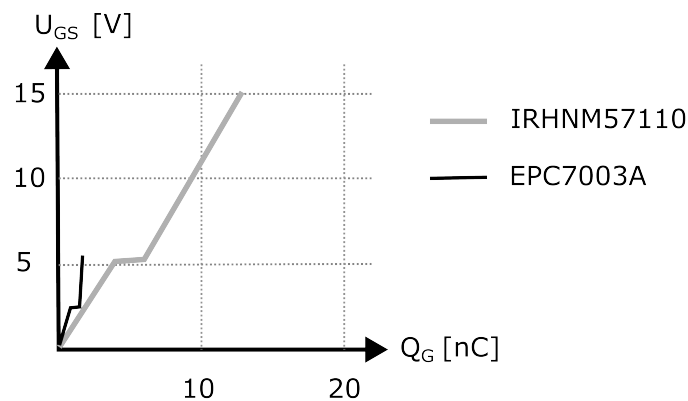


Abbildung 2.8: Vergleich der Gateladungsmengen am Beispiel des GaN-HEMT EPC7003A und des MOSFET IRHNM57110, Darstellung nach [11] [22]

Im Aufbau des GaN-HEMT gibt es keinen pn-Übergang. Dies bedeutet, dass keine interne Body-Diode wie beim MOSFET existiert. Es treten keine Verluste durch den Reverse-Recovery-Effekt⁵ auf. GaN-HEMTs sind bidirektional aufgebaut und leiten bei umgekehrter Drain-Source-Spannung in die entgegengesetzte Richtung. [1]

Zuletzt haben die Vorteile der GaN-Transistoren auch Auswirkungen auf den gesamten, restlichen Aufbau der Anwendung. Durch hohe Frequenzen können Induktivitäten und Kapazitäten insgesamt kleiner ausgelegt werden und es wird Platz und Gewicht eingespart. Durch im Vergleich zu Si bessere Performance unter höheren Temperaturen und die thermische Leitfähigkeit kann die Größe und das Gewicht von Kühlkörpern reduziert werden.

⁵Der Reverse Recovery Effekt entsteht beim Ausschalten eines MOSFETs aufgrund des internen pn-Übergangs. Hierbei fließt bei niedriger Drain-Spannung für kurze Zeit ein Rückwärtsstrom durch den Transistor, um überschüssige Ladungsträger aus der n-Schicht abzutransportieren. Dabei entstehen Verluste.

Außerdem lässt sich die Dynamik der Regelung bei höheren Frequenzen steigern. Durch ein schnelleres Einschwingverhalten des Regelkreises kann auf Laständerungen besser reagiert und die Größe der Ausgangskapazität reduziert werden. [1] [37] [2] [35]

Insgesamt lässt sich feststellen, dass viele Vorteile von GaN im Vergleich zu Silizium besonders im höheren Frequenzbereich zum Tragen kommen. Doch auch bereits bei niedrigeren Frequenzen lassen sich diverse Vorzüge des Materials nutzen, um die Effizienz der Anwendung zu steigern.

Da die GaN-Technologie vergleichsweise neu ist, gibt es jedoch neben den höheren Kosten einige weitere Herausforderungen zu meistern, um das volle Potential ausschöpfen zu können.

Technologische Herausforderungen Mitunter eine der größten Aufgaben ist die Auswahl eines passenden Gate-Treibers. Für höhere Frequenzen ist ein präzises Treibersignal notwendig. Bereits kurze Leiterbahnen verursachen unerwünschte Verzögerungen des Treibersignals. Es wäre an dieser Stelle sinnvoll, Treiber und GaN-HEMT in einen Chip zu integrieren, um Platz zu sparen, Signallaufzeiten zu verringern und parasitäre Effekte zu minimieren. Treiberbausteine basieren jedoch vorwiegend auf Silizium. Da die Werkstoffe von Treiber und Transistor in ihren Eigenschaften stark differieren, steht die Integration an dieser Stelle noch vor Hürden. [41]

Ein weiteres Problem stellt zum Teil noch das Gehäuse der GaN-Transistoren dar. Insbesondere bei Anwendungen mit hoher Temperatur muss dieses mit der Performance des Bauteils mithalten können. Das betrifft vor allem den thermischen Widerstand und das Ableiten der Hitze. [34] [41]

Ein für GaN spezifischer Effekt, der die Technologie vor weitere Herausforderungen stellt, ist das sog. **Trapping**. Dieser Prozess hat diverse Einflüsse und ist noch nicht vollständig erforscht. Als Traps werden besetzbare Ladungsträgerzustände bezeichnet, die sich innerhalb der Bandlücke befinden. [33] [51]

Durch Defekte oder Verunreinigungen im Kristall, die durch das Schichtwachstum entstehen, existieren Traps innerhalb der GaN-Bufferschicht. Bei einer sehr hohen Drain-Source-Spannung können Elektronen aus dem Kanal in den GaN-Buffer gelangen, wo sie von den sich dort befindlichen Traps eingefangen werden. Nach jedem Schaltzyklus bleiben einige Elektronen in der Bandlücke "gefangen" zurück und tragen nicht

mehr zum Stromfluss bei. Dies führt zum sog. **Current Collapse**, also einem plötzlichen Einbrechen des Drain-Stroms bei einer hohen Drain-Source-Spannung. Damit ist außerdem das GaN-typische Phänomen des **dynamischen On-Widerstands** verbunden. Bei höherer Spannung und sinkendem Strom erhöht sich der Kanalwiderstand des Transistors mit jedem Schaltvorgang. Eine p-GaN-Schicht unter dem Gate wirkt diesem Effekt gewissermaßen entgegen, da Löcher aus dieser Schicht in den Kanal injiziert werden, welche die in den Traps gefangenen Elektronen wieder freigeben können. [51] [43] [35] [7]

Beim Normally-Off-Typ kann es zur zeitabhängigen **Degradierung des Gates** kommen. Aufgrund des Schottky-Kontaktes zwischen p-GaN-Schicht und der Gate-Metallelektrode wächst das elektrische Feld zwischen den Schichten bei hohen Gate-Spannungstransienten so stark an, dass es zum Durchbruch kommen kann. [7]

Normally-On-Typen hingegen bringen das Problem eines **Virtuellen Gates** mit sich. Bei hohen negativen Gate-Spannungen können Elektronen vom Gate Traps, die sich auf der AlGaN-Oberfläche befinden, füllen. Die neu entstandene Ladungsverteilung wird als virtuelles Gate bezeichnet, da sie, wie ein Gate unter negativer Spannung, den Effekt hat, den Kanal zu verarmen. [33]

Aktuell wird an verschiedenen Abhilfen geforscht, die Fehlermechanismen zu minimieren, um eine zuverlässige Funktionsweise der GaN-HEMTs garantieren zu können.

2.1.4 GaN-Technologie in Weltraumapplikationen

Infolge der in den vergangenen Abschnitten beschriebenen, physikalischen Eigenschaften bieten GaN-HEMTs ein hohes Potential für Weltraumanwendungen, insbesondere in Schaltnetzteilen. Grund dafür sind zum einen die Einsparungen an Platz und Gewicht durch kleinere und leichtere Kühlkörper sowie durch kleinere Spulen und Kondensatoren aufgrund der höheren möglichen Schaltfrequenzen. Zum anderen sind die hohen Leistungsdichten (mehr Leistung auf weniger Masse und Volumen) und die reduzierten Verluste von Vorteil. Dadurch ist eine höhere Gesamteffizienz gegeben. Zudem weisen GaN-HEMTs eine hohe Zuverlässigkeit, Robustheit gegenüber Temperatur und Spannung und damit eine lange Lebensdauer auf. [35] [1] [34]

Weiterhin haben Forschungen ergeben, dass GaN-HEMTs eine gute Performance bei Strahlungstests und SEE-Tests (Single Event Effect) zeigen [2]. Außerdem haben GaN-HEMTs, anders als Si-FETs, keine Gate-Oxid-Schicht. Ist das Gate-Oxid Gam-

mastrahlen ausgesetzt, kann dies zu Problemen führen [2]. Die Strahlung verursacht durch freigesetzte Energie eine Ionisierung der Gate-Oxid-Schicht, wodurch der Ladungstransport und Materialeigenschaften beeinflusst werden können. Dies kann von Abweichungen der Anschalt-Spannung bis hin zur Änderung des Transistortypverhaltens (Wechsel von Anreicherungs- zu Verarmungstyp) führen. [21]

Für nicht-terrestrische Anwendungen ist in jedem Fall auch die Zuverlässigkeit des Treibers zu garantieren. Er muss eine stabile Spannung von 4,5 V bereitstellen. Nach ECSS-Standard [44] darf die Gate-Spannung 75% des spezifizierten Maximalwertes (üblicherweise 6 V für GaN-HEMTs) nicht überschreiten.

Die niedrigere Gate-Spannung hat nur geringe Auswirkungen auf den Kanalstrom und den $R_{DS,on}$. Bei einem niedrigeren Wert jedoch würde der Kanal verarmen und der Strom sinken. [2]

2.2 Flyback-Topologie

Das vorliegende Kapitel befasst sich im Allgemeinen mit pulswertenmodulierten Gleichspannungswandlern. Ein besonderer Fokus liegt auf dem Aufbau und der Funktionsweise eines Wandlers in Flyback-Topologie sowie die Vorteile dieser Topologie im Vergleich zu anderen Wandlern.

Ein Gleichspannungswandler konvertiert eine Eingangsspannung in eine geregelte Ausgangsspannung. Die Ausgangsspannung kann kleiner (Step-Down-Wandler) oder größer (Step-Up-Wandler) als die Eingangsspannung sein und entweder invertiert oder nicht-invertiert gegenüber der Eingangsspannung. Zudem können Eingangs- und Ausgangsseite elektrisch voneinander isoliert oder nicht isoliert sein.

Es ist erforderlich, dass der Wandler möglichst unabhängig von der Eingangsspannung, der Temperatur und dem Laststrom immer zuverlässig eine konstante Ausgangsspannung liefert. Der Wandler sollte also möglichst schnell auf Änderungen der Eingangsspannung, der Temperatur und der Last reagieren können. [26]

In den folgenden Abschnitten wird ein Überblick über die Eigenschaften von pulswertenmodulierten Gleichspannungswandlern (Schaltwandlern) und die in dieser Arbeit behandelte Flyback-Topologie gegeben.

2.2.1 Pulsweitenmodulierte Gleichspannungswandler

Bei Konvertern, die auf Grundlage der Pulsweitenmodulation (PWM) arbeiten, wird ein Transistor als Schalter betrieben, der mit einer bestimmten Frequenz an- und ausgeschaltet wird. Die Pulsweite des Signals wird von einem PWM-Kontroller durchgehend angepasst, um die Ausgangsspannung zu regeln [26]. Eine Erhöhung der Pulsweite führt im Mittel zu einer höheren Spannung, eine Verkleinerung zu einer niedrigeren Spannung.

Zur Ansteuerung des Transistors wird ein Gate-Treiber benötigt. Dadurch können höhere Lasten in Form von Gate-Kapazität geschaltet und höhere Leistungen erzielt werden, da der Treiber einen ausreichend hohen Ansteuerstrom bereitstellen kann und geringe Anstiegs- und Fallzeiten hat. Die Gate-Kapazität kann so beim Schalten schneller umgeladen werden. Es sind steilere Flanken, weniger Schaltverluste und damit höhere Frequenzen möglich. [36]

Schaltwandler können in zwei verschiedenen Modi betrieben werden. Diese sind der Constant Conduction Mode (CCM), also der nicht-lückende Betrieb, und der Discontinuous Conduction Mode (DCM) oder lückende Betrieb (vgl. Abbildung 2.9). Im CCM fließt die Spule oder der Transformator (je nach Topologie) über die gesamte Schaltperiode Strom, im DCM gibt es stromlose Zeitspannen innerhalb der Schaltperiode (siehe Abbildung 2.9 und 2.10). [36]

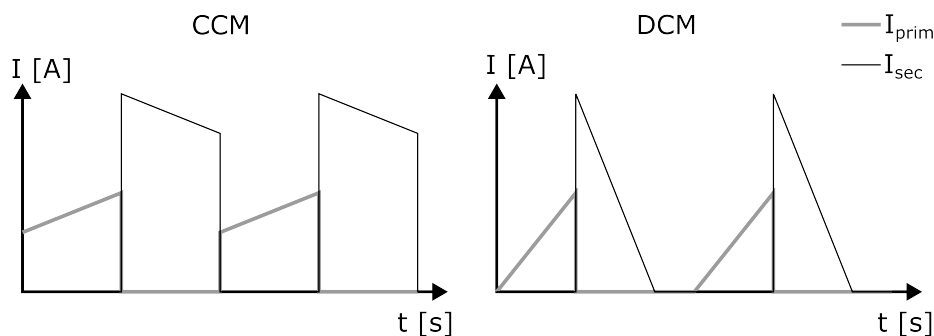


Abbildung 2.9: Stromverläufe für CCM und DCM am Beispiel eines Transformators

Der große Vorteil von PWM-Konvertern gegenüber linearen Konvertern liegt insbesondere in deren geringen Verlusten. Im leitenden Zustand des Schalters ist bei fließendem Strom der Spannungsabfall über den Transistor annähernd Null und im sperrenden Zustand fließt nahezu kein Strom durch den Schalter.

Um eine hohe Effizienz des Wandlers zu erlangen, ist es also wichtig, die Verluste, die

während des Schaltvorgangs auftreten, möglichst gering zu halten. Die Schaltverluste erhöhen sich proportional mit der Schaltfrequenz. [26]

Eine hohe Schaltfrequenz bringt dagegen andere Vorteile mit sich. Die Spulen und Kondensatoren können bei höheren Frequenzen kleiner ausgelegt werden. Die in Spulen induzierte Spannung wirkt Stromänderungen entgegen. Bei höheren Frequenzen nimmt die Impedanz der Induktivität (Blindwiderstand), die den Strom begrenzt, zu und das Bauteil kann dementsprechend kleiner ausfallen. Bei Kondensatoren sinkt der Blindwiderstand bei höheren Frequenzen, Lade- und Entladevorgänge laufen schneller ab und es erfolgt ein höherer Stromfluss, weshalb auch dieses Bauteil kleiner ausgelegt werden kann. [26]

Eine Herausforderung bei PWM-Wandlern sind elektromagnetische Interferenzen, die durch die hochfrequenten Schaltvorgänge auftreten können [26].

2.2.2 Aufbau und Funktionsweise des Flyback-Wandlers

Der Flyback-Wandler zeichnet sich durch seinen simplen Aufbau aus. Er besteht aus vier grundlegenden Bauteilen: Ein Transistor als Schaltkomponente, ein Transformator zur Leistungsübertragung, eine Diode zur Gleichrichtung und eine Ausgangskapazität zur Filterung. Der Aufbau aus den Grundkomponenten ist in Abbildung 2.10 dargestellt.

Der Transformator dient der elektrischen Isolation von Eingang und Ausgang des Wandlers. Er speichert und überträgt Energie und setzt die Eingangsspannung in die gewünschte Ausgangsspannung um. Zudem besteht durch den Transformator die Möglichkeit die Ausgangsspannung zu invertieren. Mit der Flyback-Topologie lässt sich sowohl ein Step-Up- als auch ein Step-Down-Wandler realisieren. Die Ausgangsspannung hängt von der Konfiguration des Transformators ab. [26]

Der Flyback-Wandler ist ein Sperrwandler. Dies bedeutet, dass während der Sperrphase des Transistors die Energie auf die Ausgangsseite übertragen wird [26].

Die folgende Erklärung der Funktion bezieht sich auf die nicht-invertierende Variante des Flyback-Wandlers aus Abbildung 2.10. Außerdem wird nur die grundlegende Funktionsweise dieses elementaren Aufbaus beschrieben. Abwandlungen oder Ausweitungen der in dieser Arbeit verwendeten Schaltung werden im Detail in Kapitel 3.2 erklärt.

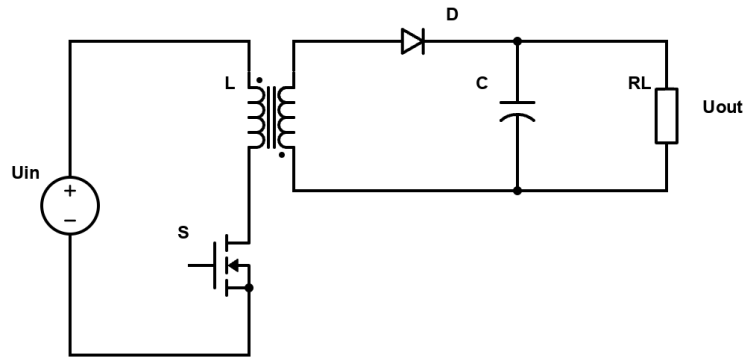


Abbildung 2.10: Aufbau der nicht-invertierenden Flyback-Wandler-Topologie, Darstellung nach [26]

In der leitenden Phase des Transistors steigt der Strom durch die Primärspule linear an und es baut sich ein Magnetfeld im Kern des Transformators auf. Auf der Sekundärseite liegt eine negative Spannung, die sich aus dem Übertragungsverhältnis des Transformators ergibt, an. Durch die Sekundärspule fließt kein Strom, da sich die ausgangsseitige Diode aufgrund der negativen Spannung in Sperrrichtung befindet.

Sobald der Transistor abschaltet, sinkt der Strom durch die Primärspule schnell ab, da der Stromkreis durch den offenen Schalter unterbrochen wird. Infolgedessen wird primärseitig eine negative Spannung in Höhe der Versorgungsspannung induziert, was zu einem hohen Spannungsabfall über dem Transistor führt. Die im Transformator Kern gespeicherte Energie wird auf die Ausgangsseite übertragen. Durch die nun positive Sekundärspannung wird die Diode leitend und ein ausgangsseitiger Strom kann fließen. Die Ausgangskapazität wird aufgeladen und hält die Ausgangsspannung und den Laststrom über die gesamte Schaltperiode annähernd konstant. [26]

2.2.3 Vorteile der Flyback-Topologie

Die verwendete Flyback-Topologie ist Teil der Vorgabe der vorliegenden Arbeit. In der PSU von CAESAR wird diese Topologie eingesetzt und aus Gründen der Vergleichbarkeit für alle Schaltungsversionen in dieser Arbeit verwendet.

Der Flyback-Wandler bietet viele Vorteile, die ihn für die im späteren Verlauf der Arbeit beschriebenen Schaltungsanforderungen und insbesondere für die Anwendung im Weltraum geeignet machen.

Neben den bereits erwähnten Vorteilen, die PWM-Konverter im Allgemeinen mit sich bringen, hat insbesondere die Flyback-Topologie den Vorzug eines einfachen Aufbaus mit wenigen Bauteilen. Die gesamte Energie wird im Transformator gespeichert und es wird keine zusätzliche Induktivität benötigt. Komplexere Topologien wie der For-

ward-, Halb- oder Vollbrücken-Konverter bestehen aus deutlich mehr Komponenten und beinhalten zum Teil mehr als einen Schalter. Sie sind damit größer und schwerer als der Flyback-Wandler. [26]

Gegenüber seiner nicht-isolierten Variante, dem Buck-Boost-Wandler, bietet er trotz des ähnlichen Aufbaus mehr Funktionen. Es besteht beispielsweise dank des Transformators die Möglichkeit, mehrere Ausgänge mit unterschiedlichen invertierten oder nicht-invertierten Spannungen zu realisieren. Dieser Vorteil wird unter anderem in der PSU genutzt. Zudem ist der Transistor in der Flyback-Topologie deutlich einfacher anzusteuern, da sowohl Gate als auch Source auf ein Referenzpotential (Masse) bezogen sind, was beim Buck-Boost-Wandler nicht der Fall ist. [26]

Zuletzt sind Eingang und Ausgang des Wandlers, wie bereits in Abschnitt 2.2.2 erwähnt wurde, beim Flyback-Konverter elektrisch voneinander getrennt.

Eine Isolation ist beispielsweise nötig, um Masseschleifen zwischen Eingangs- und Ausgangsseite zu verhindern, die durch zusätzliche Ströme durch die Schaltung und Spannungsdifferenzen Signale verfälschen können. [26]

In der in dieser Arbeit verwendeten Schaltung ist eine elektrische Isolation aufgrund gleicher Massepotentiale primär- und sekundärseitig zwar schaltungstechnisch nicht notwendig, jedoch wird hier ein anderer Vorteil genutzt.

In der Raumfahrt ist der sog. Single Point of Failure von großer Bedeutung. Hierbei wird die Auswirkung des Ausfalls einer einzelnen Komponente auf das Gesamtsystem betrachtet. Fällt in der Flyback-Topologie beispielsweise der Transistor aus und es liegt aufgrund eines Kurzschlusses dauerhaft die Eingangsspannung an der Primärseite an, hat dies keinen Einfluss auf die Sekundärseite. Die Bauteile der Ausgangsseite sind durch den Transformator geschützt. Beim Buck-Boost-Wandler hingegen würde bei einem Kurzschluss im Transistor die Eingangsspannung direkt auf den Ausgang übertragen werden. [Quelle: DLR-RMC]

Kapitel 3

3,4 V Gleichspannungswandler

In den folgenden Abschnitten wird ein Überblick über das Robotersystem CAESAR und die bestehende PSU gegeben. Die weiteren Abschnitte befassen sich im Detail mit dem Aufbau und der Funktionsweise des entwickelten Gleichspannungswandlers.

3.1 Einordnung in das Gesamtsystem

Der weltraumqualifizierte Roboterarm CAESAR wird für Montage-, Wartungs- und Reparaturarbeiten im All konzipiert. Das Ziel ist es, vielschichtige, kooperative und nicht-kooperative Anwendungsgebiete im LEO, GEO, im Weltall und auf dem Mond abzudecken. Durch Impedanz- und Drehmomentregelung der Gelenke soll dabei eine sichere und zuverlässige Manipulation in dynamischer Umgebung und beim Kontakt mit Astronauten garantiert werden. [6] [3]

Im Folgenden wird ein Überblick über die mechanische Architektur des Roboters gegeben. Anschließend wird die Elektronik des Systems sowie die PSU erklärt.

3.1.1 Mechanische Struktur

Der Aufbau des Roboterarms CAESAR, wie er in Abbildung 3.1 gezeigt ist, besteht aus sieben Gelenken (eng. Joints), vier Elektronikblöcken (EB), Verbindungsstücken (eng. Links) und einer Greiferschnittstelle für das Anbringen von Werkzeugen. Der Arm besitzt damit sieben Freiheitsgrade. Er zeichnet sich durch seine modulare Bauweise aus insgesamt fünf strukturellen Teilen mit der gleichen mechanischen Schnittstelle und Aluminiumgehäuse aus. Über das Gehäuse erfolgt die thermische Verbindung der einzelnen Teile. Diese Modularität lässt verschiedene kinematische Konfigurationen und eine hohe Anpassbarkeit an verschiedene Anwendungen zu. [3]

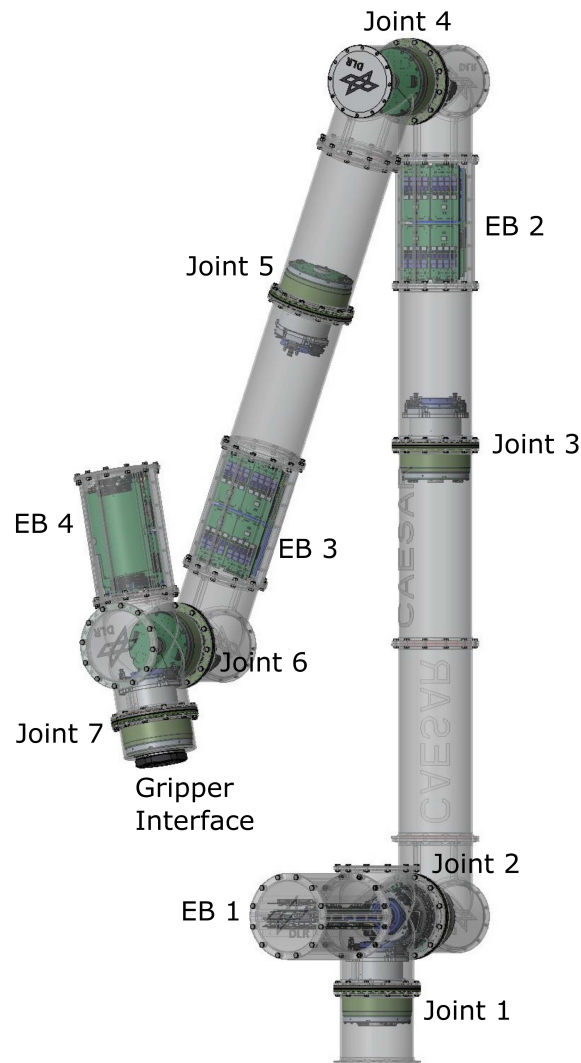


Abbildung 3.1: CAESAR Mechanische Struktur, Quelle: DLR-RMC

Die Gelenke sind, wie in Abbildung 3.1 dargestellt ist, angeordnet. Jeder Joint besteht aus einem bürstenlosen Gleichstrommotor, einem Kommutierungssensor, Getriebe, Welle und Lager sowie einem Positions- und einem Drehmomentsensor. Die Motorwicklungen und alle Sensoren sind redundant. Wenn nötig, können die Joints mit einer Bremse ausgestattet werden. Im Inneren befindet sich ein Hohlraum für die Verkabelung. [3]

Ein EB befindet sich jeweils zwischen zwei Joints. Jeder EB steuert damit zwei unterschiedliche Gelenke an und besitzt zwei voll-redundante Kontrollsysteme pro Joint. Der vierte EB wird für die Ansteuerung des siebten Gelenks sowie für die Steuerung des Greifers verwendet. Der Aufbau der EBs wird im folgenden Abschnitt genauer beschrieben.[3]

Jeder EB besitzt eine EtherCAT-Schnittstelle. Über den Datenbus erfolgt die Kommunikation zwischen den EBs und der Steuereinheit des Roboters, der Robot Control Unit (RCU), in Echtzeit. Es werden kontinuierlich für den Betrieb des Armes relevante Daten und Sensordaten übermittelt und ausgewertet. [3]

3.1.2 CAESAR Elektronikblock

Ein EB besteht aus drei Hauptkomponenten, die übereinander in einer Halbschale des Gehäuses angeordnet sind. In der gegenüberliegenden Halbschale befindet sich der redundante Block. Dies ermöglicht einen leichten Zugang zur Elektronik. Der EB setzt sich aus der Joint Control Unit (JCU), die als Steuerungseinheit für die Gelenke fungiert, zwei Power Invertern (PIs) für die Generierung des Phasenstroms zur Steuerung der Motoren beider Gelenke und der PSU, der Versorgungseinheit für die Elektronik zusammen. Der Aufbau der Elektronik in der Halbschale ist in Abbildung 3.2 dargestellt. [3]

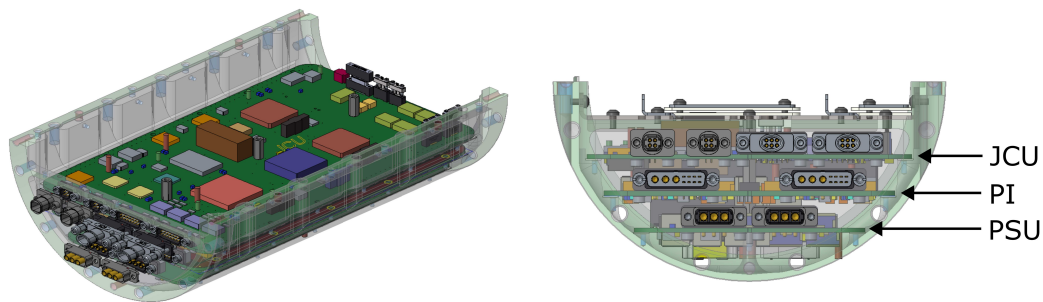


Abbildung 3.2: CAESAR Elektronikblock Aufbau in Halbschale, Quelle: DLR

Es gibt zwei verschiedene Leistungspfade, einen für die Motorspannung und einen für die Busspannung der Kontrolleinheiten. Die Versorgungsspannungen für die PSUs der einzelnen Elektronikblöcke liegt bei 28 V. Die Motorspannung beträgt 56 V, um bei der benötigten Motorleistung mit einem niedrigerem Strom und kleineren Kabelquerschnitten arbeiten zu können. Beide Pfade werden unabhängig voneinander gesteuert, um die Elektronik im Falle eines Kurzschlusses im 56 V-Pfad zu schützen. Die Spannungen werden von der Base Power Isolation Unit (BPIU) bereitgestellt. Diese Einheit ist für die elektrische Isolierung des Roboterarms vom Raumschiff zuständig. [3]

Abbildung 3.3 zeigt das Blockschaltbild und Zusammenwirken der wichtigsten Komponenten eines EBs.

Die PSU wandelt die 28 V Busspannung in verschiedene intern benötigte Spannungen um und wird für beide zum jeweiligen EB gehörenden Gelenke genutzt. Auch die JCU

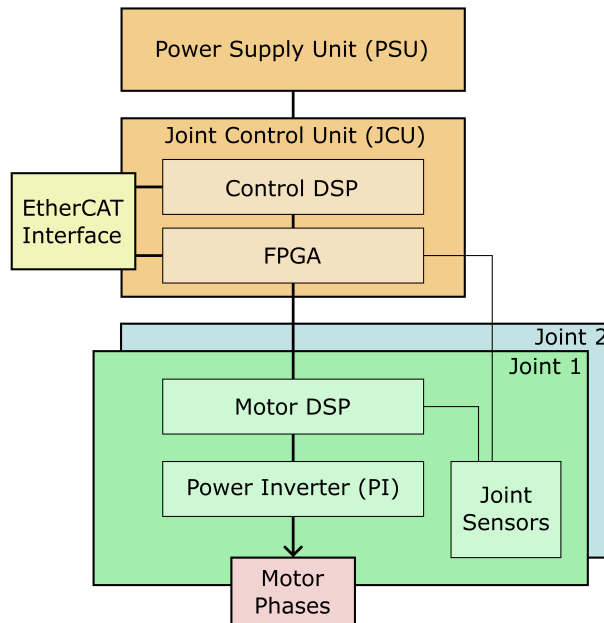


Abbildung 3.3: CAESAR Elektronikblock Blockschaltbild, Darstellung nach [3]

wird für beide Joints verwendet. Sie übernimmt die Kommunikation in Echtzeit über die EtherCAT-Schnittstelle mit den anderen Elektronikblöcken und ist mit der digitalen Spannung der Gelenksensoren verbunden. Über einen Digitalen Signalprozessor (Control DSP) läuft die Impedanz-¹, Positions- und Drehmomentregelung der Gelenke. Zudem befindet sich ein FPGA für die Speicherung der Sensordaten auf der JCU. Zuletzt fungiert sie als PWM-Schnittstelle zum Power Inverter und gibt die entsprechenden PWM-Signale der drei Phasen an die Signalprozessoren der beiden Motoren (Motor DSPs) der benachbarten Gelenke weiter. Die beiden Motor-DSPs und PIs (jeweils einer pro Gelenk) sind für die Motorstromregelung zuständig. Die PIs stellen den Phasenstrom für den Motor bereit. [3]

3.1.3 Power Supply Unit (PSU)

Die PSU ist die lokale Spannungsversorgung für jeden EB. In dieser Arbeit wird ausschließlich nach der Vorlage des Prototyps der PSU gearbeitet. Das Blockschaltbild der PSU ist in Abbildung 3.4 dargestellt. Sie besitzt eine Schnittstelle zu der 28 V-Bussspannung mit Eingang von der vorigen PSU oder der BPIU und Ausgang zur nächsten PSU. Zusätzlich stellt jede PSU die 56 V-Spannung für die PIs durch eine Verbindung zu dieser Versorgungsleitung zu Verfügung. Die Kernkomponenten sind zwei Gleichspannungswandler in Flyback-Topologie. Ein Wandler stellt 5, 2 V, 12, 5 V und 2, 3 V für die Leistungsinverter zur Verfügung, der andere 3, 4 V. [3]

¹Eine Impedanzregelung ermöglicht den Gelenken ein dynamisches und nachgiebiges Verhalten

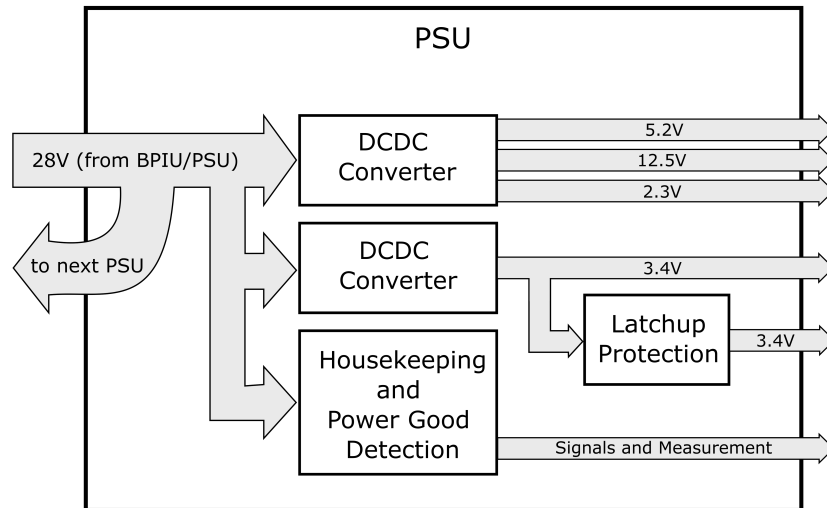


Abbildung 3.4: CAESAR PSU Blockschaltbild, Quelle: DLR-RMC

Zusätzlich befinden sich auf der PSU Eingangsstrom-, Eingangsspannungs- und Temperaturmessung (Housekeeping) sowie Logik und Power-Good Detektierung für die Festlegung der Startbedingungen der Wandler. [3]

Die Latch-Up² Schutzschaltung wird für einen EtherCAT-Slave Baustein benötigt, da es sich bei diesem um kein weltraumqualifiziertes Bauteil handelt [Quelle: DLR-RMC].

3.2 Aufbau und Funktionsweise der Schaltung

Der Technologievergleich von Si und GaN wurde am Beispiel des 3,4 V-Wandlers der PSU durchgeführt. Das grundlegende Konzept und die Spezifikationen des Wandlers wurden übernommen. Für die betrachteten Gate-Treiber und Transistoren wurden strahlungsharte Weltraumbauteile ausgewählt, für die weiteren Komponenten wurden terrestrische Äquivalente verwendet.

Zum Teil wurde der Aufbau leicht angepasst, um die Schaltung für beide Technologien kompatibel zu machen und somit eine Untersuchung unter gleichen Bedingungen zu garantieren. Die Anpassungen betreffen die Messmethode des Primärstroms durch den Flyback-Transformator sowie die Auswahl der Gate-Treiber und werden in den zugehörigen Abschnitten 3.2.5 und 3.2.3 näher beschrieben.

²Die Ursache für einen Latch-Up-Effekt können Überspannung, elektrostatische Entladungen oder kosmische Strahlung sein. Dies kann zu einem Kurzschluss in der Versorgung des Bauteils führen, wodurch dieses zerstört wird. [25]

3. 3, 4 V Gleichspannungswandler

Das Blockschaltbild in Abbildung 3.5 zeigt den grundlegenden Aufbau der Schaltung. In Tabelle 3.1 sind die Spezifikationen der zugehörigen und wichtigsten Größen aufgelistet. Das Grundprinzip der Schaltung wird im Folgenden erläutert. In den Abschnitten 3.2.1 bis 3.2.7 folgt eine detaillierte Erklärung der einzelnen Blöcke. Alle Schaltpläne sind Anhang C zu entnehmen.

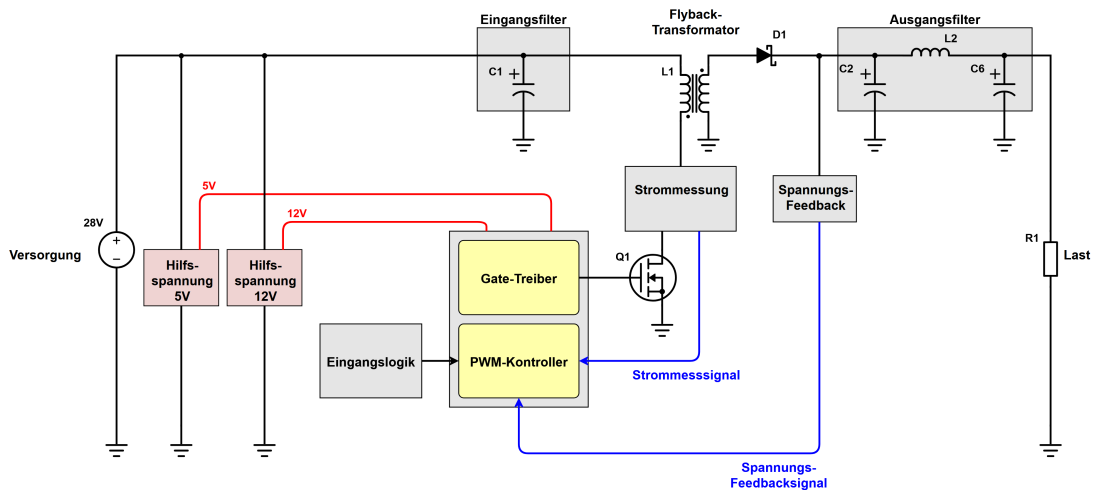


Abbildung 3.5: Blockschaltbild 3, 4 V Flyback-Wandler

Parameter	Wert
Eingangsspannung U_{in} nominal	28 V
Eingangsspannung $U_{in,min}$ min.	20 V
Eingangsspannung $U_{in,max}$ max.	36 V
Ausgangsspannung U_{out}	3, 4 V
Schaltfrequenz $f_{sw,max}$	500 kHz

Tabelle 3.1: Spezifikation wichtiger Größen des Wandlers

Die nominelle Eingangsspannung des Wandlers beträgt 28 V. Sie wird eingangsseitig durch Kondensatoren gestützt (**Eingangsfiler**).

Zu Beginn setzt die **Eingangslogik** die Startbedingungen des Wandlers fest (vgl. Abschnitt 3.2.1).

Aus den 28 V Eingangsspannung werden die benötigten **Hilfsspannungen** von 5 V und 12 V für den Gate-Treiber und den PWM-Kontroller zur Verfügung gestellt.

In den GaN-Varianten stellt der **PWM-Kontroller** dem Treiber das korrekte pulsweitenmodulierte (PWM) Signal als Eingangsgröße bereit (vgl. Abschnitt 3.2.2). Der **Gate-Treiber** steuert den Transistor Q_1 (vgl. Abschnitt 3.2.3).

In der Si-Variante werden beide Funktionen – PWM und Gate-Ansteuerung – durch

denselben Baustein übernommen. Für dieses Bauteil ist nur eine 12 V-Versorgung notwendig, die 5 V Hilfsspannung wird in diesem Fall nicht verwendet.

GaN-Transistoren haben – wie in Paragraph 2.1.3 beschrieben – andere Anforderungen an den Treiber. Aus diesem Grund wird für die GaN-Variante ein anderer Gate-Treiber benötigt. Da es bisher kaum für die Raumfahrt geeignete, kombinierte Controller- und Treiberbausteine für GaN-FETs gibt, wird der bereits vorhandene PWM-Kontroller in Kombination mit einem speziellen Treiber für GaN-Transistoren verwendet. Es wurden für den Vergleich zwei unterschiedliche GaN-Transistoren und zwei Gate-Treiber ausgewählt. Die zusätzliche 5 V Hilfsspannung wird für die Versorgung eines GaN-Treiberbausteins benötigt.

Die nötige Pulsweite zur Steuerung des Schalters wird über einen Regelkreis eingestellt. Der Regelkreis wird im Detail in Kapitel 3.4 erläutert. Hierfür wird die **Strommessung** des Primärstroms durch den Flyback-Transformator mittels Stromesstransformator (vgl. Abschnitt 3.2.5) und das **Feedback der Ausgangsspannung** berücksichtigt.

L_1 entspricht dem **Flyback-Transformator**, der in seiner Funktion als Leistungsübertrager die durch das Wicklungsverhältnis bestimmte Ausgangsspannung bereitstellt. Außerdem wird durch den Transformator für die elektrische Isolation von Eingangs- und Ausgangsseite gesorgt (vgl. Abschnitt 3.2.6). Die Spannung am Ausgang beträgt 3,4 V.

Die Ausgangsspannung und der Ausgangsstrom werden durch den **Ausgangsfiler** geglättet (siehe Abschnitt 3.2.7).

3.2.1 Eingangslogik

Das Eingangslogiknetz dient der Unterspannungsdetektierung und dem Sanftanlaufs – d.h. einem langsamen Hochfahren – des Wandlers (eng. Softstart) (siehe Schaltplan C.1 und C.7 in Anhang C.1 und C.2).

Bei einer Spannung von $U_{supply} < 20$ V soll der Wandler deaktiviert bleiben. Mit Hilfe eines Spannungsteilers und eines Komparators U_{1-D} kann die Eingangsspannung mit der 12 V Referenzspannung verglichen werden. Ist die Spannung am positiven Eingang des ersten Komparators kleiner als 3 V und somit niedriger als am negativen Eingang, wird der Ausgang auf das Referenzpotential (Massepotential) gezogen. Dadurch liegt auch am Ausgang des zweiten Komparators U_{1-A} , der als Verzögerungsglied dient, das Referenzpotential an und der Wandler bleibt ausgeschaltet. Steigt die Versorgungs-

spannung auf über 20 V an, wird der Open-Drain-Ausgang der Komparatoren mit Hilfe der Pullup-Widerstände R_7 und R_8 auf ein entsprechend höheres Spannungslevel gezogen.

Die Softstart-Funktion sorgt dafür, dass der Regler des Wandlers langsam hochgefahren wird. Ein PNP-Transistor V_4 (siehe Schaltplan C.3 und C.9 in Anhang C.1 und C.2) am Ausgang des Reglers (COMP-Eingang von U_3) zieht diesen zu Beginn des Startvorgangs auf das Referenzpotential und wird langsam aufgesteuert. R_8 und C_{18} im Schaltplan (vgl. Schaltplan C.1 und C.7 in Anhang C.1 und C.2) bilden das dafür ausgelegte Verzögerungsglied. Der PWM-Kontroller sowie der Wandler startet erst, sobald die Spannung am COMP Eingang ein Level von 3,6 V überschritten hat.

3.2.2 PWM-Kontroller

Als PWM-Kontroller und Gate-Treiber für den Si-MOSFET wird im Referenzdesign der PSU der UC2843A von Texas Instruments genutzt (vgl. U_3 im Schaltplan C.3 und C.9 in Anhang C.1 und C.2). Dieser Baustein wird als PWM-Kontroller sowohl in der Si-Version als auch in den GaN-Versionen beibehalten. Über das von R_5 und C_2 geformte RC-Glied am RT/CT Eingang wird die Schaltfrequenz eingestellt. Die Schaltfrequenz lässt sich mittels Gleichung 3.1 berechnen [48].

$$f_{sw} \approx \frac{1.72}{R_5 \cdot C_2} = \frac{1}{1,2 \text{ nF} \cdot 2,7 \text{ k}\Omega} = 530 \text{ kHz} \quad (3.1)$$

Die berechnete Frequenz entspricht nicht der tatsächlichen Schaltfrequenz. Durch die im weiteren Verlauf des Abschnitts beschriebene Schleifenkompensation fließt ein Teil des Stromes über R_{10} ab. Dies führt dazu, dass durch R_5 ein geringerer Strom fließt, der Kondensator C_2 langsamer geladen wird und damit die Schaltfrequenz sinkt. In der Simulation ergibt sich der tatsächliche Frequenzwert zu 386 kHz. Für Leistungsrechnungen im weiteren Verlauf der Arbeit (vgl. Abschnitte 3.3 und 4.1) wird deshalb ein Wert von rund 400 kHz für die Schaltfrequenz gewählt.

Außerdem stellt der PWM-Kontroller das korrekte Tastverhältnis des PWM-Signals für die Ansteuerung des Transistors zur Regelung der Ausgangsspannung ein. Als Eingangsgrößen für den Pi-Regler werden eine Referenzspannung (VREF Ausgang) und das Feedback der 3,4 V Ausgangsspannung (FB Eingang) verwendet (vgl. roter Pfad in Abbildung 3.6). Zur Einstellung der Reglerparameter wird der interne Komparator am COMP Eingang extern beschaltet.

rote Verlauf zeigt die Auswirkung einer Störung. Die Schleifenkompensation zeigt den Effekt, dass die Differenz der beiden Signale sich bereits nach der ersten Schaltperiode deutlich reduziert.

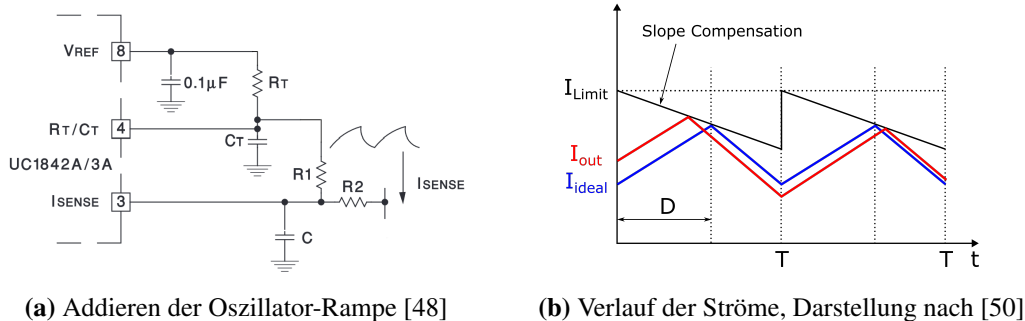


Abbildung 3.7: Schleifenkompensation

3.2.3 Gate-Treiber

Der im vorherigen Abschnitt 3.2.2 beschriebene PWM-Kontroller wird für die Si-Variante zusätzlich als Gate-Treiber verwendet. Da GaN-HEMTs im Vergleich zu Si-FETs mit einer deutlich niedrigeren Gate-Spannung von nominal $U_{GS} = 5\text{ V}$ (beim Si-FET: $U_{GS} = 12\text{ V}$) angesteuert werden und der PWM-Kontroller UC2843A nicht für diese Spannung ausgelegt ist, wird für die GaN-HEMTs ein zusätzlicher Gate-Treiberbaustein benötigt.

Derzeit sind wenige strahlungsharte Treiber für GaN-FETs verfügbar. Es wurden zwei verschiedene Treiber mit niedrigen Anstiegs- und Abfallzeiten und kleinen Größen ausgewählt, die beide getestet werden sollen: Der FBS-GAM01P-C-PSE von EPC Space und der ISL70040SEH von Renesas. Für diese Anwendung im Wandler werden keine zusätzlichen, speziellen Funktionen benötigt, weshalb Bausteine, die hinsichtlich ihrer Funktionen und in ihrer benötigten Platinenfläche überdimensioniert waren, ausgeschlossen wurden.

Die wichtigsten Daten der Treiber sind Tabelle 3.2 zu entnehmen. Der ISL7004SEH bietet neben der kleinen Größe den Vorteil, dass er mit der bereits vorhandenen 12 V-Spannung versorgt werden kann. Hierfür kann die gleiche Spannung verwendet werden, die auch für den PWM-Kontroller UC2843A benötigt wird. Die Gate-Spannung von 5 V wird intern generiert. Der FBS-GAM01P-C-PSE ist auf eine externe 5 V-Versorgung angewiesen. Für diesen Baustein muss folglich ein zusätzlicher 5 V-Spannungsregler mit eingeplant werden. Außerdem wird vor dem Eingang der Treibers

ein Anpassungsnetzwerk von den 12 V-Ausgangsspannung des PWM-Kontrollers auf 5 V eingesetzt. Im Schaltplan setzt sich dieses Netzwerk aus einem Spannungsteiler bestehend aus den Widerständen R_{30} und R_{31} , der Zener-Diode D_{10} und der Diode D_9 zusammen (vgl. Schaltplan C.9 in Anhang C.2).

Die Hilfsspannungen von 12 V und 5 V für die Treiberbausteine werden von zwei Linearreglern bereitgestellt (vgl. U_2 und U_4 in Schaltplan C.2 und C.8 in Anhang C.1 und C.2).

Treiber	Versorgungsspannung	Nominelle Schaltzeiten	Benötigte Platinenfläche
FBS-GAM01P-C-PSE	5 V	Rise: 32 ns Fall: 21 ns	12,7 mm x 9,65 mm
ISL70040SEH	4,5 – 13,2 V	Rise: 12,5 ns Fall: 7,5 ns	6 mm x 6 mm

Tabelle 3.2: Gate-Treiber [16] [24]

3.2.4 Schaltkomponente

Der Transistor ist die zentrale Schaltkomponente des Wandlers (vgl. V_3 in Schaltplan C.3 und C.9 in Anhang C.1 und C.2). Er wird über den Gate-Treiber mit Hilfe eines vom Kontroller generierten PWM-Signals gesteuert.

Verglichen werden soll ein vorhandener Si-MOSFET aus dem PSU Referenzdesign mit zwei verschiedenen GaN-HEMTs. Für die Wahl der GaN-HEMTs wurden verschiedene erhältliche Bauteile hinsichtlich der aus bauteilspezifischen Größen berechneten Verlustleistung sowie Größe und Strahlungshärte gegenübergestellt. Die Verluste stehen hierbei im Vordergrund. In Kapitel 3.3 werden die Auswahlkriterien, die Berechnung der Verlustleistung und die Wahl der GaN-HEMTs im Detail beschrieben.

3.2.5 Strommessung

Die Strommessung wurde ursprünglich mittels eines Strommesswiderstands zwischen der Source des Transistors und dem Referenzpotential (auf der "Low Side") durchgeführt. Bei der Verwendung von GaN-FETs zeigt sich, dass ein Widerstand auf der Low Side aufgrund der niedrigen Gate-Source-Spannung zu unerwünschten Effekten führen kann. Durch parasitäre Induktivitäten in der Messwiderstandsstrecke kann das Source-Potential so weit angehoben werden, dass die Threshold-Spannung am Gate des Transistors kurzzeitig unterschritten wird und der GaN-FET ausgeschaltet wird.

3. 3,4 V Gleichspannungswandler

Aufgrund dieser Instabilität wird eine Strommessung mittels eines Stromesstromtransformators gewählt, der sich zwischen dem Flyback-Transformator und Drain des Transistors befindet (vgl. Abbildung 3.8). Die Messung mittels Stromesstromtransformator wird aus Gründen der Vergleichbarkeit sowohl für die Si-Variante, als auch für die GaN-Variante verwendet.

Um eine möglichst hohe Messgenauigkeit und ein gutes Signal-Rausch-Verhältnis zu erhalten, wird ein großes Übertragungsverhältnis von 150:1 gewählt. Der Terminierungswiderstand R_{12} , über dem der gemessene Stromwert anliegt, lässt sich folgendermaßen berechnen [9]:

$$R_T = U_{sec} \cdot \frac{N_{sec}}{I_{prim}} = 0,25 \text{ V} \cdot \frac{150}{2 \text{ A}} = 18,75 \Omega \quad (3.2)$$

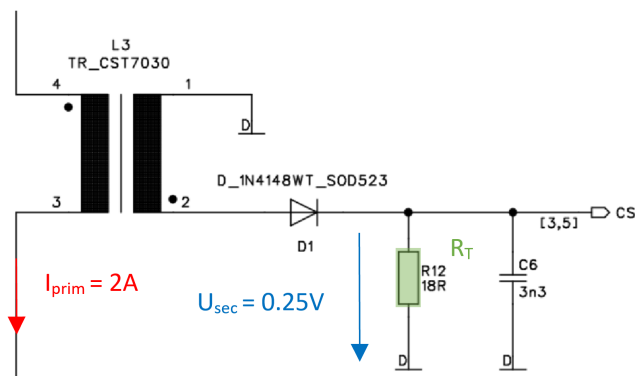


Abbildung 3.8: Beschaltung des Stromesstromtransformators

Gewählt wird ein Widerstandswert von 18Ω , der in der E-Reihe vorhanden ist. Der maximale Strom von 2 A ist durch die Primärspule des Flyback-Transformators bestimmt, die bei einem höheren Strom in Sättigung geht. Der Wert der Sekundärspannung wird möglichst niedrig gewählt, um Störeinflüsse zu minimieren.

Auf das Strommesssignal wird die Oszillator-Rampe des PWM-Kontrollers für die Schleifenkompensation (vgl. Paragraph 3.2.2) und die Referenzspannung des PWM-Kontrollers von 5 V für die Verstärkung des Signals addiert. Die Verstärkung des Strommesssignals ist aus folgendem Grund notwendig: Die maximale Spannung am Strommess-Eingang des PWM-Kontrollers beträgt 1 V . Um eine hohe Messauflösung zu erhalten, wird ein niedriger Wert von $0,25 \text{ V}$ als Ausgangsspannung des Stromesstromtransformators gewählt. Dennoch soll der volle Messbereich des Kontrollers von 1 V ausgenutzt werden, weshalb das Signal auf die Größe des Messbereichs verstärkt wird. Im Schaltplan C.3 und C.9 in Anhang C.1 und C.2 ist der Aufbau der Strommessung sowie der Rückführung des Messsignals zum Kontroller zu finden.

3.2.6 Übertrager

Der Transformator wandelt die 28 V Eingangsspannung in die 3,4 V Ausgangsspannung. Im Folgenden wird die Auslegung des Transformators grundlegend aufgezeigt.

Am Ausgang des Wandlers wird eine Spannung von 3,4 V benötigt. Berücksichtigt man den Spannungsabfall über die beiden parallelen Dioden D_5 und D_6 auf der Sekundärseite des Transformators (vgl. Schaltplan C.4 und C.10 in Anhang C.1 und C.2) von 0,7 V, entspricht die Sekundärspannung einem Wert von 4,1 V. Das ideale Übersetzungsverhältnis entspricht dem in Gleichung 3.3 berechneten Wert von 6,83. Aufgrund gesetzter Bauteilanforderungen an Drahtstärke, Wickelbreite und -höhe ergeben sich 32 Wicklungen für die Primärseite. Mit der Gleichung 3.4 berechnet sich die Anzahl der Sekundärwicklungen zu 4,69. Es wird demnach eine Anzahl von fünf Wicklungen gewählt. Damit ergibt sich das neue Übertragungsverhältnis zu 6,4 (vgl. Gleichung 3.5). [10]

$$n_{opt} = \frac{U_{prim}}{U_{sec}} = \frac{28 \text{ V}}{4,1 \text{ V}} = 6,83 \quad (3.3)$$

$$N_{sec} = \frac{N_{prim}}{n_{opt}} = \frac{32}{6,83} = 4,69 \approx 5 \quad (3.4)$$

$$n_{final} = \frac{N_{prim}}{N_{sec}} = \frac{32}{5} = 6,4 \quad (3.5)$$

Basierend auf den Bauteilparametern, auf welche hier nicht weiter eingegangen wird, ergeben sich die Induktivitäten der Primär- und der Sekundärspule zu $L_{prim} = 102,4 \mu\text{H}$ und $L_{sec} = 2,5 \mu\text{H}$ [Quelle: DLR-RMC].

Dämpfungsglied (Snubber) Ein Dämpfungsglied in Form eines Zener-Dioden-Snubbers wirkt dem durch die Induktivität erzeugten, induzierten Spannungsüberschwingen auf der Primärseite des Transformators L_2 , wenn der Transistor V_3 ausgeschaltet ist, entgegen (vgl. Abbildung 3.9) [40].

Der Snubber besteht aus der Zener-Diode D_4 und der Schottky-Diode D_3 . Die Bauteilbezeichnungen in Abbildung 3.9 decken sich mit dem Schaltplan C.3 und C.9 in Anhang C.1 und C.2.

Leitet der Transistor V_3 , sind beide Dioden gesperrt, da am Drain ein niedriges Potential anliegt. Sperrt der Transistor, beginnt die Spannung am Drain zu steigen. Der Strom durch die Primärspule L_2 sinkt langsam ab, während die Schottky-Diode D_3

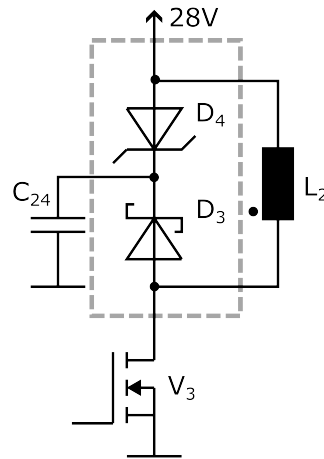


Abbildung 3.9: Snubber-Glied

zu leiten beginnt. Sie bietet damit einen schnellen Strompfad für den Spulenstrom und dient so als Freilaufdiode für die induktive Last L_2 . Der absinkende Strom erzeugt eine negative Gegenspannung über der L_2 , sodass eine hohe Spannung am Drain des Transistors entsteht (vgl. Gleichung 3.7). Wenn es zu einem Überspringen kommt, erhöht sich aufgrund von Gleichung 3.6 die Spannung über der Diode D_4 . Sobald die Zener-Spannung (Durchbruchspannung der Zener-Diode) erreicht ist, steigt der Strom durch die D_4 an. Die Diode begrenzt so die Spannung am Drain des Schalters. Im idealen Betrieb würde die Diode D_4 nie leiten. [40]

$$U_{L2} = -U_{D4} + U_{D3} \quad (3.6)$$

$$U_{DS} = U_{supply} - (-U_{L2}) \quad (3.7)$$

3.2.7 Ausgangsfilter

Die Spule L_1 am Ausgang des Wandlers glättet den Strom, da sie einer Stromänderung entgegenwirkt (vgl. Schaltplan C.4 und C.10 in Anhang C.1 und C.2). Die Ausgangskondensatoren C_7 , C_8 , C_9 , C_{10} sorgen dafür, dass die Ausgangsspannung über die gesamte Schaltperiode möglichst konstant gehalten wird.

C_7 , C_8 , C_9 , C_{10} und L_1 formen einen LC-Tiefpassfilter, um hochfrequente Störungen, die durch Schalttransienten entstehen, zu unterdrücken. Während die Impedanz einer Kapazität bei steigenden Frequenzen abnimmt, vergrößert sich die Impedanz von Induktivitäten. Die Serieninduktivität blockiert somit hohe Frequenzen am Ausgang und die Parallelkapazitäten leiten sie zum Referenzpotential hin ab.

Die Anordnung des Filters entspricht einem Pi-Glied und besteht aus drei passiven Komponenten ($C_7 || C_8 || C_9$, L_1 und C_{10}). Pi-Glieder zeigen ein besseres Filterverhalten als LC-Filter aus zwei Komponenten. Sie weisen eine höhere Flankensteilheit im Frequenzgang und damit eine deutlichere Abgrenzung der Durchlassfrequenzen von den unterdrückten Frequenzen auf. [19]

3.3 Auswahl der GaN-Transistoren

Dieses Unterkapitel befasst sich mit der Auswahl der GaN-HEMTs. Hierfür werden verschiedene Komponenten hinsichtlich ihrer Verlustleistung, Größe und Strahlungsfestigkeit verglichen. In Abschnitt 3.3.3 werden die im weiteren Verlauf der Arbeit verwendeten Formeln für die Leistungsberechnung eingeführt.

3.3.1 Si-Transistor des Referenzdesigns

Bei dem im PSU-Referenzdesign verwendeten Transistor handelt es sich um den IRHNM57110 von Infineon. Die charakteristischen Größen sind in Tabelle 3.3 dargestellt. Betrachtet man vergleichbare Produkte gängiger Hersteller, lässt sich feststellen, dass der IRHNM57110 niedrigere Werte für $R_{DS,on}$ und Q_G sowie schnelle Schaltzeiten von 8,0 ns Anstiegszeit und 15,0 ns Abfallzeit aufweist [22]. Vergleichsweise mit weiteren aktuell verfügbaren Produkten besitzt der IRHNM57110 eine geringe Verlustleistung [20]. Das Bauteil ist demnach gut geeignet, um Si- und GaN-Technologie annähernd vergleichen zu können.

Parameter	Wert
U_{DS}	100 V
I_D	6,9 A
$R_{DS,on}$	0,22 Ω
Q_G	15 nC
Energiedosis	100 krad

Tabelle 3.3: IRHNM57110 Spezifikationen [22]

3.3.2 Auswahlkriterien

Die Kriterien, nach denen die GaN-HEMTs ausgewählt werden, sind Größe, Verlustleistung und Strahlungsfestigkeit. Erhältliche, maximale Drain-Source-Spannungen der GaN-Transistoren sind 40 V, 100 V, 200 V und 300 V. Um eine Vergleichbarkeit

der beiden Technologien zu schaffen, werden nur die 100 V-Typen in die Auswahl mit- einbezogen. Durch die induzierte Spannung in der Spule des Transformators kann am Transistor eine Spannung von bis zu

$$\begin{aligned} U_{DS,max} &= U_{in,max} \cdot (U_{out} + U_{F,D1}) \cdot \frac{N_1}{N_2} \\ &= 36 \text{ V} \cdot (3,4 \text{ V} + 0,8 \text{ V}) \cdot 6,4 = 62,9 \text{ V} \end{aligned} \quad (3.8)$$

anliegen. Nach ECSS-Norm [44] dürfen an Feldeffekttransistoren im Luft- und Raum- fahrtbereich maximal 80% der spezifizierten Drain-Source-Spannung anliegen (in die- sem Fall also maximal 80 V). Die Anforderungen sind mit einem 100 V-Typ gewähr- leistet. Des Weiteren werden nur Bauteile mit vergleichbaren Werten der charakte- ristischen Bauteilgrößen mit in die engere Auswahl aufgenommen. Zudem darf der ma- ximal fließende Drainstrom nach ECSS-Norm [44] nur 75% des Stromwertes, auf den das Bauteil nach Datenblatt ausgelegt ist, entsprechen. Da hier der Drainstrom durch den Sättigungsbereich des Transformators auf 2 A limitiert ist, muss der Transistor also mindestens einen Strom von $2 \text{ A} \cdot (100\%/75\%) \approx 2.7 \text{ A}$ schalten können.

3.3.3 Berechnung der Verlustleistung

Es sollen zwei unterschiedliche GaN-HEMTs für den Vergleich mit dem Si-FET aus- gewählt werden.

Alle möglichen Bauteile mit den für die Verlustleistungsberechnung relevanten Grö- ßen sind Tabelle 3.4 zu entnehmen. Angegebene Werte stammen aus den Datenblättern der jeweiligen Bauteile. Die in der Tabelle verwendete Ladungsmenge Q_{GS2} lässt sich aus der Ladung der Gate-Source-Kapazität und der Gate-Ladung beim Erreichen der Threshold-Spannung berechnen:

$$Q_{GS2} = Q_{GS} - Q_{G,Uth} \quad (3.9)$$

In Abbildung 3.10 ist die Ladungsverteilung beim Einschaltvorgang eines FETs abge- bildet. Die Kurven sind zum besseren Verständnis idealisiert dargestellt. Der physika- lisch korrekte Kurvenverlauf kann je nach Anwendungsfall abweichen. Da vorerst der Leistungsvergleich basierend auf einer gemeinsamen Grundlage im Vordergrund steht, ist der exakte Kurvenverlauf zunächst nicht notwendig. Für den Vergleich der Verluste wird angenommen, dass nur Schaltverluste entstehen, wenn weder die Drain-Source- Spannung noch der Drain-Strom gleich Null ist. Die Ein- und Ausschaltzeit ergibt sich zu:

$$t_{on} \approx t_{off} = \frac{Q_{GS2} + Q_{GD}}{I_G} \quad (3.10)$$

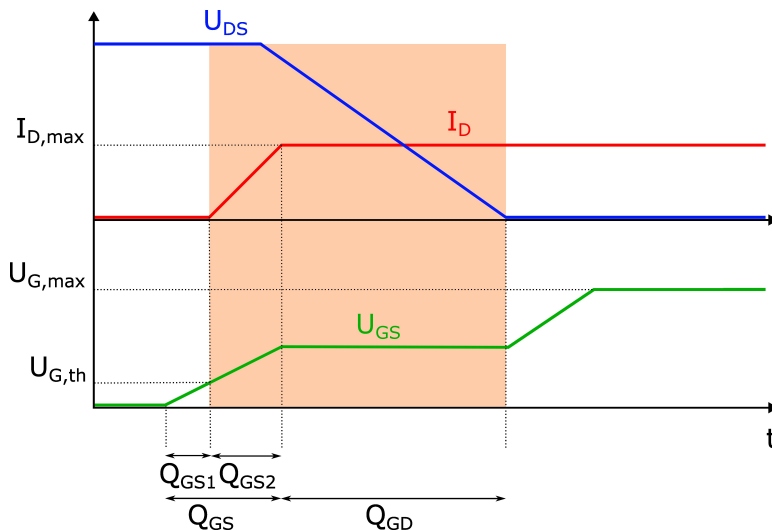


Abbildung 3.10: Ladungsverteilung beim Einschaltvorgang eines Transistors

GaN-HEMT	R_{DSon} [m Ω]	Q_G [nC]	Q_{GS2} [nC]	Q_{GD} [nC]
EPC7003A	42	1,5	0,22	0,5
FBG10N05A	36	1,7	0,3	0,2
CDA10N05X2	26	1,7	0,3	0,2
ISL70023SEH	5	14	2,4	5,5
TDG100E90TEP	7	8	1,6	1,7
EPC7004B	15	7	1,7	1,7
FBG10N30B	12	8,3	0,7	1

Table 3.4: Charakteristische Größen der ausgewählten GaN-HEMTs [11] [14] [8] [23] [46] [12] [15]

Des Weiteren dienen folgende Annahmen als Grundlage für die Berechnung:

$$\begin{aligned}
 I_D &= 2 \text{ A} \\
 D &= 60\% \\
 f_{sw} &= 400 \text{ kHz} \\
 U_{DS} &= 70 \text{ V} \\
 I_G &= 0,9 \text{ A} \\
 U_{GS} &= 5 \text{ V}
 \end{aligned}$$

Die Verlustleistung des Transistors setzt sich zusammen aus den statischen Verlusten P_{con} während der leitenden Phase, aus den Schaltverlusten P_{sw} , die während des Ein- und Ausschaltens des Transistors auftreten und aus den Gate-Ansteuerungsverlusten P_G . Verluste, die durch den Reverse Recovery Effekt entstehen, entfallen bei GaN-HEMTs

infolge der fehlenden Body-Diode. Auch beim Si-FET können die Verluste hier vernachlässigt werden, da sich die Body-Diode in dieser Schaltung zu keinem Zeitpunkt in einer leitenden Phase befindet. Zudem werden Verluste, die durch eine Umladung der Ausgangskapazität C_{oss} entstehen, an dieser Stelle nicht berücksichtigt, da diese im Vergleich zu den anderen Verlusten vernachlässigbar klein ausfallen. Die Gesamtverluste sowie die einzelnen Anteile lassen sich mittels der Gleichungen 3.11 bis 3.14 berechnen [28] [38].

$$P_{ges} = P_{con} + P_{sw} + P_G \quad (3.11)$$

$$P_{con} = R_{DSon} \cdot I_D^2 \cdot D \quad (3.12)$$

$$P_{sw} = \frac{1}{2} \cdot U_{DS} \cdot I_D \cdot f_{sw} \cdot (t_{on} + t_{off}) =$$

$$= U_{DS} \cdot I_D \cdot f_{sw} \cdot \frac{Q_{GS2} + Q_{GD}}{I_G} \quad (3.13)$$

$$P_G = U_{GS} \cdot Q_G \cdot f_{sw} \quad (3.14)$$

Aus Tabelle 3.5 sind die Ergebnisse der Leistungsberechnung zu entnehmen. Die obersten drei Transistoren weisen die geringsten Verluste auf.

Gewählt wird der CDA10N05X2, da er zusätzlich zum geringsten Verlustleistungswert die geringste Platinenfläche benötigt (siehe Tabelle 3.6). Da der FBG10N05A die gleichen Ladungswerte wie der CDA10N05X2 aufweist (vgl. Tabelle 3.4), wird trotz der geringfügig größeren Verlustleistung zusätzlich der EPC7003A ausgewählt. Aufgrund der Größe und der höheren Verluste werden die anderen GaN-FETs für diese Anwendung verworfen.

GaN-HEMT	P_{con} [mW]	P_{sw} [mW]	P_G [mW]	P_{ges} [mW]
EPC7003A	100,8	44,8	3	148,6
FBG10N05A	86,4	31,1	3,4	120,9
CDA10N05X2	62,4	31,1	3,4	96,9
ISL70023SEH	12	491,6	28	531,6
TDG100E90TEP	16,8	205,3	16	238,1
EPC7004B	36	211,6	14	261,6
FBG10N30B	28,8	105,8	16,6	151,2

Tabelle 3.5: Verluste der ausgewählten GaN-HEMTs

GaN-HEMT	Hersteller	Energiedosis [krad]	Fläche [mm x mm]
EPC7003A	EPC Space	300	3,43 x 3,43
FBG10N05A	EPC Space	300	3,43 x 3,43
CDA10N05X2	EPC Space	300	1,7 x 2,31
ISL70023SEH	Renesas	100	4,7 x 9,0
TDG100E90TEP	Teledyne	keine Daten	7,0 x 4,0
EPC7004B	EPC Space	1000	5,72 x 3,94
FBG10N30B	EPC Space	300	5,72 x 3,94

Tabelle 3.6: Strahlungsdaten und Größe der ausgewählten GaN-HEMTs [11] [14] [8] [23] [46] [12] [15]

3.4 Regelung

Die Auslegung des vorhandenen Regelkreises wird für diese Arbeit zunächst theoretisch behandelt, in MATLAB implementiert und im späteren Verlauf mittels der LTSpice-Simulation und einer praktischen Stabilitätsmessung verifiziert. Die MATLAB-Dateien stehen in Anhang B zu Verfügung.

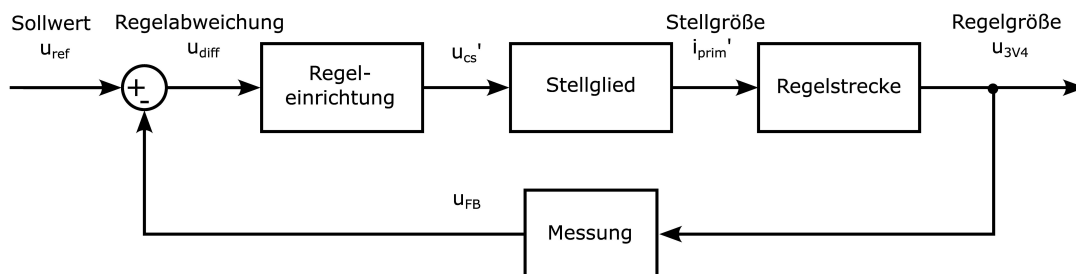


Abbildung 3.11: Regelkreis

Abbildung 3.11 zeigt den Aufbau der Regelung. Die Führungsgröße u_{ref} , bzw. der Sollwert, des Regelkreises liegt bei einer Referenzspannung von 2,5 V. Als Regler wird ein PI-Regler eingesetzt, bei dem die Stellgröße dem Primärstrom i'_{prim} durch den Transformator und die Regelgröße der 3,4 V Ausgangsspannung u_{3V4} entspricht. Am Eingang der Regeleinrichtung liegt die Differenz zwischen Sollwert und Rückführung u_{diff} an. Der Spannungsabfall über den Messwiderstand des Strommesstransformators u'_{cs} dient als Eingangsgröße des Stellglieds. Rückgeführt wird eine Feedback-Spannung u_{FB} über einen Spannungsteiler, die im eingeschwungenen Zustand den Wert der Referenzspannung von 2,5 V annimmt. [18]

3.4.1 Regeleinrichtung

Die Regeleinrichtung besteht aus einem PI-Regler G_{PT1} , der Aufaddierung der Spannungsversätze U_1 und U_2 sowie einem Spannungsteiler G_1 . Die Spannung u'_{cs} entspricht dem Spannungsabfall über dem Terminierungswiderstand des Strommesstransformators, u_{cs} der Spannung am Strommesseingang ISENSE des PWM-Kontrollers UC2843A. Die Übertragungsblöcke der Regeleinrichtung sind Abbildung 3.12 zu entnehmen und werden im Folgenden näher beschrieben.

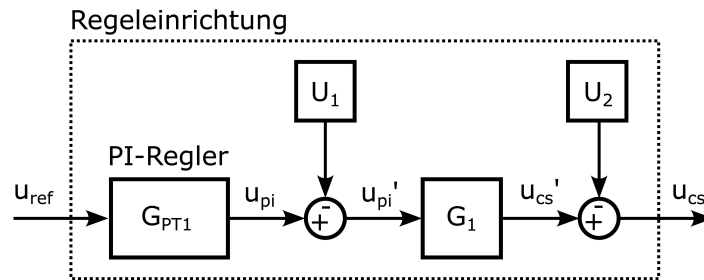


Abbildung 3.12: Regeleinrichtung

PI-Regler G_{PT1} Schaltungstechnisch besteht der PI-Regler aus einem Operationsverstärker, an dessen Eingang die Differenz zwischen Feedback- und Referenzwert anliegt. Die Widerstände R_1 und R_2 sowie der Kondensator C_1 bestimmen die Parameter des Reglers (vgl. Abbildung 3.13). Der Operationsverstärker ist im PWM-Kontroller UC2843A integriert und wird mit den entsprechenden Bauteilen am COMP und FB Eingang beschaltet. In Abbildung 3.6 ist der interne Teil des PI-Reglers Rot gekennzeichnet.

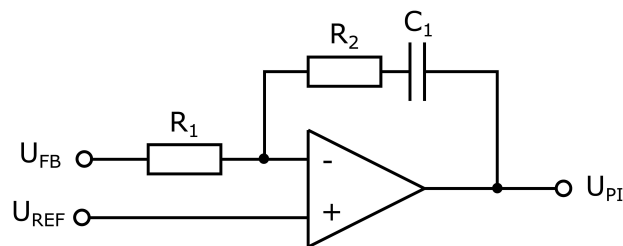


Abbildung 3.13: Schaltungstechnische Umsetzung des PI-Regler

Die Übertragungsfunktion des PI-Reglers lässt sich aufstellen durch:

$$G_{PT1}(s) = K_i \cdot \left(1 + \frac{1}{T_N \cdot s}\right) \quad (3.15)$$

Mithilfe der Gleichungen 3.17 und 3.18 lassen sich die Reglerparameter K_i und T_N berechnen. Die Bauteilwerte sind den Schaltplanseiten C.3, C.4, C.9 und C.10 in Anhang

C.1 und C.2 zu entnehmen. Die Bauteilbezeichnungen in Abbildung 3.13 entsprechen den folgenden Bauteilen im Schaltplan:

$$\begin{aligned} R_1 &\hat{=} R_{15} || R_{16} \\ R_2 &\hat{=} R_6 \\ C_1 &\hat{=} C_3 \end{aligned} \quad (3.16)$$

$$K_i = \frac{R_2}{R_1} = \frac{5 \text{ k}\Omega}{2.7 \text{ k}\Omega || 7.5 \text{ k}\Omega} = 2,518 \quad (3.17)$$

$$T_N = \frac{1}{(2.7 \text{ k}\Omega || 7.5 \text{ k}\Omega) \cdot 1 \text{ nF}} = 503703 \quad (3.18)$$

Spannungsversätze und Spannungsteiler U_1 , U_2 und G_1 Für das Stellglied, welches im nächsten Abschnitt 3.4.2 näher beschrieben wird, wird im weiteren Verlauf zur Vereinfachung ein Kleinsignalersatzschaltbild verwendet. Da darin nur dynamische Änderungen berücksichtigt werden, gehen Informationen über Gleichspannungsversätze (Offsets) verloren. Alle Spannungsquellen werden beim Bilden des Ersatzschaltbildes durch einen Kurzschluss ersetzt. Um dies zu kompensieren, werden Offsets vor dem Stellglied zum Ausgangssignal des Reglers addiert.

Hierzu wird zunächst der Spannungsabfall U_1 über die beiden internen Dioden (vgl. Gleichung 3.19) und der interne Spannungsteiler G_1 (vgl. Gleichung 3.20) des UC2843A (vgl. grünen Pfad in Abbildung 3.6 berücksichtigt).

$$U_1 = 2 \cdot U_D = 2 \cdot 0,6 \text{ V} = 1,2 \text{ V} \quad (3.19)$$

$$G_1 = \frac{u'_{cs}}{u'_{pi}} = \frac{R}{R + 2R} = \frac{1}{3} \quad (3.20)$$

Zusätzlich wird der Spannungsabfall über den Widerstand R_{11} im Strommesspfad (vgl. Schaltplan C.3 und C.9 in Anhang C.1 und C.2) von der Spannung u'_{cs} abgezogen (Block U_2). Dieser berechnet sich zu:

$$U_2 = U_{R11} = u_{cs} - u'_{cs} = 1 \text{ V} - 0,25 \text{ V} = 0,75 \text{ V} \quad (3.21)$$

Für u_{cs} und u'_{cs} werden die Werte von 1 V und 0,25 V bei einem maximalen Strom von 2 A angenommen (vgl. Abschnitt 3.2.5). Die Addition und Berücksichtigung der Spannungsversätze dient der vereinfachten Annäherung des Regelkreisverhaltens an die reale Schaltung, da der primäre Fokus der Arbeit nicht auf der Regelung liegt.

Dementsprechend kann die Ausgangsgröße des berechneten Reglers leichte Abweichungen von dem realen System aufweisen.

3.4.2 Stellglied

Abbildung 3.14 zeigt die Übertragungsblöcke des Stellglieds. G_2 ersetzt als spannungsgesteuerte Stromquelle den zeitdiskreten Schalter als zeitkontinuierliches Element, L_1 dient der primärseitigen Stromlimitierung durch den Sättigungsbereich des Flyback-Transformators.

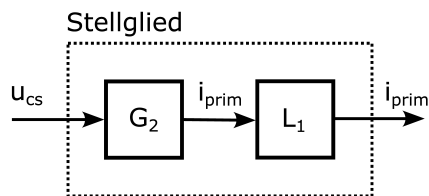


Abbildung 3.14: Stellglied des Regelkreises

Kleinsignalersatzschaltbild zu G_2 Um auf die Stellgröße i_{prim} , den Primärstrom des Übertragers, schließen zu können, wird der Regelkreis an dieser Stelle mithilfe eines Kleinsignalersatzschaltbildes und bekannten Werten vereinfacht. Neben dem Ausgang des PI-Reglers dient das Strommesssignal u_{cs} als Eingangsgröße für einen intern im UC2843A verbauten Komparator (Bezeichnung "Current sense comparator" in Abbildung 3.6). Über dessen Ausgang wird der Tastgrad des PWM-Signals und damit der Strom i_{prim} gesteuert (vgl. grüner Pfad in Abbildung 3.6).

Betrachtet man das Strommess-Netzwerk, welches sich zwischen u_{cs} (ISENSE Eingang des UC2843A) und i_{prim} (Primärseite des Flyback-Transformators) befindet (vgl. Schaltplan C.3 und C.9 in Anhang C.1 und C.2), in entgegengesetzter Richtung, kann die Übertragungsfunktion als Leitwert des zusammengefassten Netzwerkes, bzw. als spannungsgesteuerte Stromquelle angesehen werden. Dadurch kann der Transistor als zeitdiskretes Element, der das eigentliche Stellglied im Regelkreis darstellt, zeitkontinuierlich betrachtet werden.

Das Netzwerk und die Zusammenfassung zum Kleinsignalersatzschaltbild sind in Abbildung 3.15 dargestellt. Die Bezeichnungen der Bauteilsymbole entsprechen den Bauteilbezeichnungen im Schaltplan.

Der Spulenstrom auf der Sekundärseite des Strommesstransformators i_{L2} wird als ideale Stromquelle angenommen, die im folgenden Schritt zur einer Ersatzspannungs-

quelle u_M mit Innenwiderstand $R_i = R_{12}$ umgeformt wird. R_9 und R_{10} werden zur Vereinfachung als parallel mit u_{ref} als gemeinsamer Versorgungsspannung angenommen.

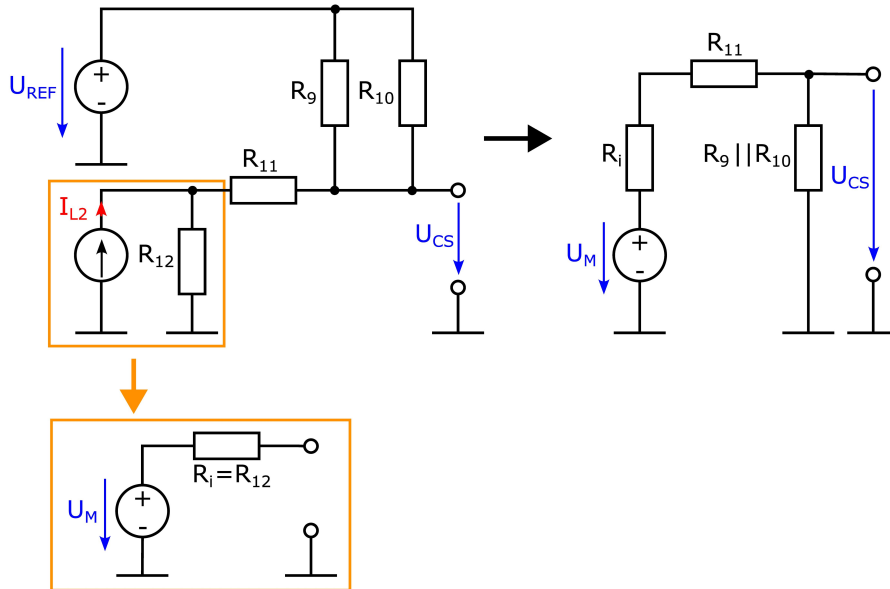


Abbildung 3.15: Entstehung des Kleinsignalersatzschaltbildes

Der Übertragungsfaktor zwischen der Ersatzspannung u_M und der Ausgangsspannung u_{cs} ergibt sich zu:

$$\frac{u_M}{u_{cs}} = \frac{R_i + R_{11} + (R_9 || R_{10})}{R_9 || R_{10}} = 10,7 \quad (3.22)$$

$$u_M = i_{L2} \cdot R_i = \frac{i_{prim}}{150} \cdot R_i \Rightarrow i_{prim} = \frac{u_M \cdot 150}{R_i} \quad (3.23)$$

Mit der Umformung aus Gleichung 3.23 kann die Übertragungsfunktion aufgestellt und der Übertragungsfaktor berechnet werden:

$$G_2 = \frac{i_{prim}}{u_{cs}} = \frac{u_M}{u_{cs}} \cdot \frac{150}{R_i} = 89,17 \text{ S} \quad (3.24)$$

Stromlimitierung L_1 An zweiter Stelle wird ein Begrenzer L_1 auf 2 A für den Primärstrom i_{prim} eingefügt, um die Limitierung des PWM-Kontrollers zu berücksichtigen. Ab einem Strom von $i_{prim} > 2 \text{ A}$ sättigt die Spule L_1 . Ein solcher Betriebsfall wird ausgeschlossen. Der Begrenzer ist insbesondere für die Implementierung in MATLAB Simulink wichtig, um eine repräsentative Kurvenform zu erhalten.

3.4.3 Regelstrecke

Abbildung 3.16 stellt die Übertragungsblöcke der Regelstrecke dar. Diese berücksichtigt die Umrechnung von dem Spitzenwert des Primärstroms in Mittelwert G_3 , das Übertragungsverhältnis des Flyback-Transformators G_4 sowie die Ausgangsimpedanz des Wandlers G_5 mit Last K_1 .

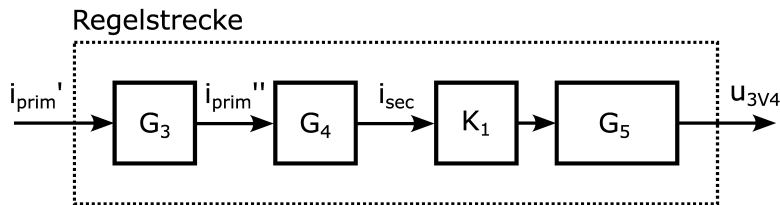


Abbildung 3.16: Regelstrecke

Umrechnung Spitzenstromwert Mittelwert G_3 Um das Tastverhältnis des PWM-Signals zu berücksichtigen, dient der Übertragungsblock G_3 der Umrechnung vom Spitzenstromwert von 2 A auf den Mittelwert des Primärstroms durch den Flyback-Transformator (vgl. Gleichung 3.25). Um einen möglichst genauen Wert zu erhalten, wird für die Übertragungsfunktion der Mittelwert des Stromes von 680 mA aus der Simulation verwendet.

$$G_3 = \frac{i''_{prim}}{i'_{prim}} = \frac{680 \text{ mA}}{2 \text{ A}} = 0,37 \quad (3.25)$$

Übertragungsverhältnis Flyback-Transformator G_4 Die Übertragung des Transformators ist gegeben durch das Verhältnis der Wurzeln der Induktivitäten auf der Primär- und der Sekundärseite:

$$G_4 = \frac{i_{sec}}{i''_{prim}} = \frac{\sqrt{L_1}}{\sqrt{L_2}} = \frac{\sqrt{102,4 \mu\text{H}}}{\sqrt{25 \mu\text{H}}} = 6,4 \quad (3.26)$$

Ausgangsimpedanz K_1 und Last G_5 Der letzte Übertragungsblock der Strecke G_5 entspricht der Impedanz des Netzwerkes zwischen der Sekundärseite des Transformators und dem 3,4 V Ausgangsspannungsnetz, an welchem der Feedback-Abgriff erfolgt.

Vereinfacht besteht diese aus der Impedanz der Kapazität $C_1 = C_7 + C_8 + C_9 = 450 \mu\text{F}$ (vgl. Schaltplan C.4 und C.10 in Anhang C.1 und C.2) und den äquivalenten Serienwiderständen (ESR) der einzelnen Kapazitäten $R_1 = R_{C7} \parallel R_{C8} \parallel R_{C9} = 20 \text{ m}\Omega$.

Das jeweilige ESR der verwendeten Kondensatoren beträgt $60\text{m}\Omega$ [47].

Der Wandler würde in dieser Konfiguration im Leerlauf beschrieben werden, der nicht abbildbar ist. Aus diesem Grund wird der Wandler für die Regelung, wie auch für die Simulation unter Last betrachtet. Es wird zunächst ein Lastwiderstandswert von $R_2 = 1\Omega$ gewählt, da der Wandler bei größeren Widerstandswerten in einen diskontinuierlichen Modus (DCM = Discontinuous Conduction Mode) übergeht. Der Lastwiderstand R_2 in Abbildung 3.16 entspricht der Konstante K_1 .

Das Ersatzschaltbild der Ausgangsimpedanz ist in Abbildung 3.17 dargestellt. Die Impedanz berechnet sich aus der Gleichung:

$$\begin{aligned} Z_{out} &= (C_1 + R_1) || R_2 = \frac{\left(\frac{1}{j\omega C_1} + R_1\right) \cdot R_2}{\frac{1}{j\omega C_1} + R_1 + R_2} = \frac{R_2 + j\omega R_1 R_2 C_1}{1 + j\omega(R_1 C_1 + R_2 C_1)} \\ &= R_2 \cdot \frac{1 + j\omega R_1 C_1}{1 + j\omega(R_1 + R_2)C_1} \end{aligned} \quad (3.27)$$

Die Übertragungsfunktion ergibt sich nach der Laplace-Transformation zu:

$$G_5(s) = K_1 \cdot \frac{1 + sN}{1 + sP} = R_2 \cdot \frac{1 + sR_1 C_1}{1 + s(R_1 + R_2)C_1} \quad (3.28)$$

mit $K_1 = 1$, $N = 0,000009$ und $P = 0,000459$

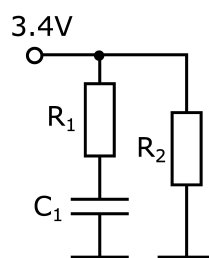


Abbildung 3.17: Ausgangsimpedanz des Wandlers

3.4.4 Rückführung

Der Rückführungsblock G_6 entspricht dem Spannungsteiler von den 3,4 V Ausgangsspannung auf die Feedback-Spannung von 2,5 V. Dieser setzt sich aus den Widerständen $R_{15} = 2,7\text{k}\Omega$ und $R_{16} = 7,5\text{k}\Omega$ zusammen (vgl. Schaltplan C.4 und C.10 in Anhang C.1 und C.2).

Der Wert der Übertragung berechnet sich durch:

$$G_6 = \frac{u_{FB}}{u_{3V4}} = \frac{R_{16}}{R_{15} + R_{16}} = 0,735 \quad (3.29)$$

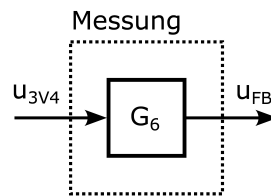


Abbildung 3.18: Rückführung

Kapitel 4

Technologievergleich in Simulation und Praxis

Das Thema des nachfolgenden Kapitels ist der Vergleich von Schaltungseigenschaften in der Theorie und Simulation sowie die praktische Validierung theoretischer Ergebnisse.

Der primäre Schwerpunkt liegt auf der Verlustleistung, die zunächst rechnerisch und simulativ bestimmt wird. Daraufhin erfolgt eine messtechnische Ermittlung des Wirkungsgrades an der realen Schaltung sowie ein Vergleich der unterschiedlichen Methoden und eine Analyse der Ergebnisse. Des Weiteren wird der Regelkreis in MATLAB Simulink und mithilfe einer praktischen Stabilitätsanalyse untersucht.

4.1 Theoretische Berechnung der Verlustleistung

Für die theoretische Berechnung der Verlustleistung der Transistoren werden die Bauteilwerte aus den Datenblättern und die Gleichungen 3.11 bis 3.14 aus Kapitel 3.3 verwendet. Die folgenden Annahmen eines Worst-Case-Szenarios gelten als Grundlage für die Berechnung:

$$\begin{aligned} I_D &= I_{D,max} = 2 \text{ A} \\ D &= 60\% \\ f_{sw} &= 400 \text{ kHz} \\ U_{DS} &= U_{DS,max} = 70 \text{ V} \\ I_G &= I_{G,max} = 900 \text{ mA} \\ U_{GS,Si} &= 12 \text{ V} \\ U_{GS,GaN} &= 5 \text{ V} \end{aligned} \tag{4.1}$$

Für die Teilverlustleistungen P_{con} , P_{sw} , P_G und die Gesamtverluste P_{ges} ergeben sich die in Tabelle 4.1 aufgeführten Werte.

Transistor	P_{con} [mW]	P_{sw} [mW]	P_G [mW]	P_{ges} [mW]
IRHNM57110	528	485,3	72	1085,3
EPC7003A	100,8	44,8	3	148,6
CDA10N05A	62,4	31,1	3,4	96,9

Tabelle 4.1: Vergleich der berechneten Verlustleistungen

Es fällt auf, dass sich die berechneten Werte des Si-FETs deutlich von denen der GaN-HEMTs unterscheiden (ca. Faktor 7 bis 11). Insbesondere die höheren Schalt- und Leitverluste fallen beim IRHNM57110 ins Gewicht. Dies kommt von der im Datenblatt höher angegebenen Gate-Ladung Q_G und deren Teilladungen Q_{GD} und Q_{GS} beim Si-FET im Vergleich zu den GaN-HEMTs. Aus der kleineren Gate-Ladung der GaN-HEMTs resultiert außerdem die starke Abweichung der Gate-Verluste zwischen GaN und Si. Vergleichsweise zu Schalt- und Leitverlusten tragen die Anteile der Gate-Verluste jedoch insgesamt weniger zu den Gesamtverlusten bei. Der vergleichsweise größere $R_{DS,on}$ des IRHNM57110 führt zudem zu höheren statischen Verlusten.

Auch wenn die Verluste des Si-FET laut Berechnung die Verluste der GaN-HEMTs weit übersteigen, lassen die Datenblattwerte nicht zwingend auf das reale Verhalten in einer spezifischen Schaltung schließen. Die Unterschiede und Abweichungen werden in den folgenden Kapiteln mit Hilfe der Simulation und Messungen an der realen Baugruppe aufgezeigt und analysiert.

4.2 Simulation

Die Simulation wird mit dem Programm LTSpice durchgeführt. Alle simulierten Schaltungen sind Anhang A zu entnehmen.

Für die GaN-HEMTs sowie für den Treiber ISL70040SEH waren zum Erstellungszeitpunkt der Arbeit keine LTSpice-Modelle verfügbar. Aus diesem Grund werden für die GaN-HEMTs verfügbare Modelle von äquivalenten, terrestrischen Bauteilen ausgewählt. Bei der Wahl der Ersatzmodelle wurde sich an möglichst ähnlichen Werten für $R_{DS,on}$, Q_G und U_{GS} orientiert.

Als Ersatzbaustein für den EPC7003A dient der EPC2007C (siehe Anhang A.2 und A.4), für den CDA10N05X2 der EPC2051 (siehe Anhang A.3 und A.5). Für den Treiber-Baustein ISL70040SEH wird ein Buffer verwendet mit einer Ausgangsspan-

nung von 5 V und einem Vorwiderstand zur Simulation des Innenwiderstandes mit $2,2 \Omega$. Es wird die bauteilspezifische Anstiegszeit des Treibers von 12,5 ns und einer Abfallzeit von 7,5 ns parametrisiert (siehe Anhang A.4 und A.5).

4.2.1 Vergleich von Silizium und Galliumnitrid

Die Verlustleistungswerte aus der Simulation entsprechen jeweils dem Mittelwert der Verlustleistungskurve über dem Zeitraum des eingeschwungenen Zustandes. Die simulierten und berechneten Werte sind in Tabelle 4.2 abgebildet.

Im Gegensatz zur Berechnung weisen die GaN-HEMTs in der Simulation nur eine geringfügig kleinere Verlustleistung auf als der Si-FET (ca. Faktor 1,4 bis 1,8). Der CDA10N05X2 ergibt wie in der Berechnung einen etwas geringeren Wert als der EPC7003A. Insgesamt weichen die berechneten Verlustleistungswerte, insbesondere den IRHNM57110 betreffend, deutlich von den berechneten Werten ab.

Im folgenden Abschnitt 4.2.2 wird näher auf diesen Sachverhalt und dessen Gründe eingegangen.

Transistor	P_{ges} [mW] Simulation	P_{ges} [mW] Berechnung
IRHNM57110	278,1	1085,3
EPC7003A (FBS-GAM01P-C-PSE)	199,0	148,6
CDA10N05A (FBS-GAM01P-C-PSE)	157,1	96,9
EPC7003A (ISL70040SEH)	196,6	148,6
CDA10N05A (ISL70040SEH)	152,0	96,9

Tabelle 4.2: Berechnete und simulierte Verlustleistungswerte im Vergleich

4.2.2 Verifizierung der Berechnung

Wie bereits im vorangegangenen Abschnitt erwähnt, weisen die berechneten und die simulierten Werte einige Abweichungen auf. Der Verluste des IRHNM57110 fallen in der Simulation deutlich kleiner aus als in der Berechnung, während die Verluste der GaN-HEMTs in der Simulation etwas größer sind.

Dies liegt zum einen daran, dass für die Berechnung von einem Worst-Case-Szenario

ausgegangen wurde. Die physikalischen Rahmenbedingungen und spezifischen Eigenschaften einer Schaltung bestimmen das charakteristische Verhalten der Anwendung. Schaltvorgänge und andere Bauteilzustände bilden daher in der Praxis nicht unbedingt den Worst-Case ab. Zum anderen werden Werte aus den entsprechenden Datenblättern der Transistoren verwendet, da diese für die Berechnung die einzige Quelle darstellen. Die Bauteilwerte aus den Datenblättern sind stets unter bestimmten Betriebsbedingungen angegeben und daher nicht uneingeschränkt auf einen anderen Anwendungsfall übertragbar.

Hierbei ist wichtig zu erwähnen, dass Simulationen ein Verhalten unter idealisierten Bedingungen ohne parasitäre Schaltungseffekte – wenn diese nicht explizit in der simulierten Schaltung berücksichtigt wurden – darstellen.

Das Ergebnis kann in der Realität anders aussehen. Auch kann der genaue Ablauf der Schaltvorgänge sowie der Einfluss des entsprechenden Treiberbausteins in der Praxis von der Simulation abweichen.

Im Folgenden sollen zunächst die einzelnen Verlustleistungsursachen betrachtet und deren Gleichungen mit Hilfe von simulierten Werten verifiziert werden. Alle Werte, die in den folgenden Paragraphen aus der Simulation abgelesen oder berechnet wurden, sind in Anhang E.1 tabellarisch aufgelistet.

Statische Verluste P_{con} Zur Berechnung der statischen Verluste mit Gleichung 3.12 werden die Größen $R_{DS, \text{on}}$, I_D und D benötigt.

Der Widerstandswert von $R_{DS, \text{on}}$ wird weiterhin aus dem Datenblatt übernommen. Für I_D wurde jeweils der Effektivwert des Stromes während der Leitphase aus der Simulation abgelesen. Auch das Tastverhältnis D wurde mittels der Simulation bestimmt (vgl. Abbildung 4.1). Dieser ergibt sich aus dem Quotienten von t_{on} und der Periodendauer T zu:

$$D = \frac{t_{\text{on}}}{T} = \frac{1,2687 \mu\text{s}}{2,5810 \mu\text{s}} = 0,492 \approx 50\% \quad (4.2)$$

Die neu berechneten Werte der statischen Verluste sind in Tabelle 4.3 aufgelistet. Die Unterschiede zu den alten Werten kommen ausschließlich durch den niedrigeren Wert des Drain-Stromes und das Tastverhältnis von 50% zu Stande, da der Wert von $R_{DS, \text{on}}$ der Gleiche bleibt. Der Maximalwert von 2 A wird in der Simulation im eingeschwungenen Zustand nicht erreicht.

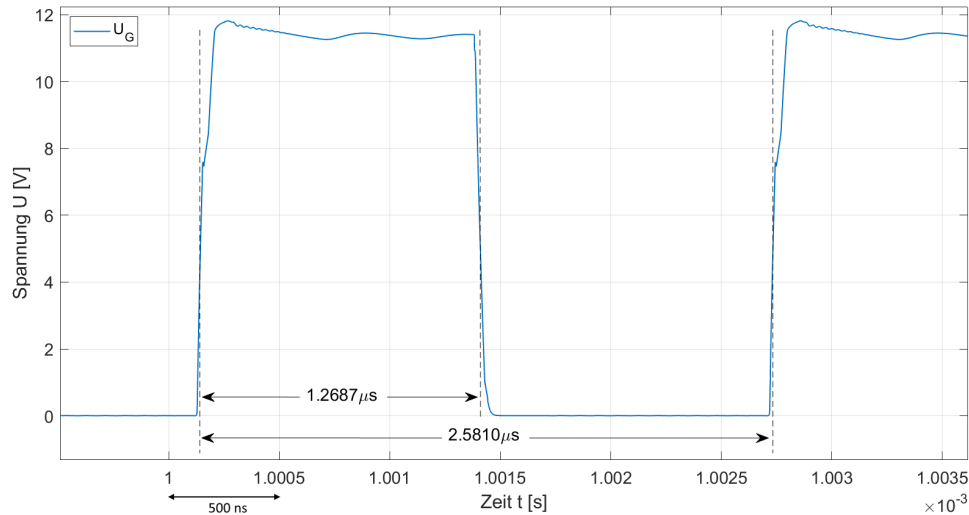


Abbildung 4.1: Bestimmung des Duty-Cycles aus dem Verlauf der Gate-Spannung am Beispiel des IRHNM57110

Transistor	$I_{D,\text{neu}}$ [A]	D_{neu}	$P_{\text{con,neu}}$ [mW]
IRHNM57110	1, 1	0, 5	133, 10
EPC7003A (FBS-GAM01P-C-PSE)	1, 1	0, 5	25, 41
CDA10N05A (FBS-GAM01P-C-PSE)	1, 1	0, 5	15, 73
EPC7003A (ISL70040SEH)	1, 1	0, 5	25, 41
CDA10N05A (ISL70040SEH)	1, 1	0, 5	15, 73

Tabelle 4.3: Neu berechnete Leitverluste aus der Simulation

Schaltverluste P_{sw} Für die Berechnung der Schaltverluste ist eine genauere Betrachtung der Kurvenformen des Drain-Stroms I_D , der Drain-Source-Spannung U_{DS} und der daraus entstehenden Leistung P notwendig. Hierfür wird ein numerischer Ansatz gewählt. Je nach Verlauf der Kurven berechnet sich die Energie, die durch die Fläche unter der Leistungskurve dargestellt wird, unterschiedlich. Die gesamte Verlustleistung ergibt sich durch die Addition einzelner kleiner Zeitabschnitte. Hierbei werden folgende Fälle betrachtet:

Fall 1: Eine der beiden Größen I_D und U_{DS} ist konstant, die andere Größe steigt oder fällt linear (vgl. Abbildung 4.2 (a)). Fall 2: Beide Größen steigen oder fallen linear (vgl. Abbildung 4.2 (b)). Fall 3: Eine Größe fällt, die andere Größe steigt linear (vgl. Abbildung 4.2 (c)).

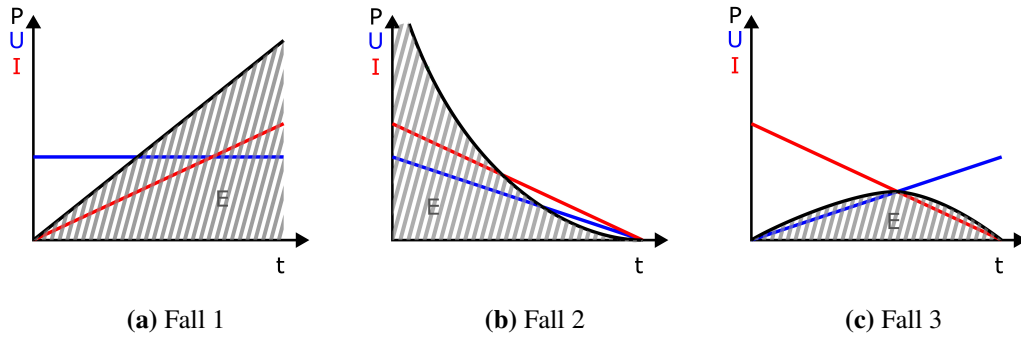


Abbildung 4.2: Kurvenverläufe von Strom I_D , Spannung U_{DS} und Leistung P

Die Gleichungen 4.3 bis 4.5 beschreiben die Herleitung für die Berechnung der Energie in einem Intervall der Zeitspanne t :

$$\begin{aligned}
 E_1 &= \int_0^t U_{DS} \cdot \frac{I_D}{t} \cdot \tau \, d\tau = \frac{U_{DS} \cdot I_D}{t} \cdot \left[\frac{1}{2} \cdot \tau^2 \right]_0^t \\
 &= \frac{1}{2} \cdot U_{DS} \cdot I_D \cdot t
 \end{aligned} \tag{4.3}$$

$$\begin{aligned}
 E_2 &= \int_0^t \frac{U_{DS}}{t} \cdot \tau \cdot \frac{I_D}{t} \cdot \tau \, d\tau = \frac{U_{DS} \cdot I_D}{t^2} \cdot \left[\frac{1}{3} \tau^3 \right]_0^t \\
 &= \frac{1}{3} \cdot U_{DS} \cdot I_D \cdot t
 \end{aligned} \tag{4.4}$$

$$\begin{aligned}
 E_3 &= \int_0^t \left(-\frac{I_D}{t} \cdot \tau + I_D \right) \cdot \frac{U_{DS}}{t} \cdot \tau \, d\tau \\
 &= \frac{U_{DS}}{t} \left[-\frac{I_D}{t} \cdot \int_0^t \tau^2 \, d\tau + I_D \cdot \int_0^t \tau \, d\tau \right] \\
 &= \frac{U_{DS}}{t} \cdot \left[-\frac{I_D}{t} \cdot \left[\frac{1}{3} \cdot \tau^3 \right]_0^t + I_D \cdot \left[\frac{1}{2} \cdot \tau^2 \right]_0^t \right] \\
 &= \frac{U_{DS}}{t} \cdot \left[-\frac{2 \cdot I_D \cdot t^2}{6} + \frac{3 \cdot I_D \cdot t^2}{6} \right] \\
 &= \frac{1}{6} \cdot U_{DS} \cdot I_D \cdot t
 \end{aligned} \tag{4.5}$$

Die Berechnung der Leistungen für die entsprechenden Abschnitte ergeben sich folglich zu:

$$P_1 = \frac{1}{2} \cdot U_{DS} \cdot I_D \cdot f_{sw} \cdot t \quad (4.6)$$

$$P_2 = \frac{1}{3} \cdot U_{DS} \cdot I_D \cdot f_{sw} \cdot t \quad (4.7)$$

$$P_3 = \frac{1}{6} \cdot U_{DS} \cdot I_D \cdot f_{sw} \cdot t \quad (4.8)$$

Für die theoretische Berechnung der Verlustleistung wurde die aus Abschnitt 3.2.4 bekannte Gleichung 4.6 verwendet, da der genaue Kurvenverlauf zu diesem Zeitpunkt noch nicht bekannt war. Bei dem idealen Kurvenverlauf während des Schaltvorgangs, der in Abbildung 3.10 dargestellt ist, ist im betrachteten Zeitraum immer eine der beiden Größen U_{DS} und I_D konstant. Es gilt hier also Fall 1. Die exakte Schaltfrequenz wird aus der Simulation bestimmt (vgl. Abbildung 4.1). Sie ergibt sich zu:

$$f_{sw} = \frac{1}{T} = \frac{1}{2,5810 \mu s} = 387,4467 \text{ kHz} \approx 390 \text{ kHz} \quad (4.9)$$

Abbildung 4.3 zeigt die Drain-Source-Spannung und den Drain-Strom beim Ein- und Ausschalvorgang des IRHNM57110 aus der Simulation. Abbildung 4.4 zeigt die Schaltvorgänge am Beispiel des EPC7003A in Kombination mit dem Treiberbaustein FBS-GAM01P-C-PSE. Die Kurven werden in einzelne Abschnitte unterteilt, auf die jeweils die Formeln 4.6 bis 4.8 anwendbar sind. Die Spannungs- und Stromverläufe werden innerhalb der einzelnen Abschnitte als konstant, linear steigend oder linear fallend angenommen. Die Linearisierung der Kurven ist in den Zeitabschnitten als gepunktete Linie eingezeichnet.

Betrachtet man beispielsweise den Einschaltvorgang in Abbildung 4.3 (a), gilt für Abschnitt $t_{sw,on1}$ Fall 1, für Abschnitt $t_{sw,on2}$ Fall 2 und für Abschnitt $t_{sw,on3}$ Fall 3. Beim Ausschalvorgang in Abbildung 4.3 (b) lässt sich auf $t_{sw,off1}$ Fall 1 und auf $t_{sw,off2}$ Fall 3 anwenden. Nach diesem Muster werden für alle fünf Schaltungsvarianten die Verlustleistungen der einzelnen Abschnitte berechnet und anschließend addiert, um die gesamten Schaltverluste zu erhalten.

In den Abbildungen ist zu erkennen, dass die Schaltverläufe aus der Simulation von dem für die Berechnung angenommenen Schaltverhalten abweichen. Zudem kann bei der Berechnung mit Simulationswerten auf die Größen Q_G , Q_{GD} und Q_{GS} aus den Datenblättern zur Abschätzung der Schaltzeiten verzichtet werden. Stattdessen werden die Zeiten aus der Simulation abgelesen. Die neu berechneten Verluste sind Tabelle 4.4 zu entnehmen.

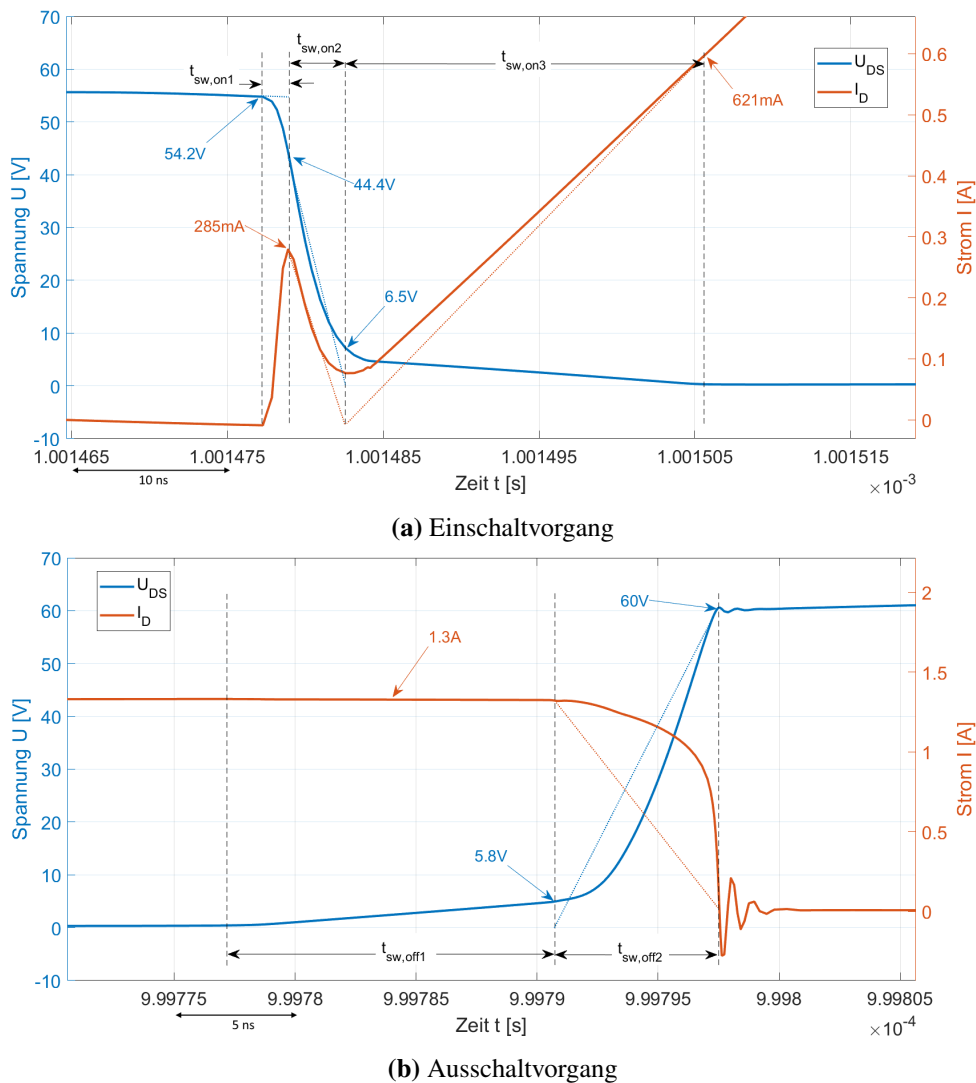
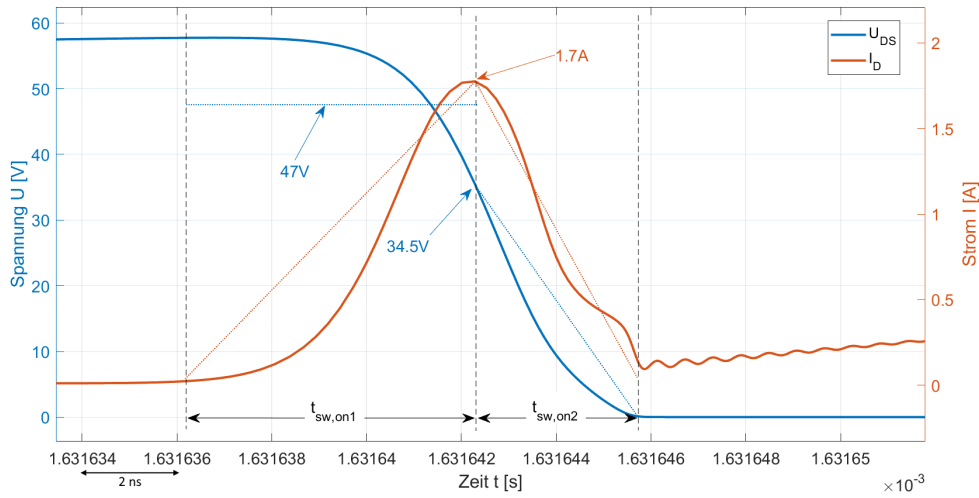


Abbildung 4.3: Bestimmung der Schaltverluste am Beispiel des IRHNM57110

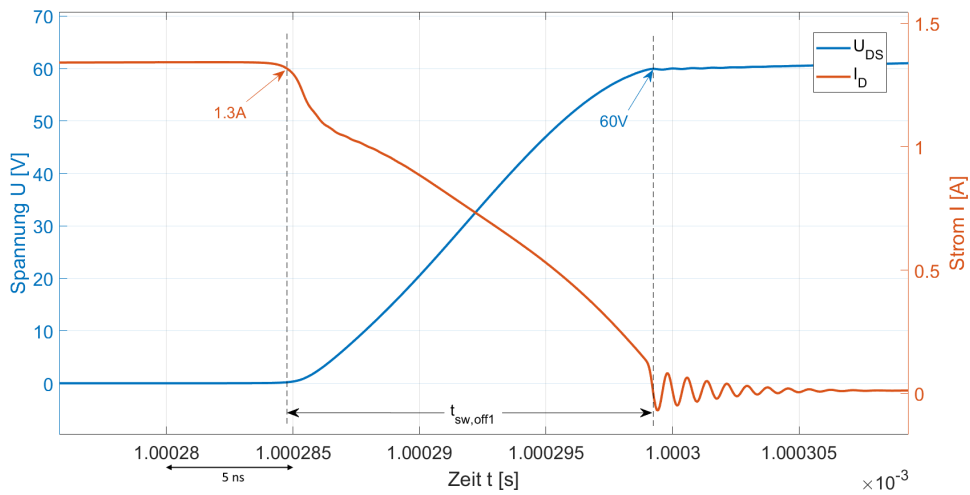
Es fällt auf, dass der Si-FET in der Simulation geringere Schaltverluste als in der Berechnung und niedrigere Verluste als die GaN-HEMTs aufweist. Die Unterschiede zur Berechnung kann die folgende Ursache haben: Die simulierten Schaltzeiten des IRHNM57110 sind kürzer als in der Berechnung, während die GaN-HEMTs langsamer als erwartet schalten. An dieser Stelle könnten die Simulationsmodelle des Controllers und des GaN-Treibers das Schaltverhalten positiv oder negativ beeinflussen.

Wie in den Abbildungen 4.3 (a) und 4.4 (a) zu erkennen, existiert beim GaN-HEMT während des Schaltens zudem eine deutlich höhere Stromspitze als beim GaN-HEMT, was zu größeren Verlusten führt. Die Stromspitze entsteht durch die Schottky-Diode des Snubber-Glieds, an der zu Beginn des Einschaltvorgangs für kurze Zeit eine Vorwärtsspannung anliegt, bis die Spannung am Drain des Transistors weit genug gesun-

ken ist. Da die Drain-Spannung beim Si-FET hier am Anfang etwas steiler abfällt, wird die Stromspitze schneller unterdrückt und fällt kleiner aus als beim GaN-HEMT.



(a) Einschaltvorgang



(b) Ausschaltvorgang

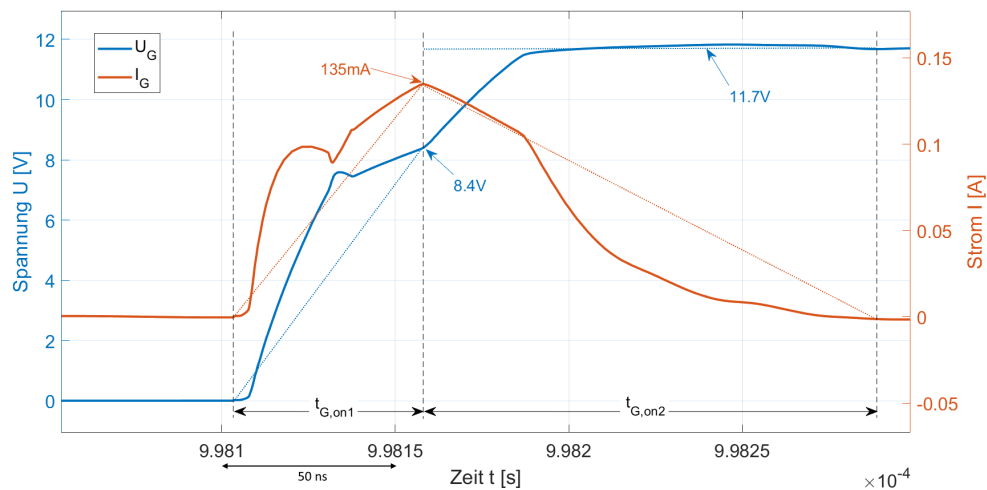
Abbildung 4.4: Bestimmung der Schaltverluste am Beispiel des EPC7003A mit Treiber FBS-GAM01P-C-PSE

Transistor	$P_{sw,neu}$ [mW]
IRHNM57110	68, 63
EPC7003A (FBS-GAM01P-C-PSE)	192, 13
CDA10N05A (FBS-GAM01P-C-PSE)	154, 41
EPC7003A (ISL70040SEH)	189, 66
CDA10N05A (ISL70040SEH)	145, 95

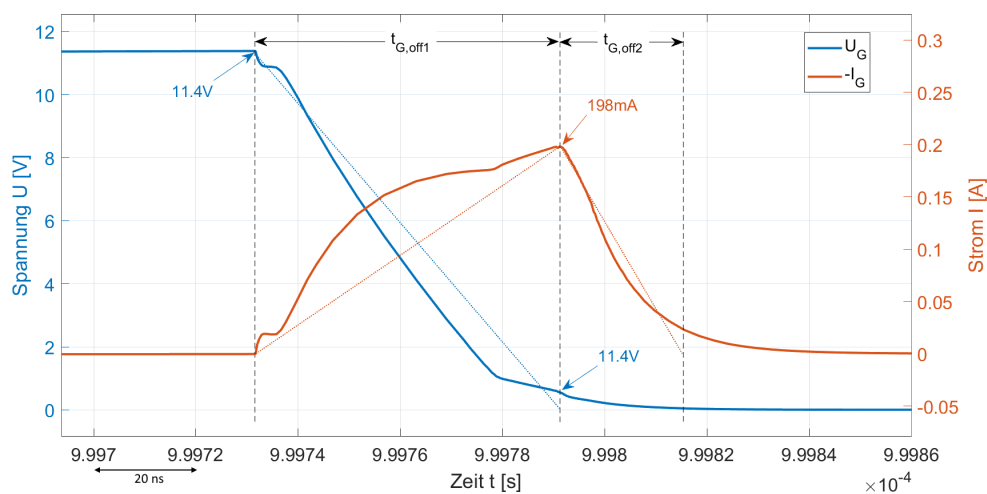
Tabelle 4.4: Neu berechnete Schaltverluste aus der Simulation

Mit der Berechnung deckt sich die geringfügig bessere Leistung des CDA10N05X2 gegenüber dem EPC7003A. Es ist darauf zu achten, dass nicht jeder Schaltvorgang exakt gleich verläuft. Es kann Unterschiede in der Größe der Spannung und des Stroms geben. Somit kann die Verlustleistung um ungefähr 10 - 20 mW variieren, wenn ein anderer Schaltvorgang zur Berechnung aus der Simulation ausgewählt wird. Es wurde darauf geachtet, Schaltvorgänge aus dem Mittelfeld als repräsentative Daten bereitzustellen.

Gate-Ansteuerungsverluste P_G Der numerische Ansatz und die Gleichungen 4.6 bis 4.8 lassen sich auch zur Berechnung der Gate-Ansteuerungsverluste verwenden. Es wird nach dem selben Prinzip wie in den vorangegangenen Berechnungen vorgegangen. Demnach ergibt sich für Abbildung 4.5 (a) zum Beispiel die Anwendung von Fall 2 für Abschnitt $t_{G,on1}$ und die Anwendung von Fall 1 für Abschnitt $t_{G,on2}$.

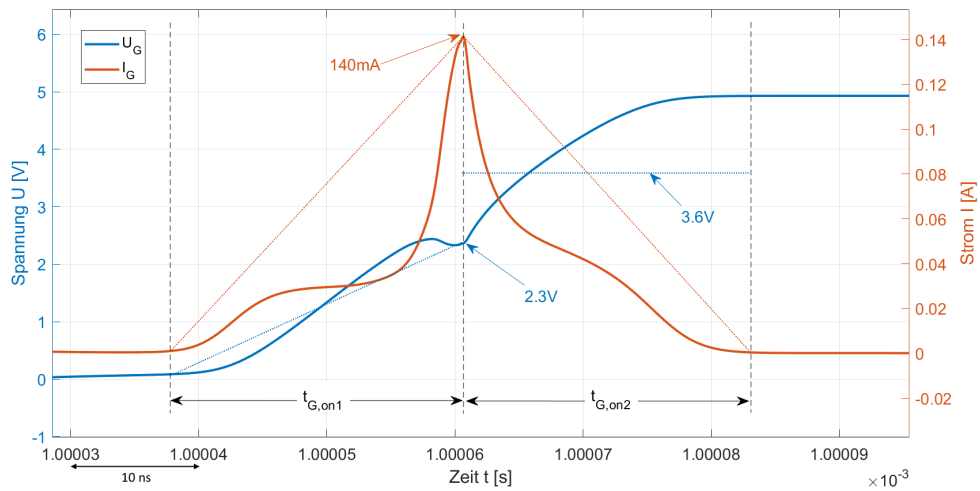


(a) Einschaltvorgang

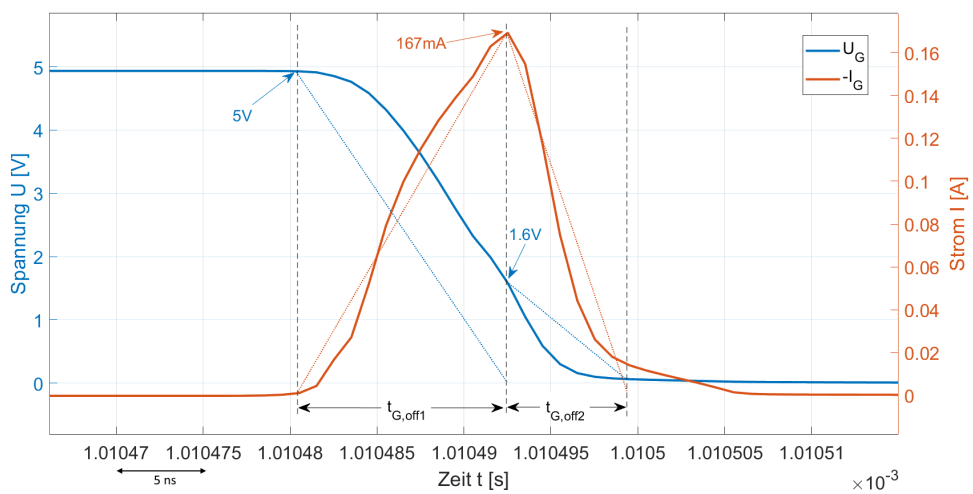


(b) Ausschaltvorgang

Abbildung 4.5: Bestimmung der Gate-Verluste am Beispiel des IRHNM57110



(a) Einschaltvorgang



(b) Ausschaltvorgang

Abbildung 4.6: Bestimmung der Gate-Verluste am Beispiel des EPC7003A mit Treiber FBS-GAM01P-C-PSE

Transistor	$P_{G,neu}$ [mW]
IRHNM57110	55, 62
EPC7003A (FBS-GAM01P-C-PSE)	4, 01
CDA10N05A (FBS-GAM01P-C-PSE)	3, 11
EPC7003A (ISL70040SEH)	4, 01
CDA10N05A (ISL70040SEH)	3, 13

Tabelle 4.5: Neu berechnete Schaltverluste aus der Simulation

Die Abbildungen 4.5 und 4.6 zeigen die Verläufe der Gate-Spannung und des Gate-Stroms zum Schaltzeitpunkt des IRHNM57110 und des EPC7003A. Hier fällt beispielsweise auf, dass der Gate-Strom in allen Fällen nicht den Stromwert von 900 mA, den der Treiber maximal liefern kann, erreicht. Dies liegt an den kurzen Schaltzeiten,

aufgrund derer der Treiber nicht an sein volles Potential gelangen kann und für den kurzen Zeitraum des Schaltens nur einen Strom von maximal ca. 200 mA liefert. Dies reduziert die aus der Simulation ermittelte Verlustleistung gegenüber der mit Datenblattwerten berechneten.

Insgesamt stimmen die berechneten und simulierten Werte annähernd überein. Die neu berechneten Werte für die Gate-Ansteuerungsverluste sind in Tabelle 4.5 zu finden.

Gesamte Verluste In Tabelle 4.6 sind zum Vergleich die simulierten und die mit Hilfe der Simulation korrigierten Werte der gesamten Verluste aufgeführt. Letztere sind den Werten aus der Simulation sehr ähnlich. Dies bestätigt die Richtigkeit der verwendeten Gleichungen. Zudem zeigt sich, dass die Verwendung der in den Datenblättern angegebenen Werte in einer spezifische Anwendung nicht uneingeschränkt ein repräsentatives Modell des Systems abbildet.

Transistor	$P_{ges,sim}$ [mW]	$P_{ges,neu}$ [mW]
IRHNM57110	278,1	257,34
EPC7003A (FBS-GAM01P-C-PSE)	199,0	221,54
CDA10N05A (FBS-GAM01P-C-PSE)	157,1	173,25
EPC7003A (ISL70040SEH)	196,6	219,08
CDA10N05A (ISL70040SEH)	152,0	164,8

Tabelle 4.6: Neu berechnete Leitverluste aus der Simulation

4.2.3 Verifizierung der Regelung

Im aktuellen Kapitel wird die in MATLAB implementierte Regelung mit der Simulation verglichen und verifiziert. Der in Simulink realisierte Regelkreis ist in Anhang B.1 dargestellt, der zugehörige Code ist Anhang B.2 zu entnehmen.

Es werden unter unterschiedlichen Lasten von $1\ \Omega$ (vgl. Abbildung 4.7), $10\ \Omega$ (vgl. Abbildung 4.8) und $100\ \Omega$ (vgl. Abbildung 4.9) jeweils die Regelgröße, also die Ausgangsspannung des Wandlers, und der Ausgang des PI-Reglers in MATLAB und der LTSpice Simulation betrachtet. In der simulierten Schaltung (vgl. Anhang A) entsprechen diese Größen der Spannung am COMP Eingang des UC2843A und der Spannung unmittelbar vor dem Ausgangsfilter über C_{10} .

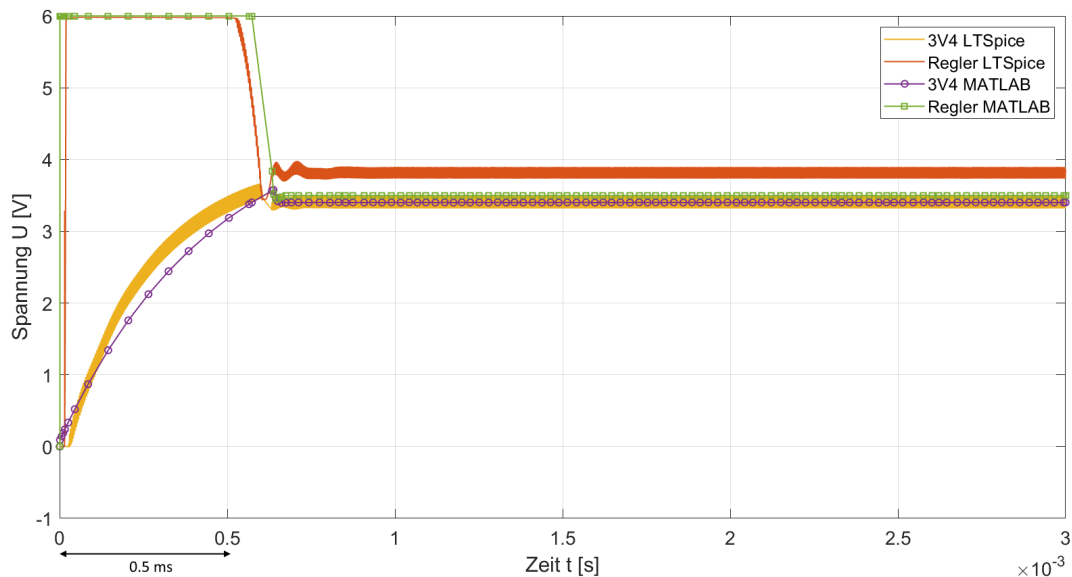


Abbildung 4.7: Betrachtung der Regelung unter 1Ω Last

Es ist zu erkennen, dass die Regelung in allen Fällen sowohl in der MATLAB, als auch in der LTSpice Simulation stabil ist. In den Abbildungen 4.8 und 4.9 ist der Einfluss des Lastwiderstandes sichtbar. Je größer dieser ausfällt, desto länger braucht das System, um seinen eingeschwungenen Zustand zu erreichen. Ab einer Ausgangsspannung von $> 3,4 \text{ V}$ schaltet der PWM-Kontroller ab und in den Kurven der Ausgangsspannung ist der langsame Spannungsabfall – hervorgerufen durch das RC-Glied des Ausgangskondensators C_{out} und des Lastwiderstandes R_L – sichtbar. Nach Gleichung 4.10 ergibt sich die Zeitkonstante des RC-Gliedes für eine Ausgangskapazität von $450 \mu\text{F}$ und einem Lastwiderstand von 10Ω zu $4,5 \text{ ms}$ und für einen Lastwiderstand von 100Ω zu 45 ms . Sobald die Ausgangsspannung unter $3,4 \text{ V}$ fällt, regelt sich das System auf einen konstanten Wert ein.

$$\tau_{RC} = R_L \cdot C_{out} \quad (4.10)$$

Im eingeschwungenen Zustand gibt es einen geringen Unterschied zwischen den beiden Kurven des Reglerausgangs. Dieser resultiert aus vereinfachten Annahmen in der Berechnung der Parameter des Regelkreises und der Vernachlässigung nicht-linearer Elemente. Es besteht die Möglichkeit, dass nicht jeder Spannungsversatz im Regelkreis exakt berechnet und berücksichtigt wurde.

Des Weiteren fällt auf, dass die Spannung am Reglerausgang in der LTSpice Simulation während der inaktiven Phase des Reglers die Spannung von 0 V nicht erreicht. Dies ist auf Sättigungseffekte am COMP-Eingang des PWM-Kontrollers zurückzuführen.

Zuletzt ist in Abbildung 4.9 eine leichte Verzögerung im Einschaltzeitpunkt des Reglers bei ca. 5 ns in der LTSpice Simulation im Vergleich zu der mit MATLAB erstellten

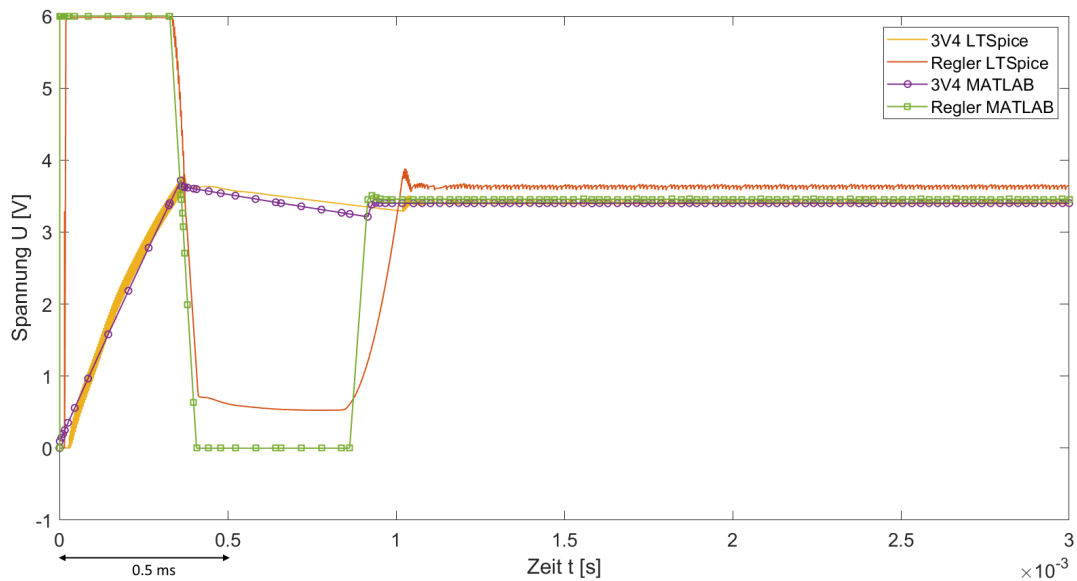


Abbildung 4.8: Betrachtung der Regelung unter $10\ \Omega$ Last

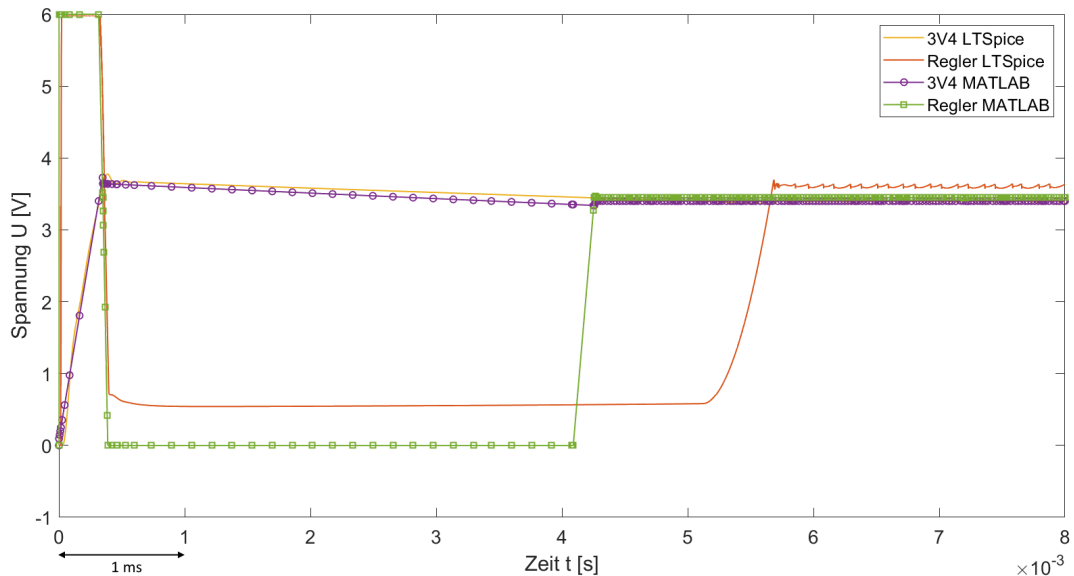


Abbildung 4.9: Betrachtung der Regelung unter $100\ \Omega$ Last

Kurve erkennbar. Es handelt sich hierbei um einen geringen Wert von ca. 1 ns, der durch nicht berücksichtigte Impedanzen in der Berechnung der Regelparameter erklärbar ist. Diese führen zu einer geringfügig größeren Trägheit in der LTSpice Simulation. Insgesamt ergibt die Verifizierung des Regelkreises ein annähernd gleiches und stabiles Verhalten in beiden Simulationen.

In Kapitel 4.3.1 erfolgt die Überprüfung der Regelkreisstabilität durch eine praktische Messung am realen System.

4.3 Praktische Messungen

In diesem Kapitel wird der Wandler in Si-Technologie mit einer der vier GaN-Versionen praktisch verglichen. Aus Verfügbarkeitsgründen erfolgt der Vergleich mit dem GaN-FET EPC7003A und dem Treiber FBS-GAM01P-C-PSE. Die Schaltpläne der anderen GaN-Schaltungen wurden im Rahmen dieser Arbeit entworfen, jedoch nicht praktisch vermessen. Abbildung 4.10 zeigt die fertigen Platinen.

Für die Vermessung der Schaltung wird die Platine auf einen Tester aufgesteckt. Über einen Stecker (vgl. "Interface to XPSU Connector" links unten auf der Platine in Abbildung 4.10) werden Referenzpotential, Eingangsspannung, 12 V Referenzspannung und Ausgangsspannung verbunden. Es besteht die Möglichkeit, weitere Signale über einen Debug-Stecker (vgl. "Debug Connector" unten mittig auf der Platine in Abbildung 4.10) zu verbinden (siehe Schaltplan C.5 und C.11 in Anhang C.1 und C.2). Die Testerplatine ermöglicht das einfache Anschließen von Lasten am Ausgang und den Signalzugang mittels Laborstecker.

Zunächst wird die Stabilität des Regelkreises durch Einkopplung einer Störung unter belastetem Ausgang überprüft. Mit dem Stabilitätstest befasst sich Abschnitt 4.3.1. Daraufhin wird die Leistungsvermessung unter verschiedenen Bedingungen durchgeführt (siehe Abschnitt 4.3.2). Die Ergebnisse werden in Abschnitt 4.3.2 dargelegt.

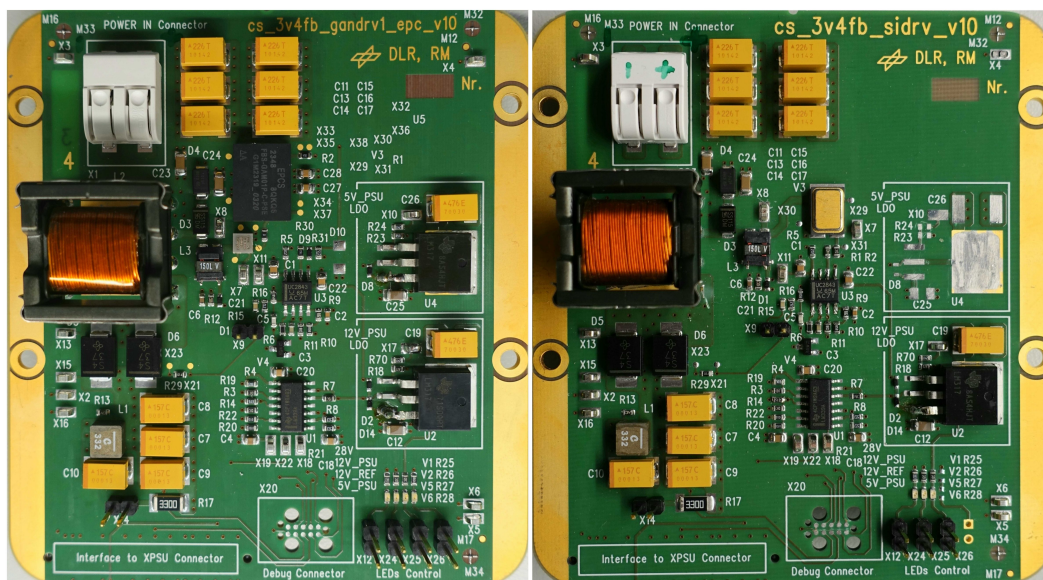


Abbildung 4.10: links: Platine mit GaN-HEMT EPC7003A, rechts: Platine mit Si-FET IR-HNM57110

4.3.1 Stabilität des Regelkreises

Messaufbau und Funktionsweise Für die Überprüfung der Regelkreisstabilität wird der in Abbildung 4.11 und 4.12 dargestellte Aufbau verwendet. Der Wandler wird auf die Testerplatte aufgesteckt, die in diesem Fall das einfache Anschließen einer Last ermöglicht.

Mit der Methode der Spannungsinjektion werden Amplitude und Phase der Regelstrecke gemessen und zur Überprüfung der Stabilität in einem Bodediagramm dargestellt. Hierfür wird der Regelkreis an einer geeigneten Stelle aufgetrennt und ein sinusförmiges Störsignal, welches einen ausgewählten Frequenzbereich durchläuft, eingespeist. Währenddessen werden Amplitude und Phase der Ausgangsspannung und des eingespeisten Störsignals gemessen. Die Schleifenverstärkung des Regelkreises lässt sich durch Gleichung 4.3.1 darstellen. [45]

$$\text{Schleifenverstärkung} = \frac{U_{\text{Ausgang}}}{U_{\text{Störung}}} \quad (4.11)$$

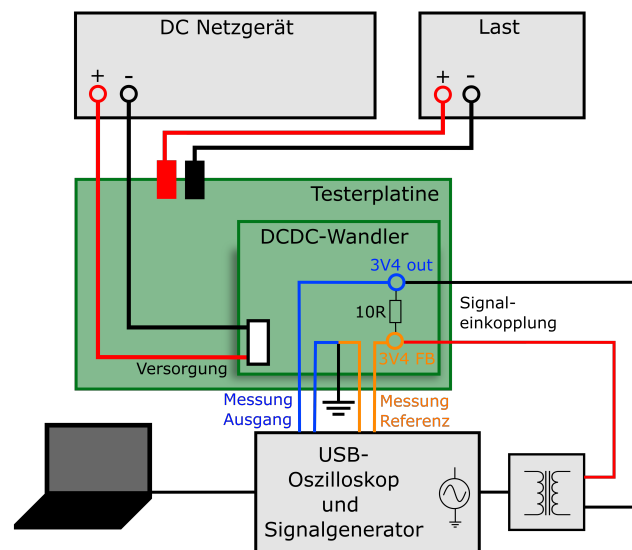


Abbildung 4.11: Aufbau zur Messung der Regelkreisstabilität

Der Injektionspunkt der Störung wird so gewählt, dass sich von ihm aus gesehen eine niedrige Ausgangsimpedanz und eine hohe Eingangsimpedanz der Regelschleife ergibt, um den Arbeitspunkt des Wandlers nicht zu verändern. Für die Umsetzung wurde ein $10\ \Omega$ Widerstand zwischen dem Ausgangsspannungsnetz und dem Spannungsteiler für den Abgriff der Feedback-Spannung eingesetzt (vgl. Abbildung 4.11 und R_{29} im Schaltplan C.4 und C.10 in Anhang C.1 und C.2). Der Einspeisepunkt befindet sich im

Schaltplan an X_{21-1} mit einer hohen Impedanz von $R_{15} = 2,7 \text{ k}\Omega$ und $R_{16} = 7,5 \text{ k}\Omega$ in Eingangsrichtung der Regelschleife und einer niedrigen Impedanz von $R_{29} = 10 \Omega$ in ausgangsseitiger Richtung.

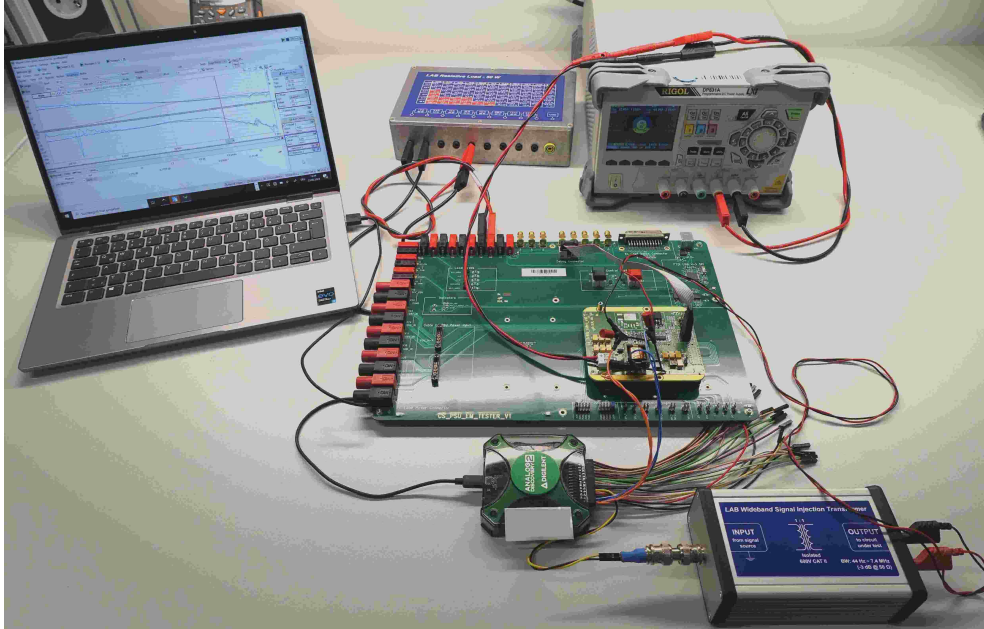


Abbildung 4.12: Praktischer Messaufbau für die Überprüfung der Regelkreisstabilität

Die Ausgangsspannung des Wandlers oberhalb von R_{29} und das eingespeiste Referenzsignal unterhalb werden mit Hilfe eines Oszilloskops gemessen. Für die Generierung des sinusförmigen Störsignals und die Spannungsmessung wird ein Analog Discovery USB-Messsystem von Digilent verwendet. Über einen PC lässt sich die Amplitude des eingekoppelten Signals einstellen, sowie die Bodediagramme der Messungen auswerten. Das injizierte Signal wird über einen Transformator elektrisch von Messequipment isoliert. R_{29} dient als Terminierungswiderstand für den Transformator. Ein DC Netzgerät liefert die Versorgungsspannung für den Wandler. Über eine resistive Last kann der Ausgangsstrom eingestellt werden, sodass sich der Wandler im Continuous Conduction Mode (siehe Abschnitt 2.2.1) befindet. [45]

Durchführung und Messergebnisse Die Stabilitätsüberprüfung wird hier nur am Beispiel des Si-FETs IRHNM57110 gezeigt, da für alle Schaltungsversionen der gleiche Regelkreis verwendet wird und das Verhalten der Regelung somit in allen Fällen als gleich angenommen werden kann.

Es wird eine Last von 1Ω und damit ein Laststrom von $3,4 \text{ A}$ gewählt. Um ein repräsentatives Ergebnis zu erhalten, darf die Amplitude des eingekoppelten Signals nicht zu hoch sein, da ansonsten nicht-lineares Verhalten durch Sättigungseffekte auftreten

kann. Außerdem darf die Amplitude nicht zu niedrig gewählt werden, damit eine stabile Kurve erzeugt werden kann. Bei höheren Frequenzen reagiert das System insgesamt sensibler. Deshalb wird für niedrige Frequenzen eine höhere Injektionsamplitude und für höhere Frequenzen eine niedrigere Amplitude gewählt. [45]

Es zeigt sich, dass die Amplitude des Störsignals bei sehr hohen Frequenzen (> 100 kHz) leicht angehoben werden kann, um in diesem Bereich einen stabileren Bode-Plot zu erhalten. Abbildung 4.13 zeigt das Spannungsprofil über der Frequenz, welches als Störung für den Versuch injiziert wurde.



Abbildung 4.13: Spannungsprofil des injizierten Signals

Das Ergebnis des Amplituden- und Phasenverlaufs ist im Bode-Diagramm in Abbildung 4.14 dargestellt. Die Amplitudenreserve lässt sich bei der Frequenz ablesen, bei der der Phasenverlauf seinen Nulldurchgang hat. Sie ergibt sich bei einer Frequenz von 40 kHz zu $-6,14$ dB. Für die Bestimmung der Phasenreserve wird der 0 dB-Durchgang des Amplitudenverlaufs betrachtet. Dieser findet bei 20 kHz statt und ergibt somit eine Phasenreserve von $19,75^\circ$. Anhand der Amplituden- und Phasenreserve lässt sich erkennen, ob das System stabil ist.

Für die Stabilität eines Regelkreises ist es wichtig, dass die Amplitudenreserve einem negativen Wert, also einer Dämpfung und die Phasenreserve einem positiven Wert mit ausreichend Abstand zu 0° entspricht. Da in diesem Fall beide notwendigen Kriterien erfüllt sind, kann von einem stabilen System ausgegangen werden. Zudem lässt der Amplitudenverlauf auf eine gute Dämpfung von ≈ -20 dB bei Frequenzen nahe der Schaltfrequenz von ≈ 400 kHz schließen. Meist wird in der Praxis eine größere Phasenreserve von mindestens 45° gefordert [52]. Der Regelkreis könnte in dieser Hinsicht optimiert werden. Da die Regelung in dieser Arbeit nicht im Fokus steht, ist diese Stabilität ausreichend.

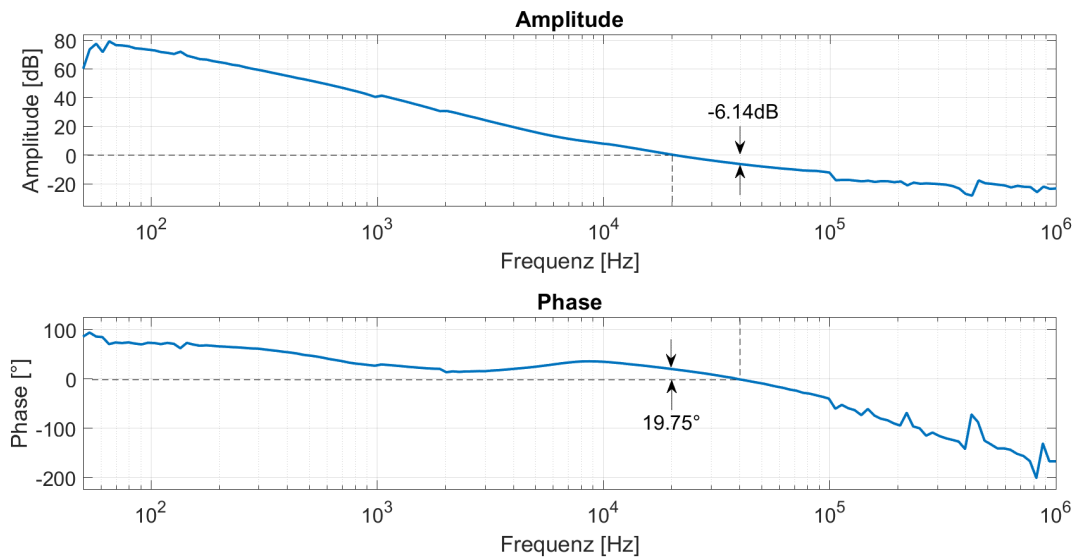


Abbildung 4.14: Bode-Diagramm des Regelkreises mit Amplitudenreserve und Phasenreserve

4.3.2 Leistungsmessung

Messaufbau Die Leistungsvermessung wird mittels des in Abbildung 4.15 und 4.16 dargestellten Messaufbaus durchgeführt.

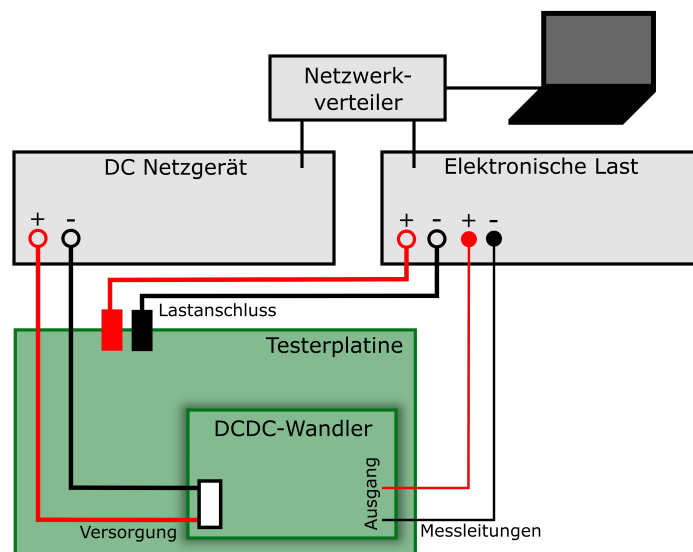


Abbildung 4.15: Aufbau zur Messung der Effizienz

Die Versorgungsspannung zwischen 22 V und 32 V wird über ein Labornetzgerät (Rohde&Schwarz NGP802) in 2 V Schritten bereitgestellt. Am Ausgang des Wandlers ist über die Testerplatte eine elektronische Last (Chroma 63600) angeschlossen, die je Spannungsstufe in 20 Schritten einen Laststrom von 0, 1 A bis 4 A einstellt. Über Messleitungen wird die Ausgangsspannung jeweils einmal hinter dem Ausgangsfilter an C_{10} und einmal vor dem Ausgangsfilter an C_7 (vgl. Schaltplan C.4 und C.10 in Anhang

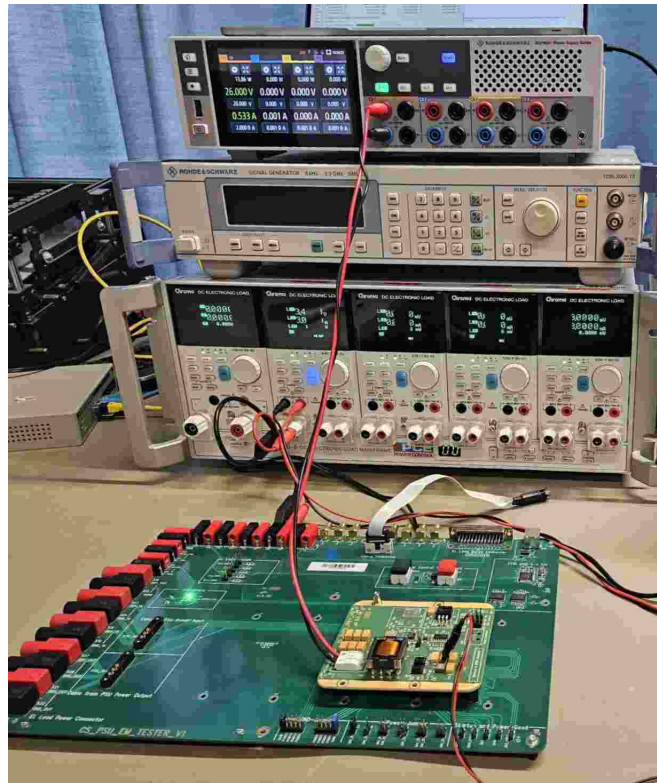


Abbildung 4.16: Praktischer Aufbau für die Leistungsvermessung

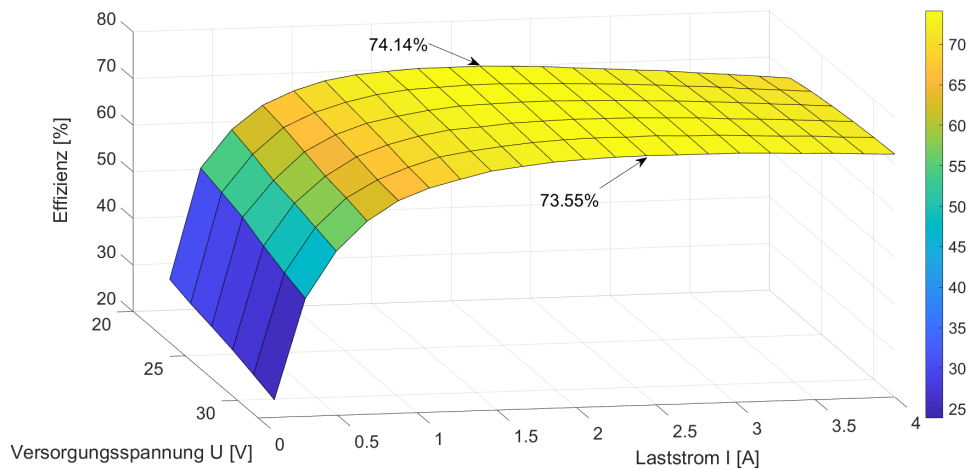
C.1 und C.2) gemessen. Beide Laborgeräte sind über einen Netzwerk Switch mit einem Rechner verbunden. Die folgenden Werte werden während des Messdurchlaufs in einer .csv-Datei gespeichert: Eingangstrom, Eingangsspannung, Ausgangstrom, Ausgangsspannung, Eingangsleistung, Ausgangsleistung, Gesamteffizienz.

Die Daten können später mithilfe von MATLAB ausgewertet werden. Die entstandenen Plots geben Aufschluss über die Effizienz des Wandlers in Abhängigkeit eines bestimmten Laststroms bei einer bestimmten Eingangsspannung.

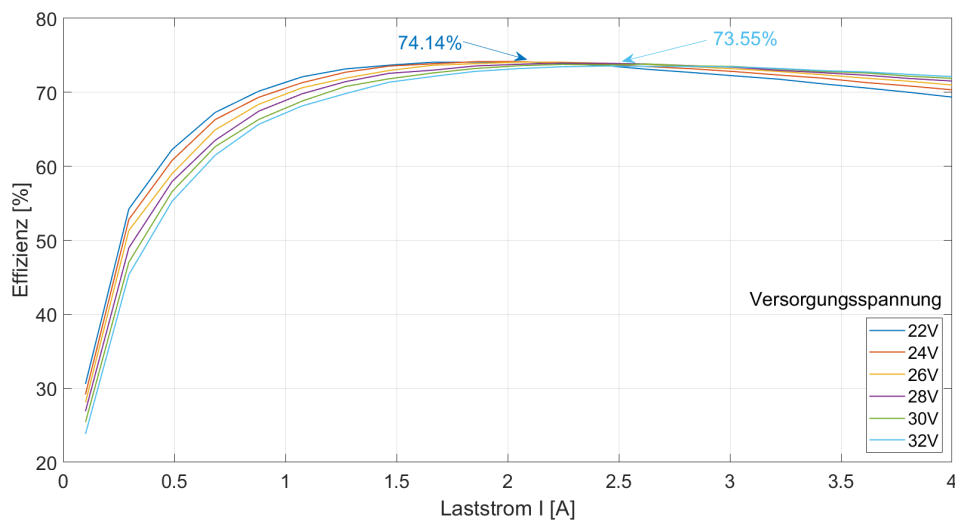
Messergebnisse Die Abbildungen 4.17 und 4.19 zeigen die Plots der Leistungsmessung mit Abgriff der Ausgangsspannung hinter dem Ausgangsfilter (vgl. X_{16} im Schaltplan C.4 und C.10 in Anhang C.1 und C.2), die Abbildungen 4.18 und 4.20 mit Abgriff vor dem Ausgangsfilter (vgl. X_{15} im Schaltplan C.4 und C.10 in Anhang C.1 und C.2). Plot (a) zeigt jeweils die Effizienz in Abhängigkeit von der Versorgungsspannung und des Laststroms als 3D Plot, Plot (b) zeigt die einzelnen Effizienzkurven als 2D Plot.

In den Plots sind jeweils die beiden Effizienzmaxima der niedrigsten Eingangsspannung von 22 V und der höchsten Eingangsspannung von 32 V markiert.

Bei niedrigen Lastströmen von $I < 500$ mA dominieren die statischen Verluste des



(a) 3D Plot



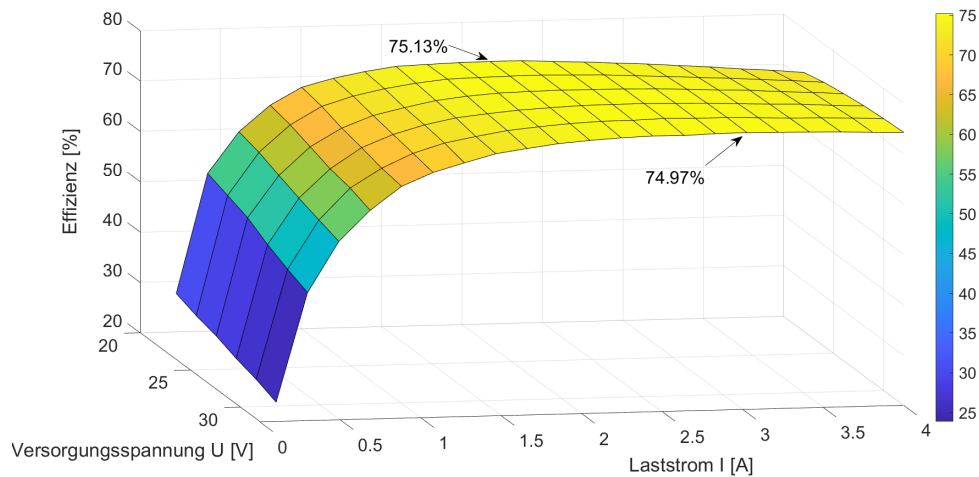
(b) 2D Plot

Abbildung 4.17: Si-Version: Leistungsmessung inklusive Ausgangsfilter

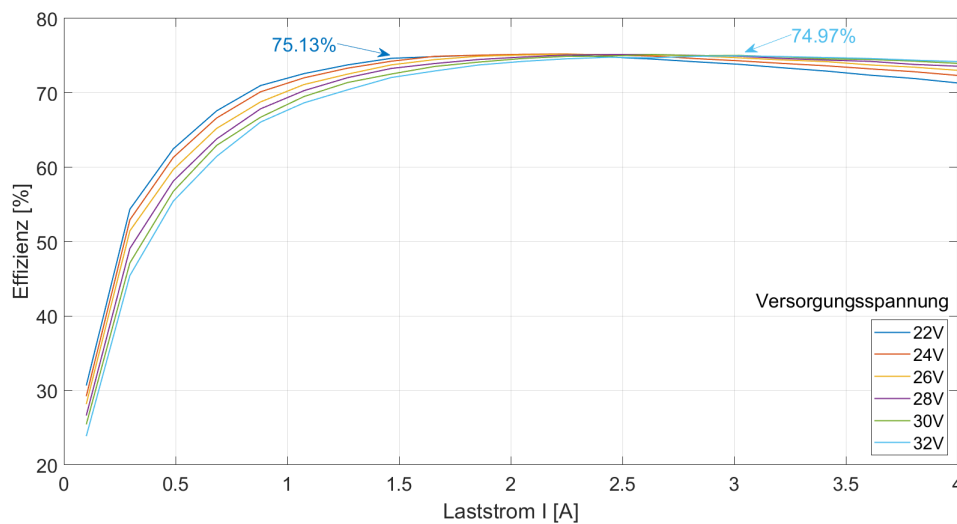
Gesamtsystems. Dies führt zu einem Wirkungsgrad von weniger als 50 %. Die Schaltverluste wachsen linear mit dem steigendem Drainstrom an (vgl. Gleichung 3.13), was ein Abflachen der Steigung in der Effizienzkurve verursacht. Im hinteren Teil überwiegen die Leitverluste im Transistor. Da sie quadratisch mit dem Drainstrom anwachsen (vgl. Gleichung 3.12), führen sie zu einem weiteren Abflachen der Effizienzkurve.

Zunächst wird der **Einfluss des Ausgangsfilters** auf die Kurvenform betrachtet. Insgesamt wird sowohl in der Si- als auch in der GaN-Variante bei der Messung ohne Ausgangsfilter eine geringfügig höhere Effizienz erzielt, da die Verluste, die im Ausgangsfilter entstehen, nicht mehr miteinbezogen werden.

Zudem fallen die Effizienzkurven, die mit Ausgangsfilter aufgenommen wurden, in den Abbildungen 4.17 und 4.19 bei höheren Lastströmen etwas stärker ab. Insbesondere in der Si-Variante ist dies gut erkennbar. Der Sachverhalt ist auf einen leichten



(a) 3D Plot



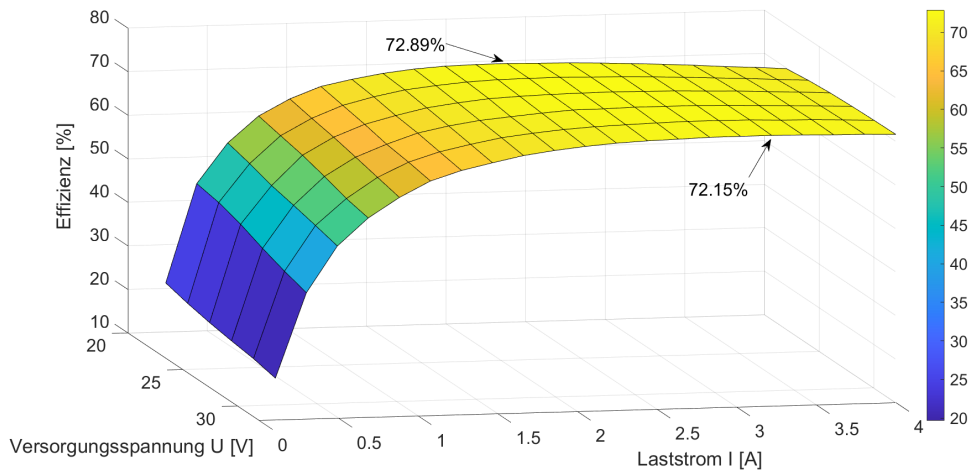
(b) 2D Plot

Abbildung 4.18: Si-Version: Leistungsmessung exklusive Ausgangsfilter

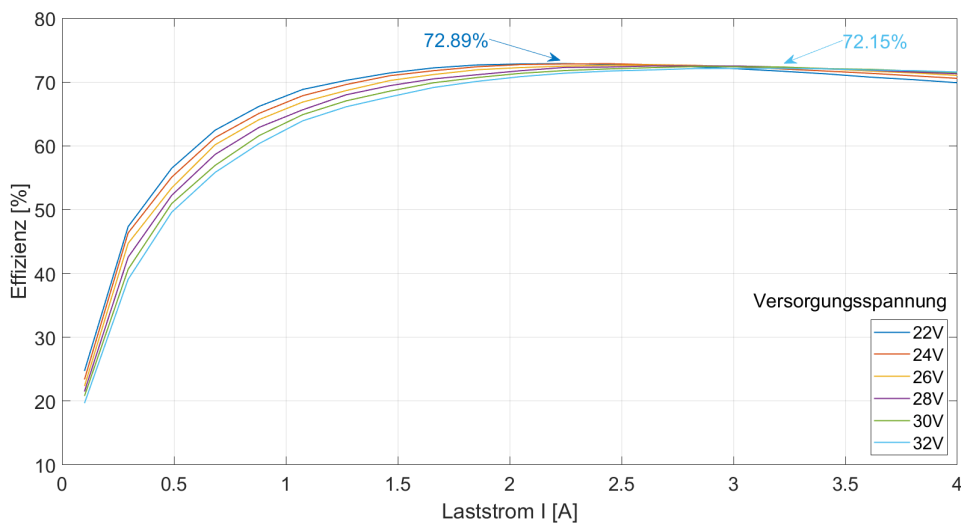
Einbruch der Ausgangsspannung bei höher werdenden Lastströmen zurückzuführen. Dies führt dazu, dass die Effizienzmaxima hier näher beieinander liegen. Wird die Messung exklusive dem Ausgangsfilter durchgeführt, kann die Ausgangsspannung auf einem annähernd konstanten Wert gehalten werden. Aus diesem Grund liegen die Maximalwerte der Effizienz in den Abbildungen 4.18 und 4.20 weiter auseinander als in den Messungen mit Ausgangsfilter.

Ein weiterer begrenzender Faktor ist die die Verlustleistung, die bei höheren Lastströmen in den ausgangsseitigen Gleichrichterdiolen (D_5 und D_6 in den Schaltplänen C.4 und C.10 in den Anhängen C.1 und C.2) entsteht.

Des Weiteren haben unterschiedliche **Eingangsspannungen und Lastströme** einen Einfluss auf die Kurvenform der Effizienz. Für niedrigere Lastströme ist die Effizienz bei kleineren Eingangsspannungen höher, da die Differenz zwischen Ein- und Aus-



(a) 3D Plot



(b) 2D Plot

Abbildung 4.19: GaN-Version: Leistungsmessung inklusive Ausgangsfilter

gangsspannung des Wandlers geringer ist und somit der Wirkungsgrad steigt. Allerdings fließt bei niedrigeren Eingangsspannungen insgesamt mehr Strom durch den Transistor, weshalb das Tastverhältnis durch die Regelung vergrößert wird. Bei höheren Lastströmen fallen die bereits erwähnten, statischen Verluste des schaltenden Transistors mehr ins Gewicht, da der Strom durch den Transistor quadratisch mit einfließt (vgl. Gleichung 3.12). Aus diesem Grund weisen im hinteren Bereich (ab ca. 2,5 A) die Kurven mit einer höheren Eingangsspannung eine größere Effizienz auf.

Zuletzt wird auf die **Unterschiede zwischen GaN und Si** in der Kurvenform eingegangen. Insgesamt weisen die Plots eine hohe Ähnlichkeit auf. Bei höheren Lastströmen bleibt die Effizienzkurve des GaN-Wandlers im Gegensatz zum Si-Wandler annähernd konstant und fällt kaum ab. Hier zeigt sich der Einfluss des deutlich kleineren Einschaltwiderstands des GaN-FETs gegenüber dem Si-FET. Bei hohen Lasten fällt der

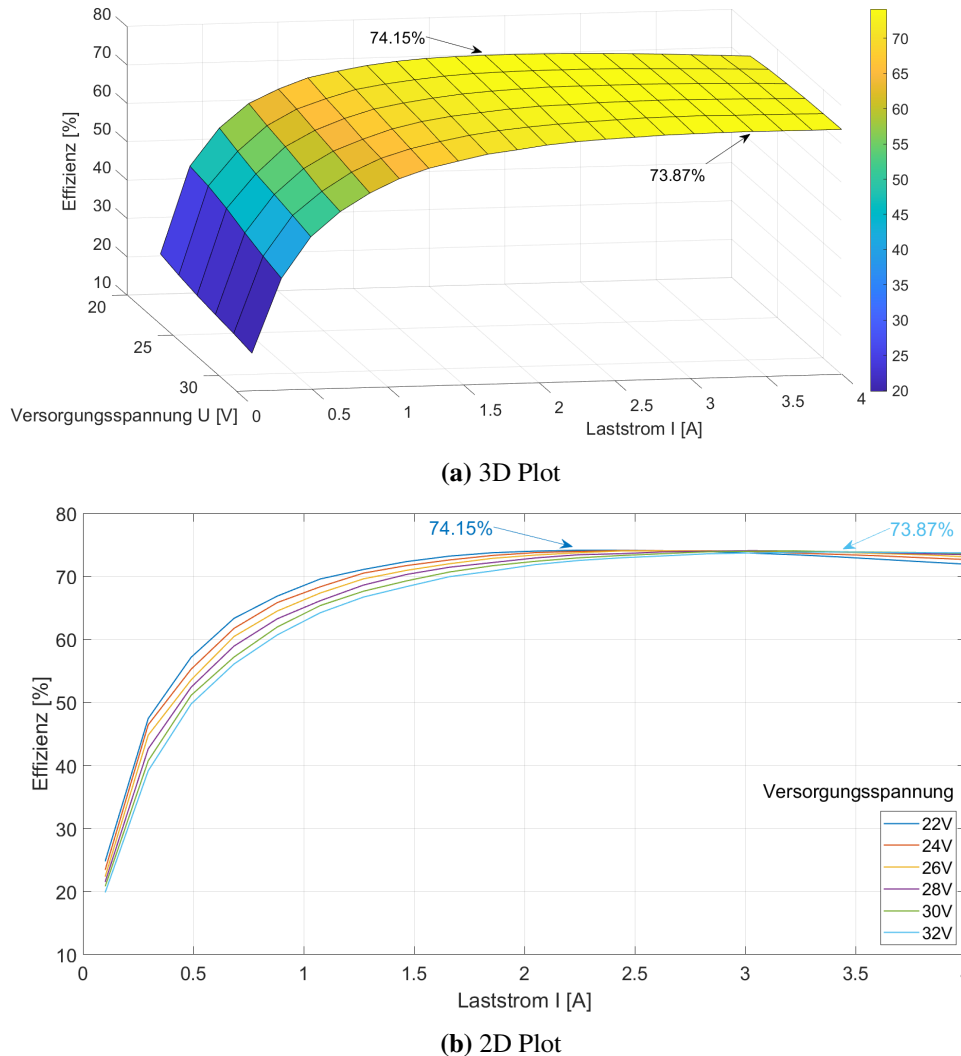


Abbildung 4.20: GaN-Version: Leistungsmessung exklusive Ausgangsfilter

Wirkungsgrad des GaN-Wandler gegenüber dem des Si-Wandlers geringfügig höher aus. Das insgesamt erreichte Maximum des Wirkungsgrades liegt bei dem Si-Wandler jeweils um ungefähr 1 % über dem des GaN-Wandlers.

Es ist zu beachten, dass die Effizienzkurven den Wirkungsgrad des gesamten Wandlers widerspiegeln, nicht den des spezifischen Transistors. Die höhere Bauteilanzahl, insbesondere der zusätzliche Gate-Treiber, hat einen Einfluss auf den Gesamtwirkungsgrad der Schaltung. Zur Bestimmung der Transistorverluste ist eine isoliertere Betrachtung des Bauteils notwendig.

4.3.3 Betrachtung unter Vernachlässigung der Treiber-Verluste

Um bessere Vergleichswerte der beiden Transistoren untereinander zu erhalten, werden statische Verluste, die durch den 5 V- und 12 V-Linearregler (LDO) und deren Verbraucher entstehen, ausgeschlossen. Konkret lassen sich die statischen Verluste der folgen-

den Bauteile vernachlässigen: Der 5 V- (in der GaN-Variante) und 12 V-LDO (U_2 und U_4), der PWM-Kontroller UC2843A (U_3) sowie der Gate-Treiber für den GaN-HEMT FBS-GAM01P-C-PSE (U_5) (vgl. Anhänge C.1 und C.2). Diese Verluste lassen sich näherungsweise, wie folgt, ermitteln:

Für die Bestimmung der Verluste wird in beiden Schaltungen jeweils ein $1\ \Omega$ Widerstand zwischen der 28 V-Eingangsspannung und dem Versorgungseingang (IN-Eingang) der 5 V- und 12 V-Linearregler angebracht. Durch eine Messung des Spannungsabfalls über diesen Widerstand kann der Strom, der in die Linearregler und Verbraucher fließt unter verschiedenen Lasten bestimmt werden.

Der Spannungsabfall über den Widerstand wird jeweils für Eingangsspannungen von 22 V bis 32 V und unter einer Last von $14,3\ \Omega$, $4,3\ \Omega$ und $1\ \Omega$ gemessen. Unter allen Testbedingungen bleiben die Werte mit Abweichungen von $< 0,5\ \text{mV}$ annähernd konstant. Dies lässt in allen Fällen auf einen sehr geringen Einfluss der Schaltverluste der Transistoren schließen. Über den Wert der Versorgungsspannung, des Widerstands und des Spannungsabfalls, lässt sich die entstandene Verlustleistung im 5 V- und 12 V-LDO und den Verbrauchern berechnen (vgl. Gleichung 4.3.3). Die Mittelwerte der gemessenen Spannungen sowie die daraus resultierende Verlustleistung bei einer Versorgungsspannung von 28 V sind Tabelle 4.7 zu entnehmen.

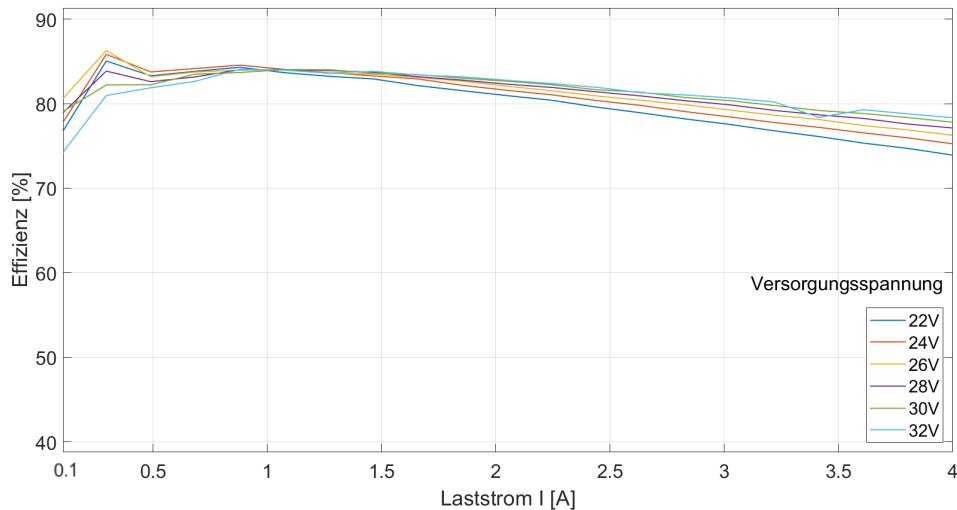
$$P_{\text{Treiber}} = U_{\text{in}} \cdot \frac{U_R}{1\ \Omega} \quad (4.12)$$

	Si-Schaltung	GaN-Schaltung
5V-LDO	/	12,0 mV $\hat{=}$ 336 mW @28 V
12V-LDO	30,7 mV $\hat{=}$ 860 mW @28 V	31,2 mV $\hat{=}$ 874 mW @28 V

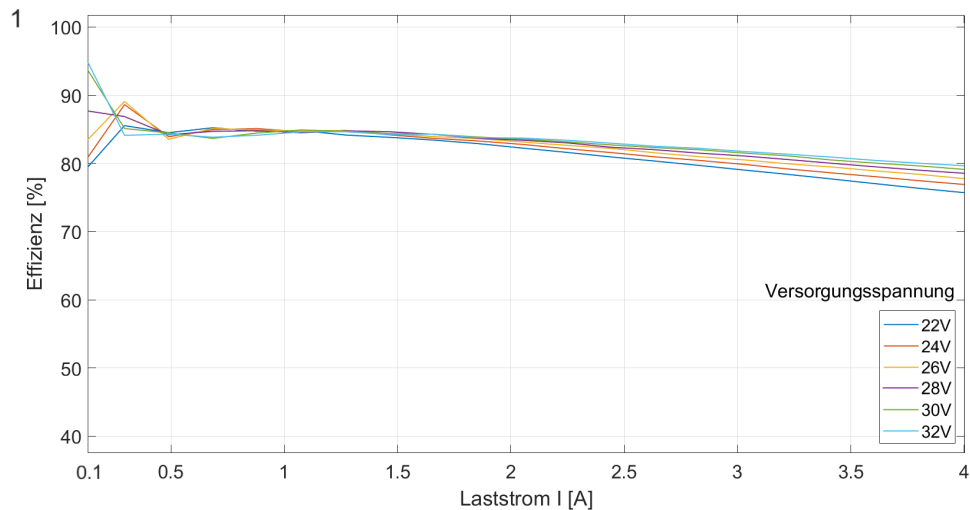
Tabelle 4.7: Mittelwerte der Spannungsabfälle zur Bestimmung der Treiberverluste

Werden die Verlustleistungswerte der 5 V- und 12 V-Verbraucher von den ursprünglich gemessenen Werten der Eingangsleistung abgezogen, lassen sich mit Hilfe von MATLAB neue Effizienzkurven ohne Einfluss dieser Bauteile erstellen (vgl. Abbildung 4.21). Es werden hierfür die Daten exklusive des Ausgangsfilters verwendet, um die Transistoren möglichst isoliert betrachten zu können.

In Abbildung 4.22 a) ist die Differenz der Wirkungsgrade $\eta_{\text{GaN}} - \eta_{\text{Si}}$ dargestellt und in Abbildung 4.22 b) die Leistungsdifferenz $P_{\text{Si}} - P_{\text{GaN}}$ der betrachteten Leistungsstufe ohne 5 V- und 12 V-Verbraucher und ohne Ausgangsfilter.



(a) Si-Version

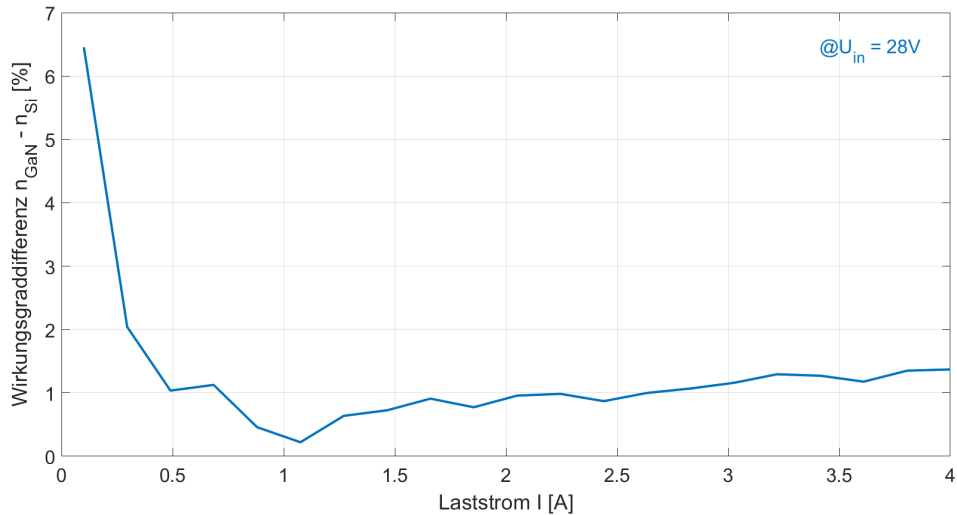


(b) GaN-Version

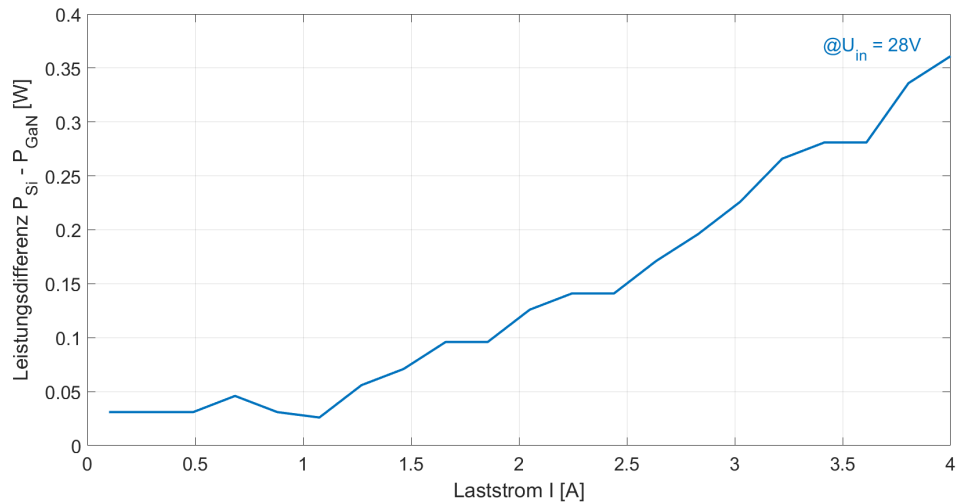
Abbildung 4.21: Effizienzkurven der Leistungsstufen mit Vernachlässigung der Verluste der 5 V- und 12 V-Verbraucher exklusive Ausgangsfilter

In den Wirkungsgradkurven in Abbildung 4.21 ist zu erkennen, dass der GaN-HEMT bei einer Vernachlässigung der statischen Verluste einen höheren Wirkungsgrad als der Si-FET erzielt. Im hinteren Bereich der Kurve wird bei höheren Lastströmen ab ca. 2 A die Dominanz der statischen Transistorverluste und damit der Einfluss des $R_{DS,on}$ sichtbar. Deutlich wird dies durch den stärkeren Kurvenabfall und die größere Streuung der Kurven in der Si-Version (vgl. Abbildung 4.21 a)).

Des Weiteren ist der Drain-Source-Widerstand im angeschalteten Zustand im näherungsweise exponentiellen Anstieg der Leistungsdifferenzkurve in Abbildung 4.22 b) und im näherungsweise linearen Anstieg der Wirkungsgraddifferenzkurve in Abbildung 4.22 a) zu sehen. Im Bereich zwischen 1 A und 4 A Laststrom steigt die Leistungsdifferenz von ungefähr 25 mW auf ca. 350 mW an, was einer Wirkungsgraddifferenz von ca. 0,5 % bis ca. 1,5 % entspricht.



(a) Wirkungsgraddifferenz von GaN und Si $\eta_{GaN} - \eta_{Si}$



(b) 2D Plot

Abbildung 4.22: Leistungsdifferenz der Leistungsstufe von GaN und Si $P_{Si} - P_{GaN}$

Bei niedrigen Lastströmen von $I < 0,5$ A weisen die Effizienzkurven nicht präzise zuordenbare Abweichungen auf. Die Wirkungsgraddifferenz in Abbildung 4.22 a) ergibt bei einem Strom von 0,1 A einen maximalen Wert von über 6 %. Zudem zeigen die Effizienzkurven bei Lastströmen von $I < 0,5$ A eine deutlich erkennbare Streuung. In diesem Bereich können die Daten mit hoher Wahrscheinlichkeit durch Messfehler verfälscht sein und Messungenauigkeiten durch die nachträgliche Leistungssubtraktion verstärkt werden. Aus diesem Grund ist eine korrekte Interpretation und Analyse der Daten an dieser Stelle nicht möglich.

4.3.4 Vergleich hinsichtlich Größe und Komplexität

Zuletzt sollen die Unterschiede in Größe und Komplexität der beiden Schaltungen betrachtet werden. In Abbildung 4.23 sind der PWM-Kontroller (blau), der Gate-Treiber für den GaN-HEMT (rot), die Transistoren (grün) sowie der 12 V- (lila) und der 5 V-LDO (gelb) markiert.

Es fällt auf, dass der GaN-HEMT kleiner als der Si-FET ist. Allerdings werden für den GaN-HEMT zusätzliche Bauteile in Form des zusätzlichen Treibers und LDOs benötigt. Auch die Beschaltung dieser Bausteine benötigt Platinenfläche. Hinsichtlich Größe und Komplexität ist der Si-FET bei der Betrachtung der gesamten Schaltung in dieser Schaltungsvariante effizienter.

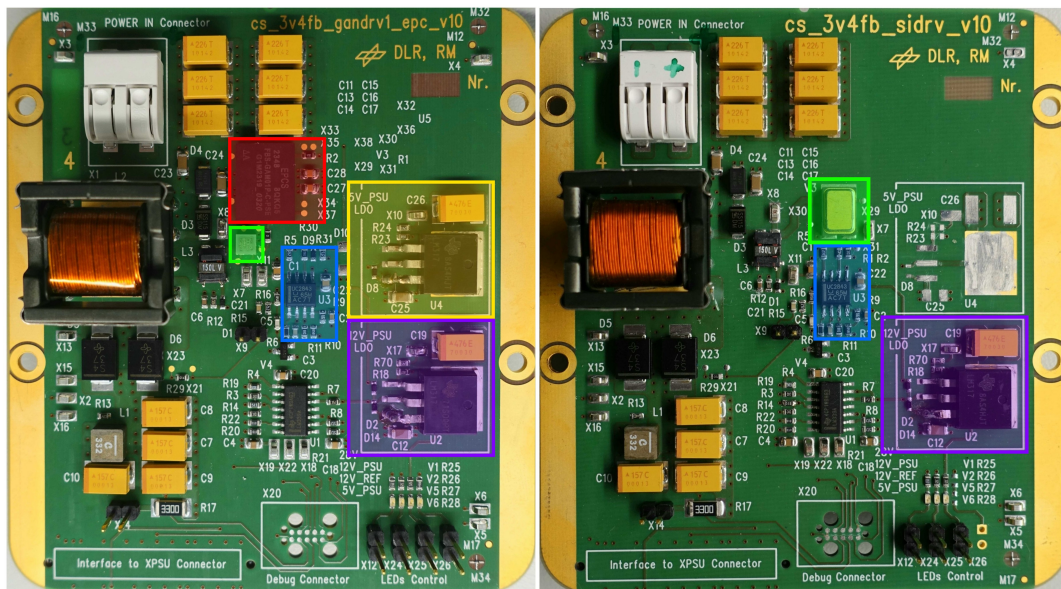


Abbildung 4.23: Vergleich der benötigten Platinenfläche von GaN (links) und Si (rechts)

4.3.5 Vergleich zu Berechnung und Simulation

Ein exakter Vergleich der praktisch ermittelten Effizienz mit den berechneten und simulierten Verlustleistungswerten ist nur bedingt möglich. In der Theorie werden die Transistoren isoliert betrachtet, während in der Praxis weitere Verluste anderer Bauteile ins Gewicht fallen und folglich der gesamte Wandler betrachtet wird.

Dennoch lassen sich die Messergebnisse durch das Vernachlässigen der Treiberverluste an die Verlustleistung der Transistoren annähern. Aus Abbildung 4.22 geht hervor, dass sich die praktisch bestimmte Differenz der Verlustleistungen zwischen den rechnerisch und den aus der Simulation ermittelten Werten befindet. Dies wiederum lässt auf eine hohe Genauigkeit des Simulationsmodells der Schaltung schließen. Unter-

schiede sind zum einen auf die idealisierte Betrachtungsweise der Schaltung im Simulationsprogramm und die somit geringfügig differierenden Kurvenverläufe in Praxis und Simulation zurückzuführen. Zum anderen lassen sie sich durch die Ersatzmodelle des Transistors und Treibers sowie den Einfluss der restlichen Schaltung in der Leistungsvermessung am praktischen Aufbau begründen.

Kapitel 5

Zusammenfassung und Fazit

In dieser Masterarbeit erfolgte eine Einführung in die Funktionsweise und in die spezifischen Eigenschaften von GaN-HEMTs mit besonderem Fokus auf deren Vorteile in der Anwendung in Schaltwandlern und Weltraumapplikationen.

Auf Grundlage der PSU des weltraumqualifizierten Roboterarms CAESAR wurde ein Gleichspannungswandler in Flyback-Topologie mit einer Eingangsspannung von 28 V und einer geregelten Ausgangsspannung von 3,4 V entworfen und schaltungstechnisch umgesetzt. Basis hierfür waren die durch das System und die PSU vorgegebenen Spezifikationen. Für einen Vergleich der Si- und GaN-Technologie wurden ein Si-FET mit Treiber sowie zwei verschiedene GaN-HEMTs mit zwei unterschiedlichen Treibern ausgewählt.

Ein theoretischer Vergleich in Form einer Leistungsberechnung und einer Simulation in LTSpice wurde für alle fünf Schaltungsvarianten durchgeführt. Des Weiteren wurden der Wandler in Si-Technologie mit dem MOSFET IRHM57110 und ein Wandler in GaN-Technologie mit dem GaN-HEMT EPC7003A und dem Treiber FBS-GAM01P-C-PSE mittels einer Leistungsvermessung praktisch miteinander verglichen. Im rechnerischen Vergleich war die Verlustleistung der GaN-HEMTs in etwa um den Faktor 7 bis 11 kleiner als die des Si-FETs. Die Simulation ergab nur noch einen Faktor von ca. 1,4 bis 1,8.

Unterschiede in Berechnung in Simulation sind größtenteils auf die Verwendung von Datenblattwerten und dem Ausgehen von einer Worst-Case-Annahme in der Berechnung zurückzuführen. Durch eine erneute Ermittlung der Verlustleistung unter Verwendung der simulierten Werte, ließen sich die Gleichungen verifizieren und die Differenzen nahezu eliminieren. Sowohl in der Theorie als auch in der Simulation wurden die Transistoren jeweils isoliert betrachtet. Weitere Verluste der Schaltung wurden nicht miteinbezogen.

Für einen praktischen Vergleich wurden in einem messtechnischen Aufbau unter verschiedenen Versorgungsspannungen und Lastströmen die Eingangs- und Ausgangsleistungen betrachtet und die Effizienzkurve der gesamten Schaltung bestimmt.

Hierbei wurden zusätzlich die Verluste weiterer Verbraucher sichtbar. Dies führte zunächst zu einem insgesamt geringfügig höheren Wirkungsgrad des Si-Wandlers. Grund dafür sind der zusätzliche Gate-Treiber und 5 V-LDO in der betrachteten GaN-Variante. Nach einem Abzug der Treiberverluste wies der GaN-FET die höhere Effizienz auf. Die Leistungsdifferenzkurve zwischen GaN und Si ergab einen Wert in der Größenordnung des simulativen Vergleichs.

Insgesamt zeigen die Messergebnisse, dass beide Schaltungen inklusive der Regelung funktionsfähig und stabil sind. Auch das Ersetzen des ursprünglich verwendeten Strommesswiderstands durch einen Messtransformator konnte erfolgreich integriert werden.

In dieser spezifischen Anwendung zeigt sich, dass die Effizienz des Si- und des GaN-Wandlers grundsätzlich große Ähnlichkeiten aufweisen. Momentan liegt ein Vorteil der Si-Technologie in der umfangreicheren Bauteil Auswahl und der oftmals daraus resultierenden geringeren Komplexität der Gesamtschaltung und der kleineren benötigten Platinenfläche.

Die theoretisch betrachtete Kombination des GaN-HEMTs CDA10N05X2 und des Gate-Treibers ISL7004SEH wäre hinsichtlich Größe und Komplexität aufgrund kleinerer Bauteilgrößen und des Wegfalls des 5 V-LDOs effizienter als die Bauteilkombination des praktisch getesteten GaN-Wandlers. Auch eine zukünftige Verfügbarkeit integrierter Gate- und Controller-Bausteine für GaN-Technologie bringt deutliche Verbesserungen.

Der Vorteil der GaN-Technologie hingegen zeigt sich in dieser Anwendung bei der isolierten Betrachtung der Transistoren. Insbesondere der geringere $R_{DS,on}$ des GaN-HEMTs wird sowohl in der Effizienzkurve als auch in der Leistungsdifferenzkurve sichtbar. Insbesondere spiegelt sich dies in den geringeren statischen Verlusten bei höheren Lastströmen wider.

Ein deutlicherer Unterschied in der Effizienz beider Technologien ließe sich außerdem durch eine Erhöhung der Schaltfrequenz erzielen, was hier aufgrund der Spezifikationen des Controllers UC2843A nicht möglich ist.

Abschließend lässt sich sagen, dass eine Verwendung von GaN-HEMTs in der behandelten Anwendung funktionsfähig, möglich und mit weiteren Anpassungen vorteilhaft gegenüber der Si-Variante ist. Dazu gehört beispielsweise eine Erhöhung der Frequenz,

die Wahl eines Treiberbausteins, der keine zusätzliche Hilfsspannung benötigt und damit eine Optimierung hinsichtlich Größe und Komplexität der Schaltung.

Weitere Vorzüge durch GaN-HEMTs können in Schaltungen erzielt werden, in denen die Verluste des Reverse Recovery Effekts ins Gewicht fallen. Grundsätzlich hängt die Wahl der gewählten Technologie vom Anwendungsfall sowie der Auslegung und den Spezifikationen der Schaltung ab.

Literatur

- [1] Masoud Beheshti. “Wide-bandgap semiconductors: Performance and benefits of GaN versus SiC”. In: *Analog Design Journal* (2020).
- [2] Kiran Bernard. *Weltraumtaugliche FETs, Controller und Treiber - Galliumnitrid zur Stromversorgung von Kleinsatelliten im LEO*. 2020. URL: <https://www.all-electronics.de/elektronik-entwicklung/galliumnitrid-zur-stromversorgung-von-kleinsatelliten-im-leo.html> (besucht am 02.04.2024).
- [3] Alexander Beyer u. a. “CAESAR: Space Robotics Technology for Assembly, Maintenance, and Repair”. In: *Proceedings of the International Astronautical Congress, IAC*. 2018. URL: <https://elib.dlr.de/122123/> (besucht am 24.05.2024).
- [4] S.C. Binari u. a. “Fabrication and characterization of GaN FETs”. In: *Solid-State Electronics* 41 (1997), S. 1549–1554. URL: <https://www.sciencedirect.com/science/article/pii/S0038110197001032> (besucht am 24.05.2024).
- [5] Fabio Cacciotto und Alessandro Cannone. “Exploit GaN FET technologies in high efficiency flyback topologies: pros and cons of different architectures”. In: *2020 AEIT International Annual Conference (AEIT)*. 2020, S. 1–6.
- [6] *CAESAR (Compliant Assistance and Exploration SpAce Robot)*. Deutsches Zentrum für Luft- und Raumfahrt e.V., Institut für Robotik und Mechatronik. URL: <https://www.dlr.de/rm/desktopdefault.aspx/tabid-13282/#gallery/32051> (besucht am 02.04.2024).
- [7] Marco Carbone u. a. “An overview of GaN FET Technology, Reliability, Radiation and Market for future Space Application”. In: *2019 European Space Power Conference (ESPC)*. 2019, S. 1–4.
- [8] *CDA10N05X2 Datasheet*. EPC Space. 2020. URL: <https://epc.space/documents/datasheets/CDA10N05X2-datasheet.pdf> (besucht am 24.05.2024).

- [9] *CST7030 Current Sense Transformers*. Coilcraft. URL: <https://www.coilcraft.com/getmedia/12ba6199-a24d-486f-ba70-4b6bec000ed3/cst7030datasheet.pdf> (besucht am 24.05.2024).
- [10] Lloyd H. Dixon. *Magnetics Design Handbook*. 2011.
- [11] *EPC7003A Datasheet*. EPC Space. 2023. URL: <https://epc.space/documents/datasheets/EPC7003A-datasheet.pdf> (besucht am 24.05.2024).
- [12] *EPC7004B Datasheet*. EPC Space. 2023. URL: <https://epc.space/documents/datasheets/EPC7004B-datasheet.pdf> (besucht am 24.05.2024).
- [13] Aqdas Fariza u. a. "Role of energy-band offset in photo-electrochemical etching mechanism of p-GaN heterostructures". In: *Journal of Applied Physics* 129 (Apr. 2021), S. 165701.
- [14] *FBG10N05A Datasheet*. EPC Space. 2023. URL: <https://epc.space/documents/datasheets/FBG10N05A-datasheet.pdf> (besucht am 24.05.2024).
- [15] *FBG10N30B Datasheet*. EPC Space. URL: <https://epc.space/documents/datasheets/FBG10N30B-datasheet.pdf> (besucht am 24.05.2024).
- [16] *FBS-GAM01P-C-PSE Datasheet*. EPC Space. 2023. URL: <https://epc.space/documents/datasheets/FBSGAM01PCPSE-datasheet.pdf> (besucht am 24.05.2024).
- [17] Andreas Graber. "Über die Molekularstrahlepitaxie von In_xGa_{1-x}N Heterostrukturen und deren optische Charakterisierung". Diss. Justus-Liebig-Universität Gießen, 2000.
- [18] Berthold Heinrich. *Grundlagen Regelungstechnik*. Springer Vieweg Wiesbaden, 2021. ISBN: 978-3-658-34420-7.
- [19] Panasonic Industry. *Basic Knowledge of LC Filters*. 2020. URL: <https://industrial.panasonic.com/ww/ss/technical/b4> (besucht am 19.04.2024).
- [20] Infineon. *N-channel rad hard power MOSFETs - Produkte*. 2024. URL: <https://www.infineon.com/cms/de/product/high-reliability/space/power/rad-hard-mosfets/n-channel-rad-hard-power-mosfets/> (besucht am 15.04.2024).

- [21] M.A. Iqbal. “The effects of gamma-ray radiation on n-channel MOSFET”. In: *Technical Proceedings of the 2011 NSTI Nanotechnology Conference and Expo, NSTI-Nanotech 2011* 1 (Jan. 2011).
- [22] *IRHNM57110, IRHNMC57110 Radiation Hardened Power MOSFET Datasheet*. Infineon. 2022. URL: https://www.infineon.com/dgdl/Infineon-IRHNM57110-DataSheet-v01_01-EN.pdf?fileId=8ac78c8c84f2c0670184f4d0110d0789 (besucht am 24.05.2024).
- [23] *ISL70023SEH, ISL73023SEH Datasheet*. Intersil. 2024. URL: <https://www.renesas.com/us/en/document/dst/isl70023seh-isl73023seh-datasheet?r=521326> (besucht am 24.05.2024).
- [24] *ISL70040SEH, ISL73040SEH Radiation Hardened Low-Side GaN FET Driver Datasheet*. Intersil. 2021. URL: <https://www.renesas.com/us/en/document/dst/isl70040seh-isl73040seh-datasheet?r=521311> (besucht am 24.05.2024).
- [25] A.H. Johnston. “The influence of VLSI technology evolution on radiation-induced latchup in space systems”. In: *IEEE Transactions on Nuclear Science* 43 (1996).
- [26] Marian K. Kazimierczuk. *Pulse-width Modulated DC-DC Power Converters*. John Wiley & Sons, Ltd., 2008. ISBN: 978-0-470-77301-7.
- [27] A. Kazimirov u. a. “High-resolution x-ray study of thin GaN film on SiC”. In: *Journal of Applied Physics* 89 (2001), S. 6092–6097.
- [28] George Lakkas. “MOSFET power losses and how they affect power-supply efficiency”. In: *Analog Applications Journal* (2016).
- [29] LUMITOS. *Bändermodell*. 2024. URL: <https://www.chemie.de/lexikon/B%C3%A4ndermodell.html> (besucht am 02.04.2024).
- [30] LUMITOS. *Elektronegativität*. 2024. URL: <https://www.chemie.de/lexikon/Elektronegativit%C3%A4t.html> (besucht am 11.06.2024).
- [31] LUMITOS. *Gleichgewichtszustand*. 2024. URL: <https://www.chemie.de/lexikon/Gleichgewichtszustand.html> (besucht am 08.04.2024).
- [32] LUMITOS. *Potentialtopf*. 2024. URL: <https://www.chemie.de/lexikon/Potentialtopf.html> (besucht am 11.06.2024).
- [33] Douglas James Macfarlane. “Design and fabrication of AlGaN/GaN HEMTs with high breakdown voltages”. Diss. School of Engineering, University Glasgow, 2014.

- [34] Jean-Luc Muraro u. a. “GaN for space application: Almost ready for flight”. In: *International Journal of Microwave and Wireless Technologies* (2010), S. 121–133.
- [35] Salvatore Musumeci und Vincenzo Barba. “Gallium Nitride Power Devices in Power Electronics Applications: State of Art and Perspectives”. In: *Energies* 16 (2023). URL: <https://www.mdpi.com/1996-1073/16/9/3894> (besucht am 24. 05. 2024).
- [36] Nexperia. *MOSFET & GaN FET Application Handbook - A Power Designer Engineer’s Guide*. Nexperia, 2020. ISBN: 978-0-9934854-7-3.
- [37] Rajender Nune u. a. “Comparative analysis of power density in Si MOSFET and GaN HEMT based flyback converters”. In: *2016 10th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*. 2016, S. 347–352.
- [38] Edemar Prado u. a. “Simple analytical model for accurate switching loss calculation in power MOSFETs using non-linearities of Miller capacitance”. In: *IET Power Electronics* 15 (Feb. 2022).
- [39] G. Purnachandra Rao, Rajan Singh und Trupi Ranjan Lenka. *HEMT Technology and Applications*. Hrsg. von Trupi Ranjan Lenka und Hieu Pham Trung Nguyen. Springer, 2023. ISBN: 978-981-19-2164-3.
- [40] Kevin Scott und Zhijun Qian. *No-Opto Flyback DC/DC Converters & Snubber Protection Circuits*. Analog Devices. 2017. URL: <https://www.analog.com/en/resources/technical-articles/no-opto-flyback-dc-dc-converters-snubber-protection-circuits.html> (besucht am 02. 04. 2024).
- [41] Michael Seeman. *GaN in Stromversorgungen - Welche Vorteile bietet GaN in Schaltnetzteilen*. 2016. URL: <https://www.elektroniknet.de/automotive/welche-vorteile-bietet-gan-in-schaltnetzteilen.130593/seite-3.html> (besucht am 02. 04. 2024).
- [42] Jeff Shepard. *What is d-GaN, e-GaN and v-GaN power?* 2022. URL: <https://www.powerelectronicstips.com/what-is-d-gan-e-gan-and-v-gan-power-faq/> (besucht am 02. 04. 2024).
- [43] Howard Sin. *Wide Bandgap, Normally-off and Current Collapse free GaN Transistors*. Mouser Electronics. 2024. URL: <https://www.mouser.de/applications/wide-bandgap-gan-transistor/> (besucht am 02. 04. 2024).

- [44] *Space Product Assurance - Derating EEE Components*. European Cooperation For Space Standardization.
- [45] Stephan Synkule, Lukas Heinzle und Florian Hämmerle. *Bode 100 - Application Note - DC/DC Converter Stability Measurement*. Techn. Ber. OMICRON Lab, 2018.
- [46] *TDG100E90TEP Datasheet*. Teledyne. 2021. URL: https://www.teledynedefenseelectronics.com/e2vhrel/Semiconductors/Documents/TDG100E90TEP_09_30_2021_Rev1_Prod_Spec.pdf (besucht am 24.05.2024).
- [47] *TPS Series Low ESR Electrolyte Capacitors*. Kyocera AVX. URL: <https://datasheets.kyocera-avx.com/TPS.pdf> (besucht am 24.05.2024).
- [48] *UCx84xA Current-Mode PWM Controller*. Texas Instruments. 2022. URL: <https://www.ti.com/lit/ds/symlink/uc1843a.pdf> (besucht am 24.05.2024).
- [49] Stanislav Vitanov. “Simulation of High Electron Mobility Transistors”. Diss. Technische Universität Wien, 2010.
- [50] Steve Winder. “Essentials of Switching Power Supplies - Slope Compensation”. In: Newnes, 2017. Kap. Essentials of Switching Power Supplies, S. 203–218. ISBN: 978-0-08-100925-3.
- [51] Jean Mike Wolter. “Einfluss der Schichteigenschaften auf das elektrische und optoelektrische Verhalten von AlGaIn/GaN HEMT Transistoren”. Diss. Technische Hochschule Aachen, 2004.
- [52] Henry Zhang. “Understand Power Supply Loop Stability and Loop Compensation”. In: *Analog Devices* (2022).

Anhang A

LTSpice Simulationen

A.1 Version 1: IRHNM57110

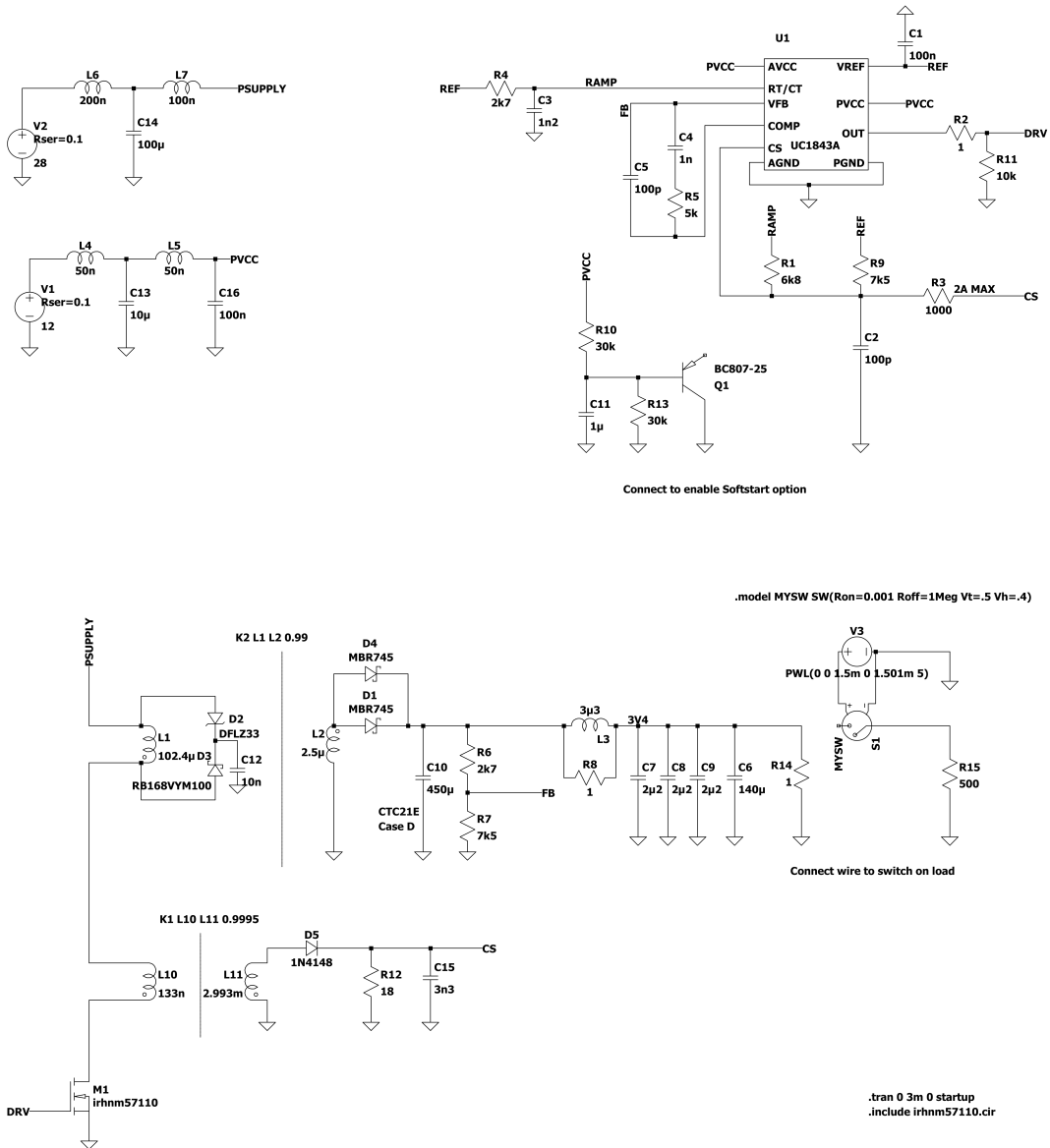


Abbildung A.1: LTSpice Simulation Version 1: IRHNM57110

A.2 Version 2: FBSGAM01PCPSE und EPC7003A

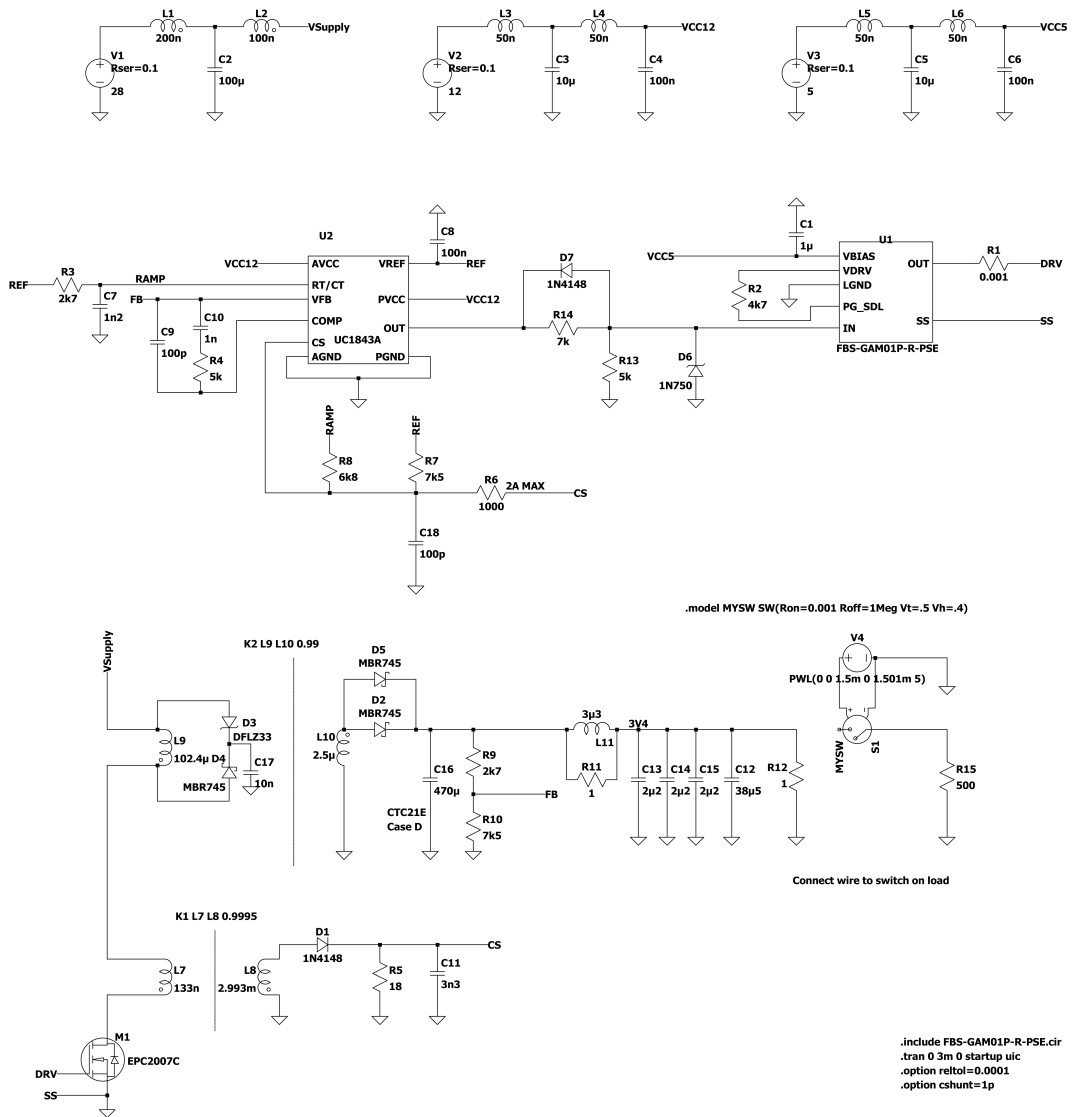


Abbildung A.2: LTSpice Simulation Version 2: FBSGAM01PCPSE und EPC7003A

A.3 Version 3: FBSGAM01PCPSE und CDA10N05X2

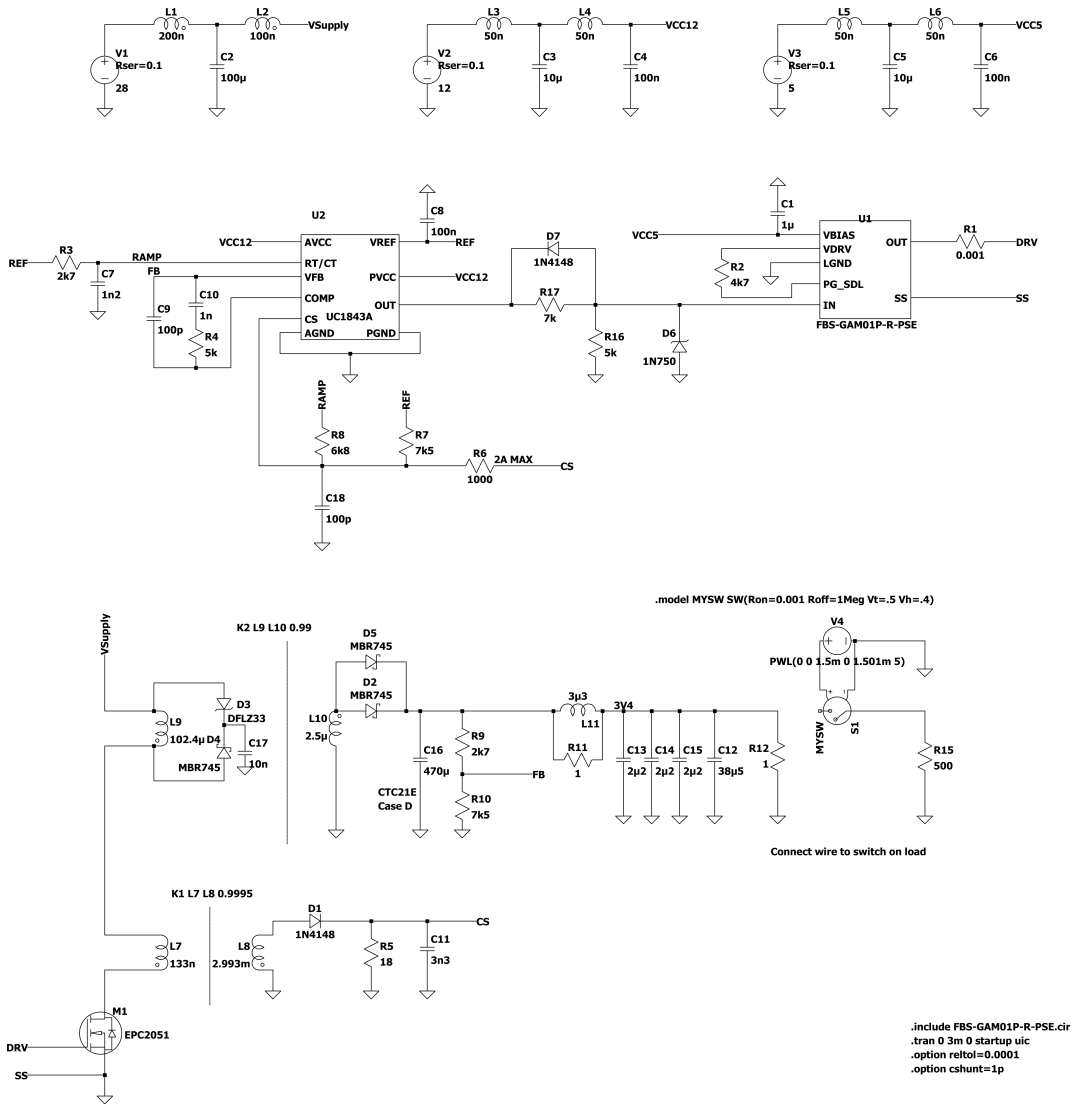


Abbildung A.3: LTSpice Simulation Version 3: FBSGAM01PCPSE und CDA10N05X2

A.4 Version 4: ISL70023SEH und EPC7003A

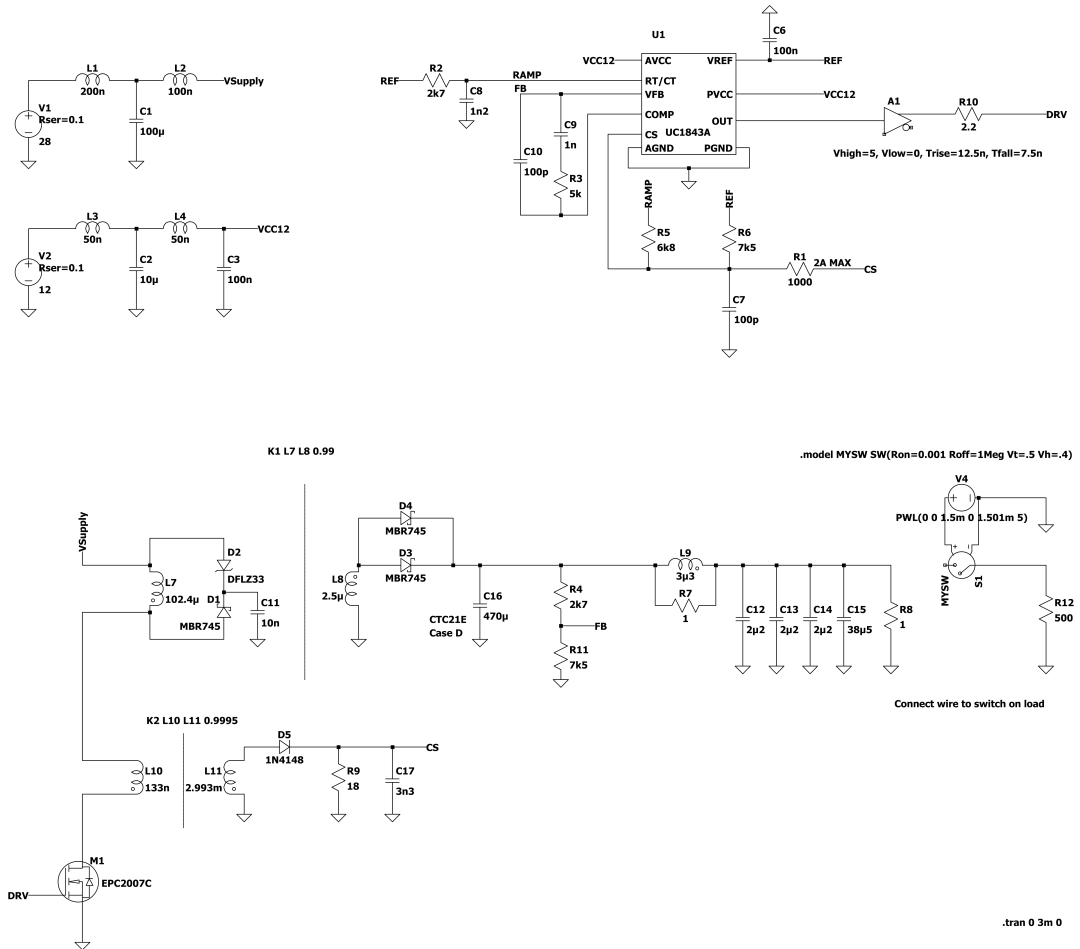


Abbildung A.4: LTSpice Simulation Version 4: ISL70023SEH und EPC7003A

A.5 Version 5: ISL70023SEH und CDA10N05X2

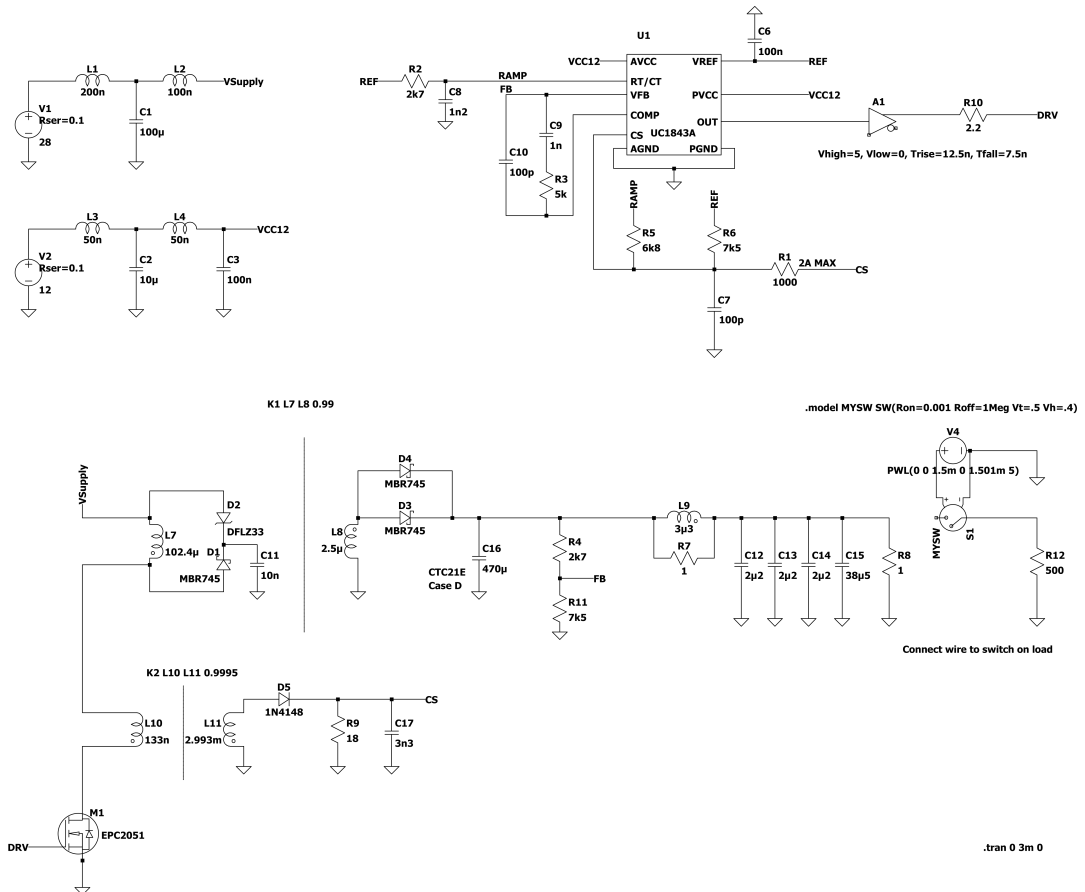


Abbildung A.5: LTSpice Simulation Version 5: ISL70023SEH und CDA10N05X2

Anhang B

MATLAB

B.1 Regelkreis Simulink

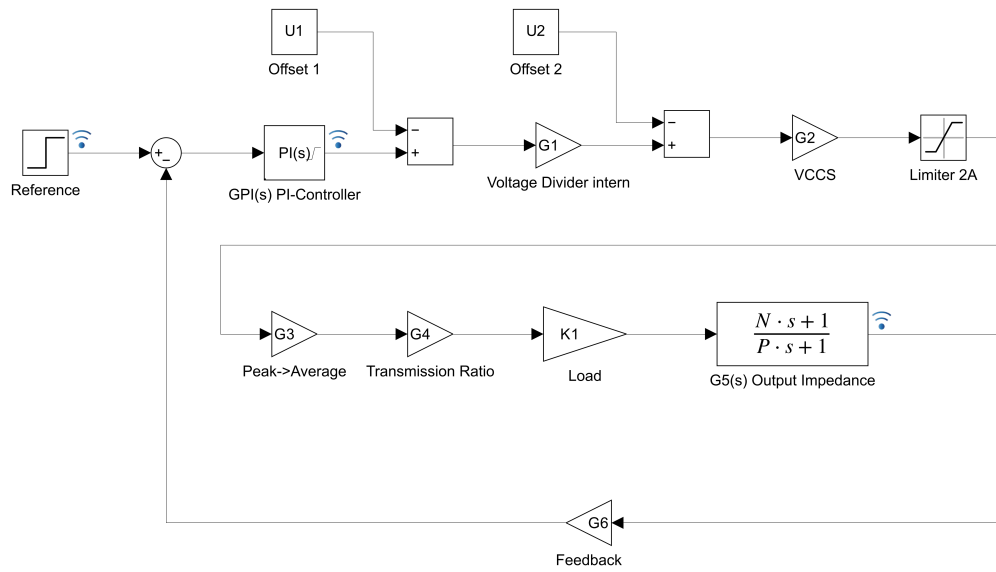


Abbildung B.1: Regelkreis MATLAB Simulink

B.2 Code

```
%Parameter des Regelkreises

%Strecke
G2 = 89.16; %Kleinsignalersatzschaltbild,
           spannungsgesteuerte Stromquelle
G1 = 1/3; %Interner Spannungsteiler UC1843
G3 = 0.37; %Umrechnung Peak Average
G4 = 6.4; %Uebertragungsverhaeltnis des Transformators
G6 = 0.735; %Feedbackzweig
U1 = 1.2; %Spannungsabfall ueber interne Dioden UC1843
U2 = 0.75; %Spannungsabfall ueber 1kR im Strommesspfad
C = 0.00045; %Ausgangskapazitaet
R1 = 0.02; %ESR der Ausgangskondensatoren
R2 = 100; %Lastwiderstand
K1 = R2;
N = C*R1;
P = C*(R1+R2);

%Regler
Kp = 2.518;
Ki = 503703;
```

Anhang C

Schaltpläne

C.1 Version 1: IRHNM57110

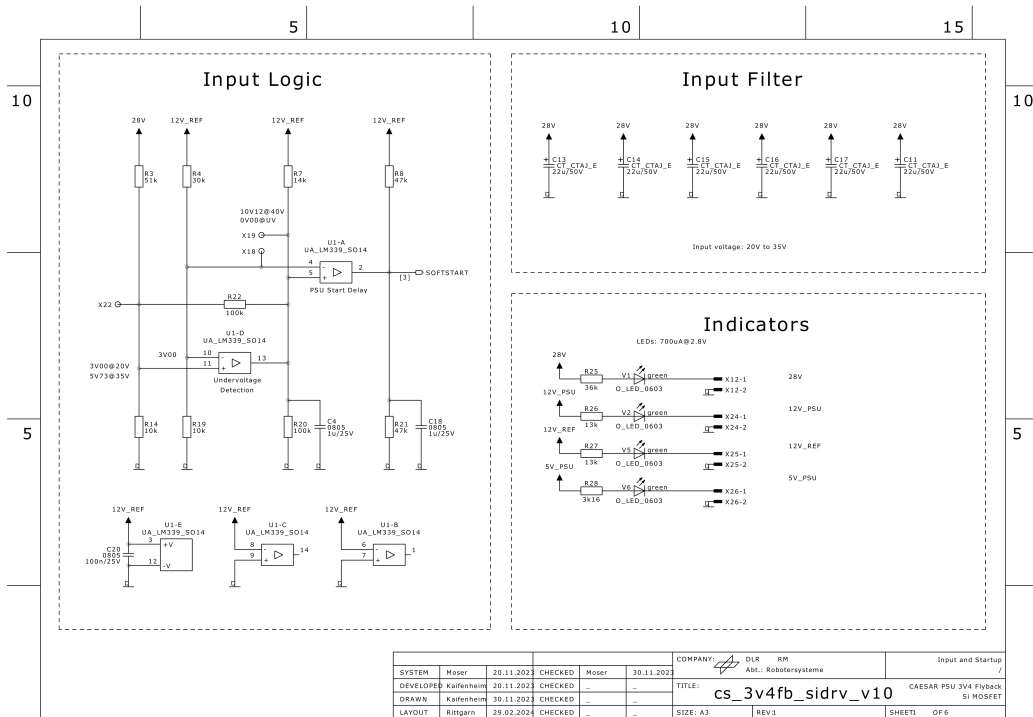


Abbildung C.1: Schaltplan cs_3v4fb_sidrv_v10 Seite 01_INPUT

C. Schaltpläne

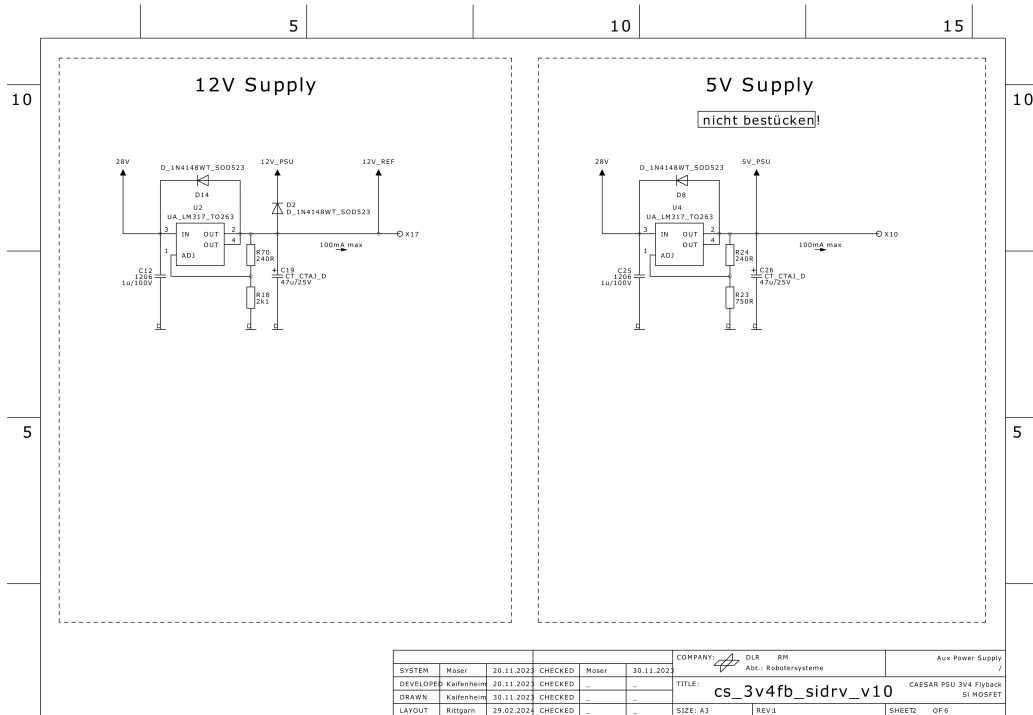


Abbildung C.2: Schaltplan cs_3v4fb_sidrv_v10 Seite 02_AUX_PWR

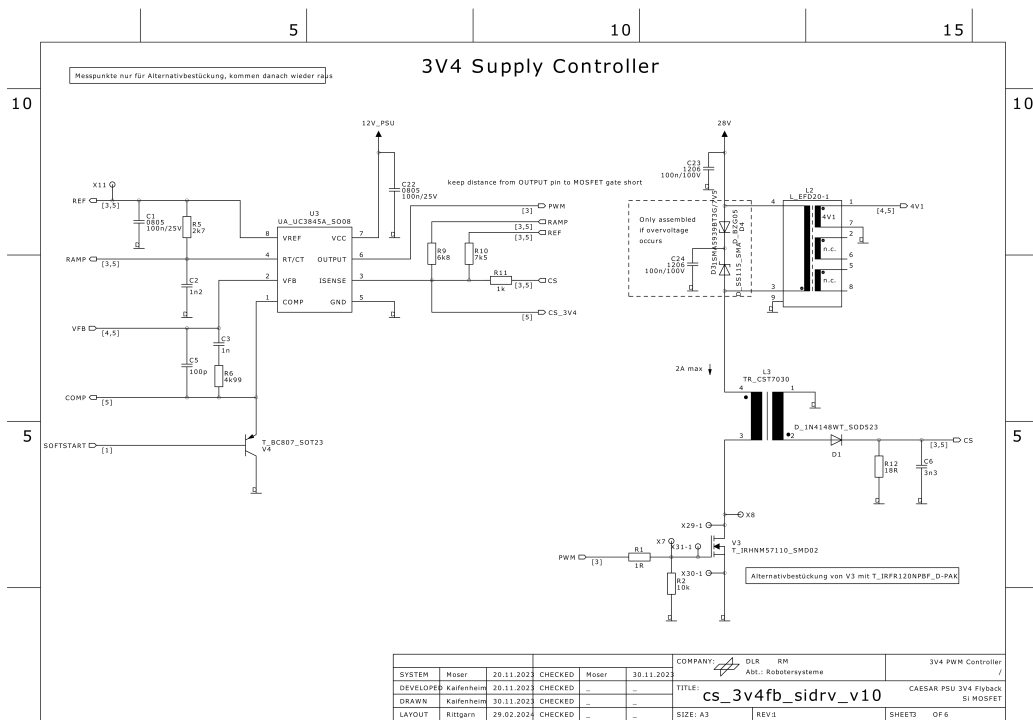


Abbildung C.3: Schaltplan cs_3v4fb_sidrv_v10 Seite 03_CTRL_3V4

C. Schaltpläne

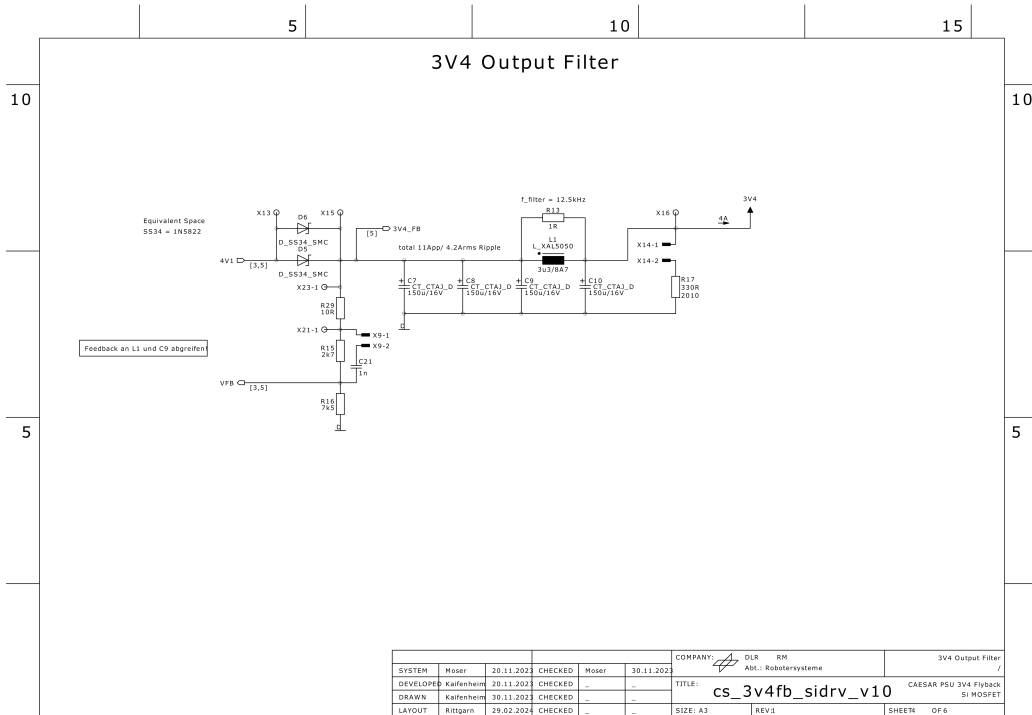


Abbildung C.4: Schaltplan cs_3v4fb_sidrv_v10 Seite 04_OUTPUT_3V4

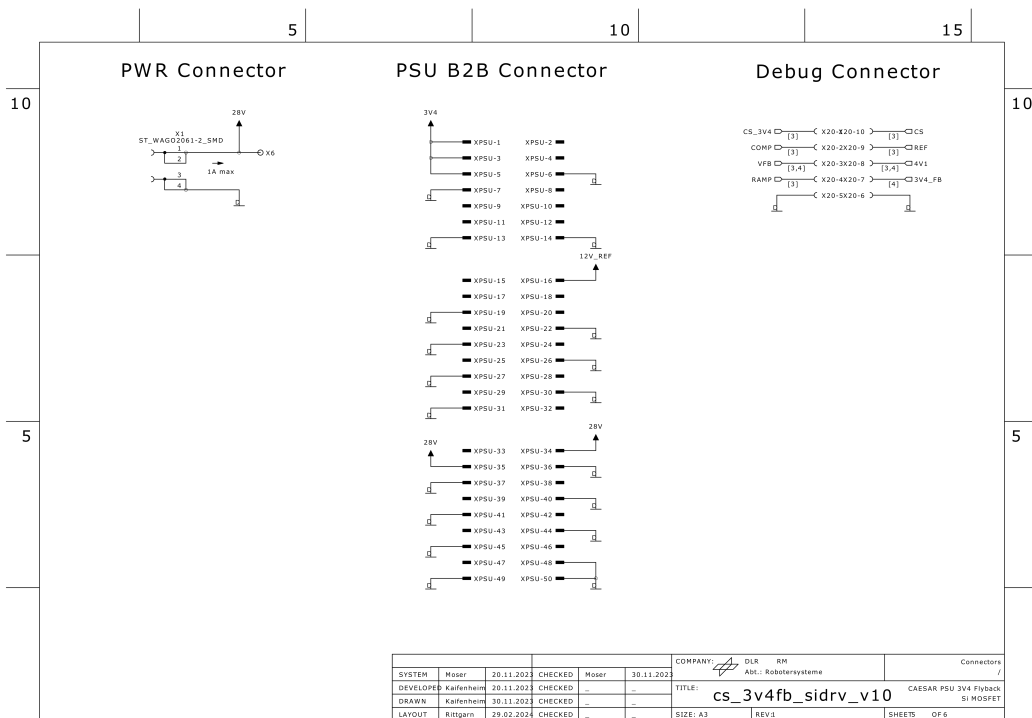


Abbildung C.5: Schaltplan cs_3v4fb_sidrv_v10 Seite 05_CONNECTORS

C. Schaltpläne

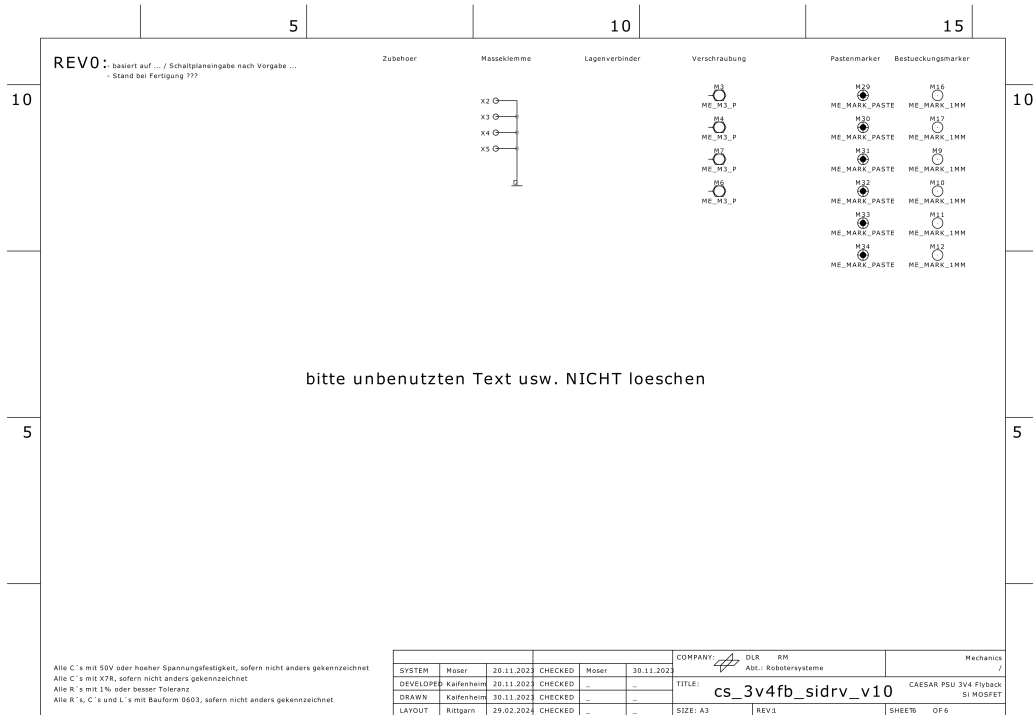


Abbildung C.6: Schaltplan cs_3v4fb_sidrv_v10 Seite 06_MECHANICS

C.2 Version 2: FBS-GAM01P-C-PSE und EPC7003A

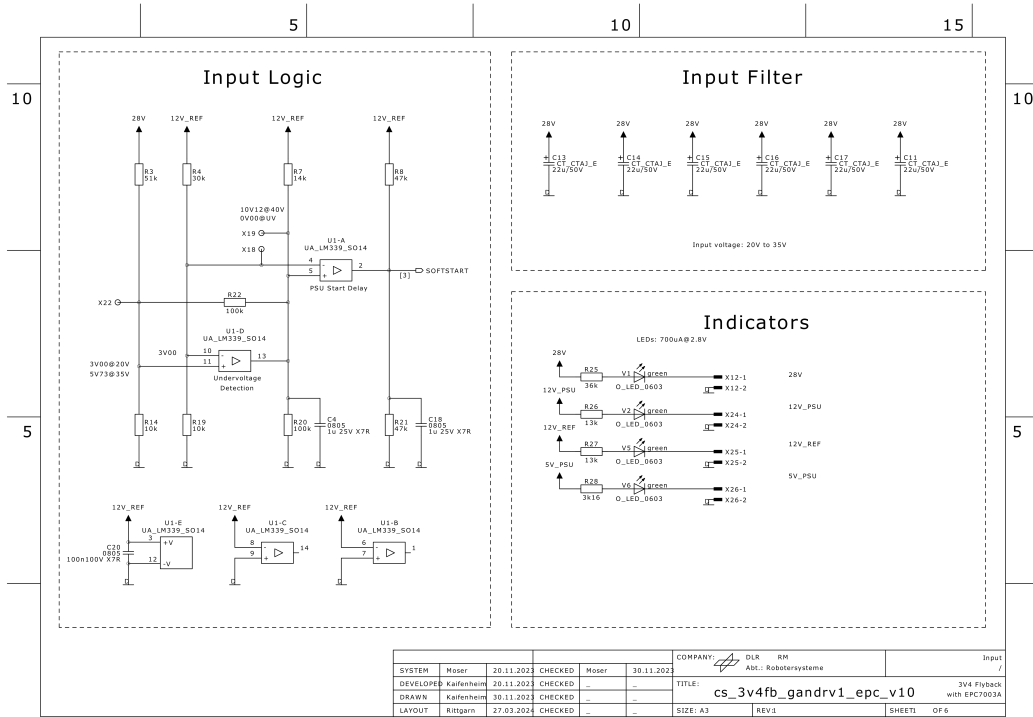


Abbildung C.7: Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 01_INPUT

C. Schaltpläne

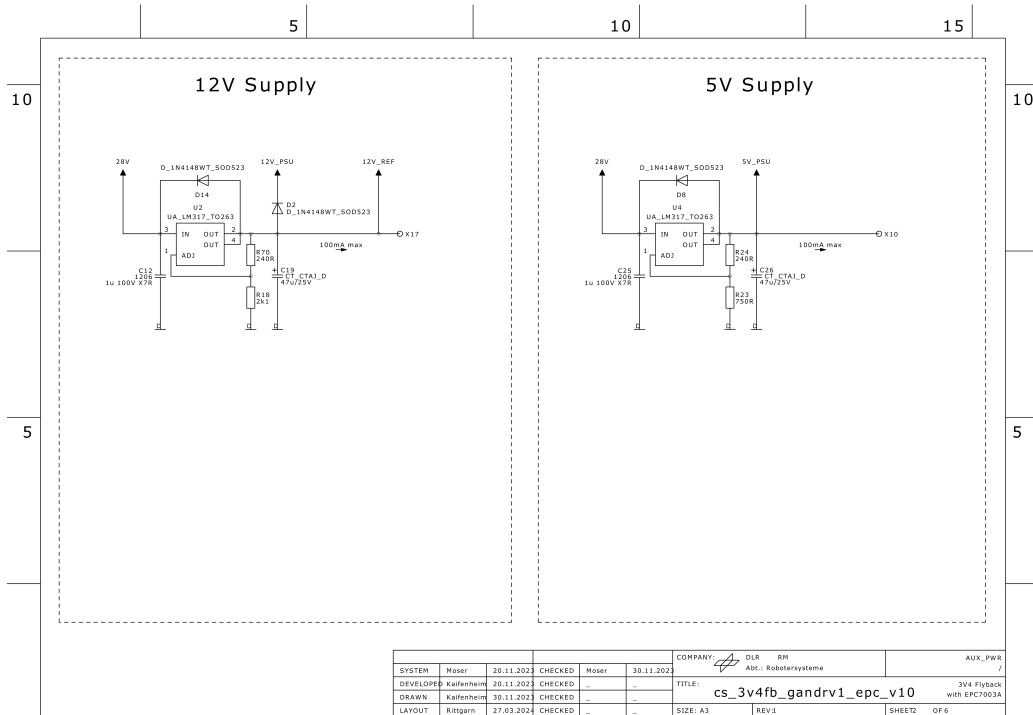


Abbildung C.8: Schaltplan cs_3v4fb_gandr1_epc_v10 Seite 02_AUX_PWR

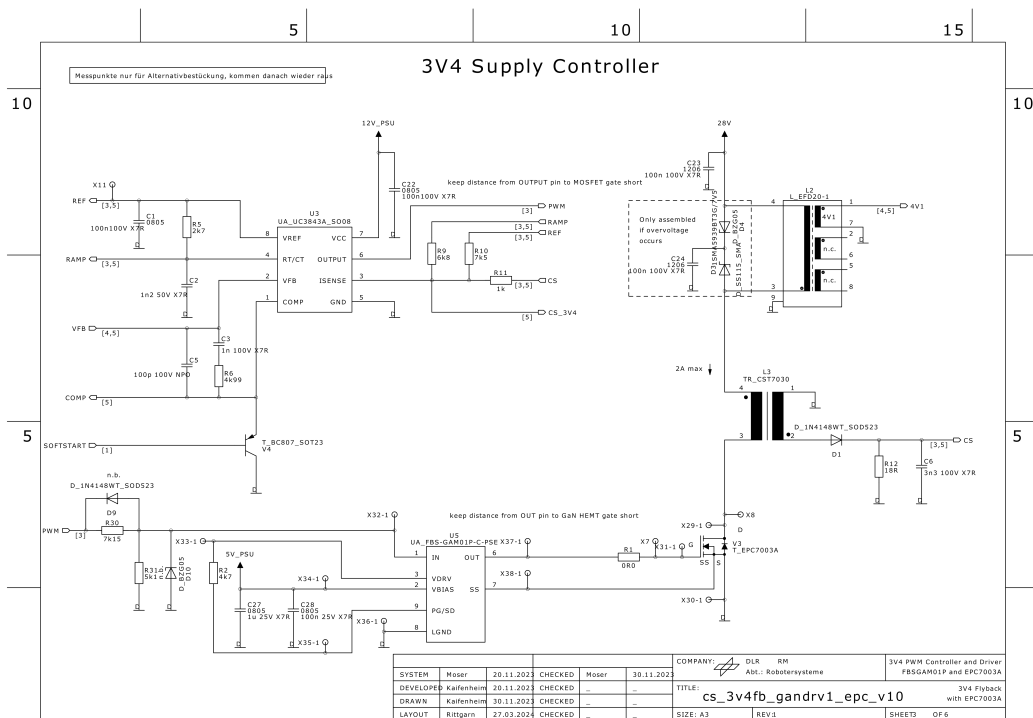


Abbildung C.9: Schaltplan cs_3v4fb_gandr1_epc_v10 Seite 03_CTRL_3V4

C. Schaltpläne

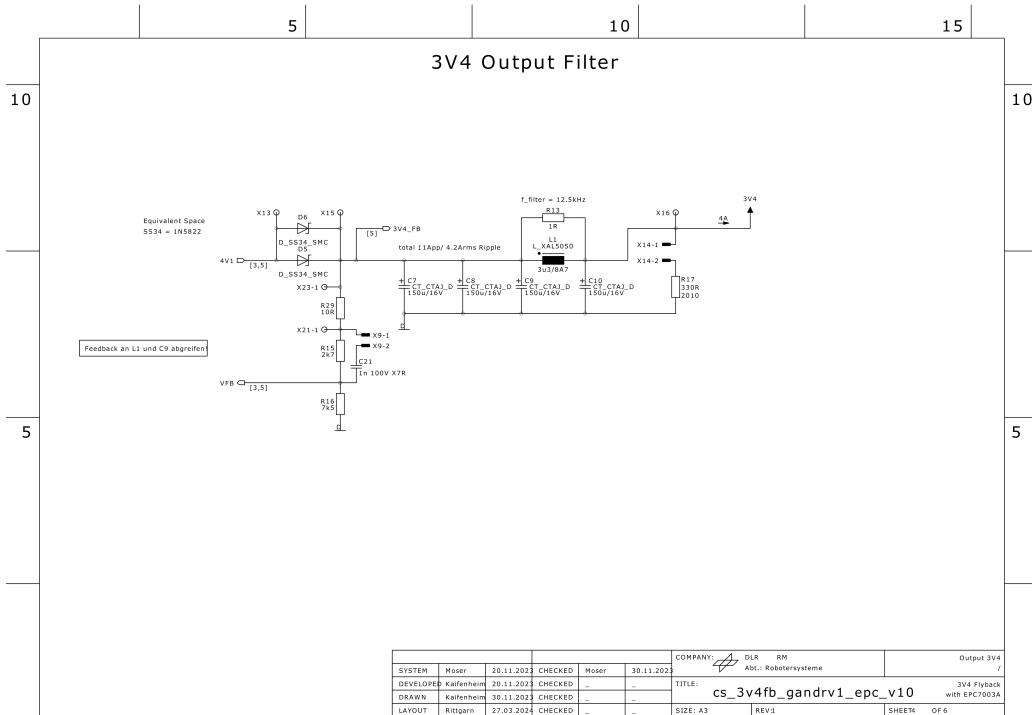


Abbildung C.10: Schaltplan cs_3v4fb_gandr1_epc_v10 Seite 04_OUTPUT_3V4

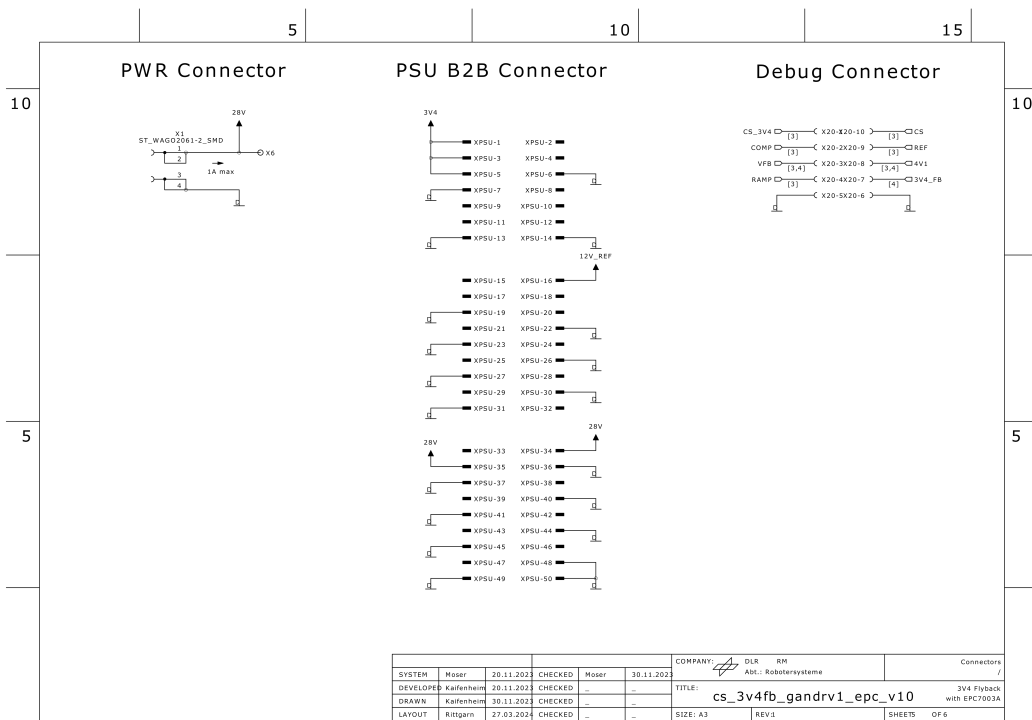


Abbildung C.11: Schaltplan cs_3v4fb_gandr1_epc_v10 Seite 05_CONNECTORS

C. Schaltpläne

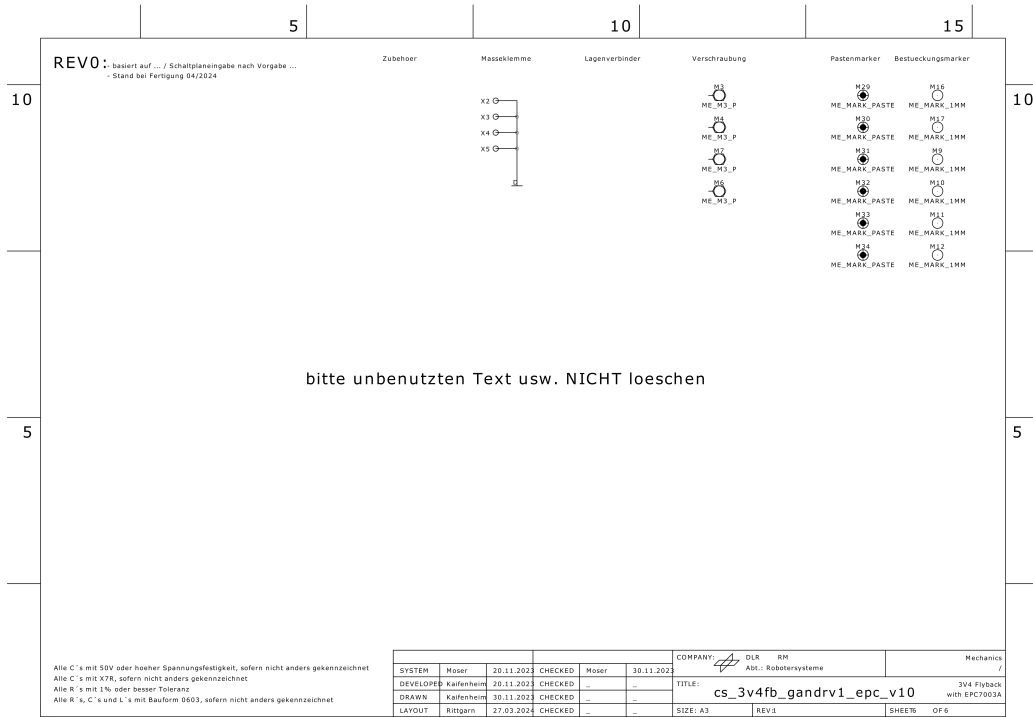


Abbildung C.12: Schaltplan cs_3v4fb_gandrv1_epc_v10 Seite 06_MECHANICS

Anhang D

Layouts

D.1 Version 1: IRHNM57110

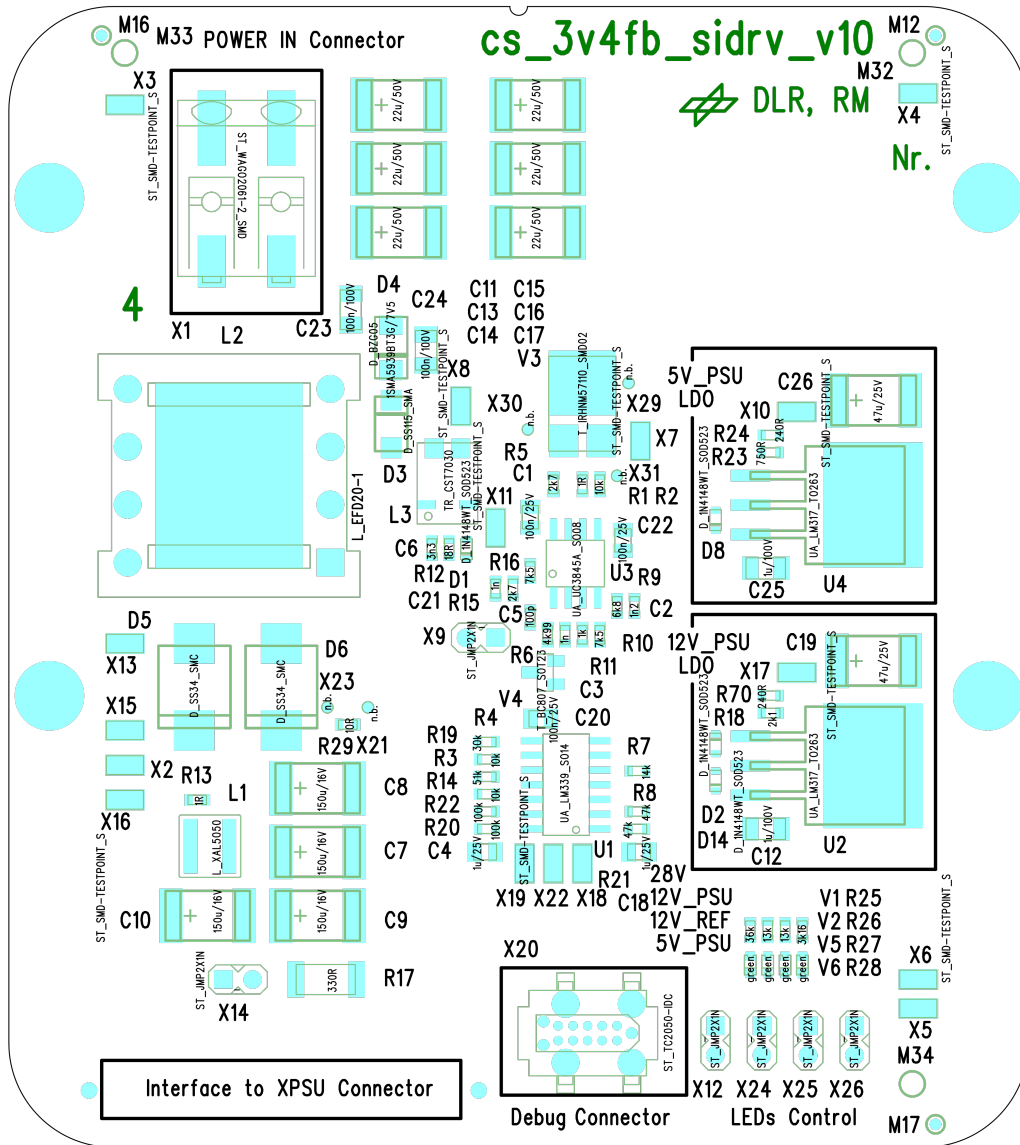


Abbildung D.1: Layout cs_3v4fb_sidrv_v10

D.2 Version 2: FBS-GAM01P-C-PSE und EPC7003A

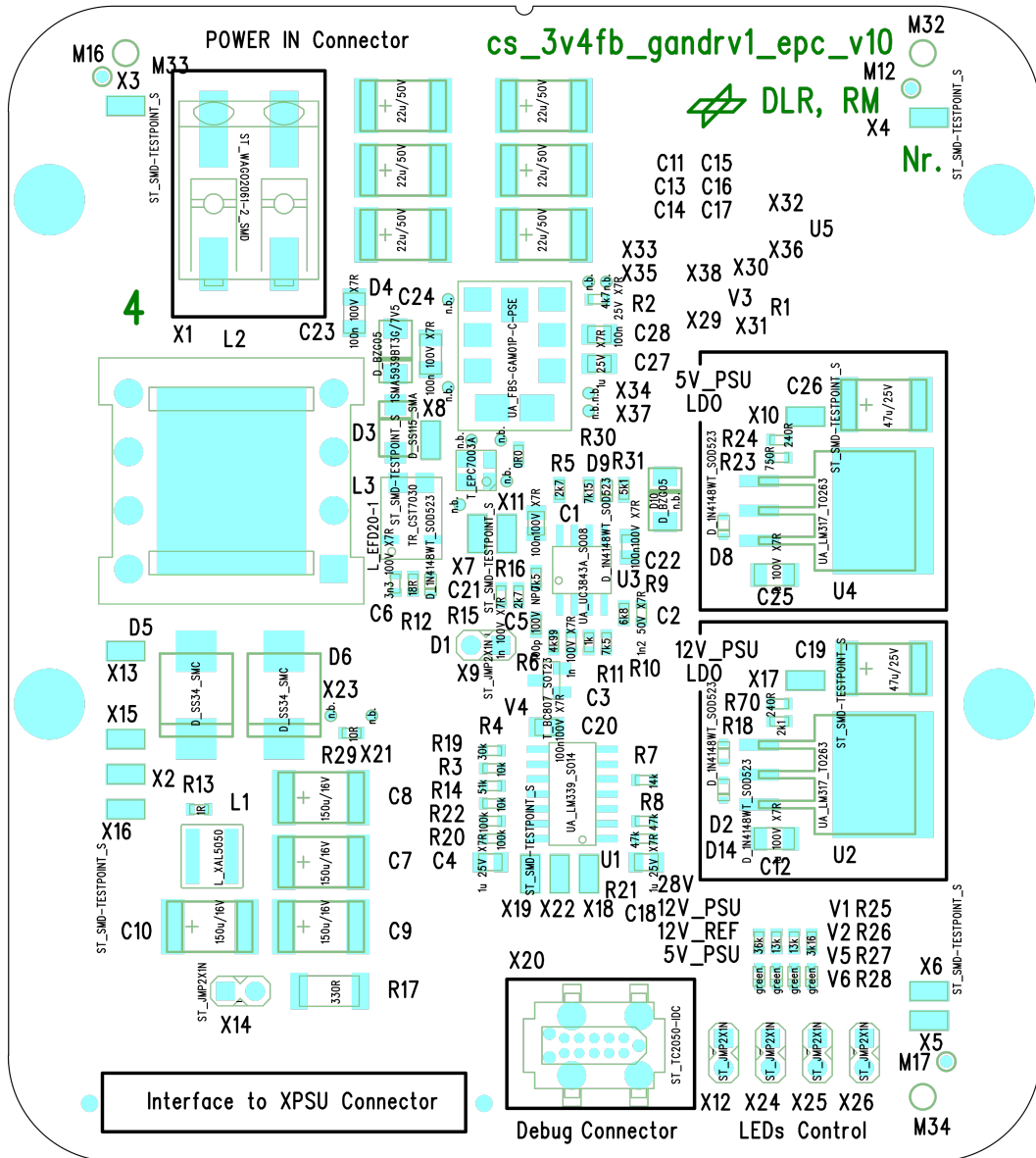


Abbildung D.2: Layout `cs_3v4fb_gandr v1_epc_v10`

Anhang E

Tabellen zur Leistungsberechnung und Simulation

E.1 Tabellen zur Simulation der Verlustleistung

	IRHNM57110	EPC7003A + FBS	CDA10N05X2 + FBS	EPC7003A + ISL	CDA10N05X2 + ISL
Statische Verluste					
I_D [A]	1,1	1,1	1,1	1,1	1,1
f_{sw} [kHz]	390	390	390	390	390
D	0,5	0,5	0,5	0,5	0,5
$R_{DS(on)}$ [Ω]	0,22	0,042	0,026	0,042	0,026
Schaltverluste					
$t_{1sw,on}$ [ns]	1,4	5,9	5,1	2,6	2,1
U_{DS} [V]	54,2	47	40,5	47,5	41,2
I_D [A]	0,312	1,7	1,8	3,9	4
$t_{2sw,on}$ [ns]	3,8	3,5	2,1	1,4	0,9
U_{DS} [V]	44,4	34,5	27,4	35,6	27,9
I_D [A]	0,312	1,7	1,8	3,9	4
$t_{3sw,on}$ [ns]	22,5	0	0	0	0
U_{DS} [V]	7	0	0	0	0
I_D [A]	0,696	0	0	0	0
$t_{1sw,off}$ [ns]	13	14,5	13,5	13,9	12,9
U_{DS} [V]	5,8	60	60	60	60
I_D [A]	1,3	1,3	1,3	1,3	1,3
$t_{2sw,off}$ [ns]	6,1	0	0	0	0
U_{DS} [V]	60	0	0	0	0
I_D [A]	1,3	0	0	0	0
Gate-Verluste					
$t_{1G,on}$ [ns]	53,8	21,8	20	8,5	7,9
U_{GS} [V]	8,4	2,3	2,2	2,7	2,6
I_G [A]	0,135	0,14	0,105	0,373	0,265
$t_{2G,on}$ [ns]	125,7	21,4	22	8	8,9
U_{GS} [V]	11,7	3,6	3,6	3,8	3,8
I_G [A]	0,135	0,14	0,105	0,373	0,265
$t_{1G,off}$ [ns]	59,9	12,5	12,2	6	5,7
U_{GS} [V]	11,4	5	4,9	5	5
I_G [A]	0,198	0,171	0,166	0,234	0,24
$t_{2G,off}$ [ns]	18,9	8,3	6,7	4,7	4
U_{GS} [V]	0,5	1,6	1,6	1,6	1,8
I_G [A]	0,198	0,171	0,166	0,234	0,24

Abbildung E.1: Ermittelte Daten basierend auf der Simulation

	IRHNM57110	EPC7003A + FBS	CDA10N05X2 + FBS	EPC7003A + ISL	CDA10N05X2 + ISL
Statische Verluste P_{CDQ} [mW] Sim	133,1	25,41	15,73	25,41	15,73
Schaltverluste P_{SW} [mW] Sim	68,63	192,13	154,41	189,66	145,95
Gate-Verluste P_{GD} [mW] Sim	55,62	4,01	3,11	4,01	3,13
Verluste gesamt P_{GES} [mW] Sim	257,34	221,54	173,25	219,08	164,8

Abbildung E.2: Berechnete Ergebnisse der Verlustleistung basierend auf der Simulation