

Konzeption eines Vierquadranten- netzteiles in Klasse-D Topologie

Masterarbeit

Sascha Oliver Moser



MASTERARBEIT

**KONZEPTION EINES
VIERQUADRANTENNETZTEILES IN
KLASSE-D TOPOLOGIE**

Freigabe:

Der Bearbeiter:

Unterschriften

Sascha Moser, B.Sc.



Betreuer:

Dipl.-Ing. Robin Gruber



Dipl.-Ing. Martin Kuhn



Der Institutsdirektor

Dr. Alin Albu-Schäffer



Dieser Bericht enthält 87 Seiten, 39 Abbildungen und 3 Tabellen

Masterarbeit

Konzeption eines Vierquadrantennetzteiles in Klasse-D Topologie

Sascha Oliver Moser, B.Sc.

14. April 2016

Prüfer

Univ.-Prof. Dr.-Ing. Ralph Kennel

Betreuer

Dipl.-Ing. Robin Gruber

Dipl.-Ing. Martin Kuhn

Erklärung über die selbstständige Bearbeitung und verwendete Hilfsmittel

Ich versichere hiermit, dass ich zur Anfertigung vorliegender Arbeit keine fremde Hilfe in Anspruch genommen habe und keine anderen als die angegebenen Hilfsmittel und Quellen verwendet habe.

München, den 14. April 2016

Zusammenfassung

Inhalt dieser Masterarbeit ist der theoretische Entwurf eines Vierquadrantennetzteiles für leitungsgebundene Tests der elektromagnetischen Verträglichkeit angelehnt an MIL-STD-461E (CS101).

Das primäre Ziel dieser Arbeit ist es, ein tragbares System basierend auf einem verlustarmen Schaltwandler mit einer einstellbaren Ausgangsspannung von -2 Volt bis 56 Volt bei einem Ausgangsstrom von -15 Ampere bis 35 Ampere zu entwickeln. Daraus ergibt sich eine maximale Ausgangsleistung von 1960 Watt. Zudem ist eine weitere Anforderung, dass die genannten Spezifikationen in einem Frequenzbereich von 20 Hz bis einschließlich 100 kHz eingehalten werden müssen. Hierfür werden verschiedene Klasse-D Schalttopologien verglichen und ein Multiphasen-Verstärker mit Phasenstromregelung bestimmt. Alle für den Schaltwandler benötigten Bauelemente werden speziell für diese Anwendung ausgelegt und ausgewählt. Für diese Topologie wird eine Peak-Current Regelung modelliert, anschließend in MATLAB und LTSPICE IV simuliert und gegeneinander verglichen.

Ein besonderer Fokus liegt auf der Auslegung des Schaltwandlers zum Erhalt eines hohen Wirkungsgrades. Basierend auf den berechneten Systemverlusten resultiert ein theoretischer maximaler Wirkungsgrad von 98,14 %. Dieser wird durch den Einsatz von Gallium-Nitrid-Transistoren erreicht, welche in dieser Arbeit mit Silizium-Transistoren verglichen werden. Des Weiteren werden zur Kommunikation und Fernsteuerung dieses Systems diverse digitale Schnittstellen benötigt. Auf Basis dieser Arbeit soll es zukünftig möglich sein, ein kompaktes System zur vollautomatischen Messung nach MIL-STD-461E (CS101) zu realisieren.

Abstract

In this thesis, a theoretical design of a four-quadrant power supply for conducted electromagnetic compatibility tests according to MIL-STD-461E (CS101) is presented. The primary objective of this thesis is to develop a portable system based on a highly efficient switching topology with an adjustable output voltage from -2 to 56 volts and an output current from -15 to 35 ampere. This results in an output power of up to 1960 watts. An additional requirement is to meet the mentioned specifications in a frequency range from 20 Hz up to 100 kHz. Various switching converter topologies are compared for this purpose and a multi-phase inverter topology with phase-current control is chosen. All required components for the switching converter are specifically designed and selected for this purpose. A multi-phase peak-current control model is developed and simulated for the switching converter with MATLAB and LTSPICE IV. The results are compared to each other.

A special focus is on a high efficiency of the switching converter. Based on the power losses of the theoretical comprehensive model a maximum efficiency of 98,14 % is reached. This is achieved by the use of gallium nitride transistors. These are compared with silicon transistors in this thesis. For communication and remote control purposes with the user, it is important to provide various digital interfaces. Based on this work, it will be possible to realize a compact system for a fully automated testbench according to MIL-STD-461E (CS101).

Inhaltsverzeichnis

1	Motivation und Ziele	1
2	Aufbau des Vierquadrantennetzteils	5
3	Leistungselektronik	7
3.1	Kennwerte	7
3.2	Auslegung des Ausgangsfilters und des Eingangskondensators	9
3.3	Schalttopologien	13
3.4	Auslegung der Phasenstromregelung	25
3.5	Vergleich zwischen Metal-Oxid-Silizium (MOS) und Gallium-Nitrid (GaN) Transistoren	34
3.6	Auswahl des passenden GaN-Transistors	35
3.7	Thermische Anbindung der Leistungselektronik	37
4	Gesamtsystemregelung	39
4.1	Verhalten der parallel geschalteten Phasen	39
4.2	Beschreibung des Gesamtsystemreglers	40
4.3	Modell des Gesamtsystems	41
4.4	Vergleich des beschriebenen Modells mit der Schaltungssimulation	43
5	Systemeffizienz	47
6	Schutzschaltung	51
6.1	Halbbrücken-Schutzschaltung innerhalb einer Phase	51
6.2	Globale Schutzschaltung	54
7	Digitale Verarbeitung und Schnittstellen	57
7.1	Anforderungen an die Digitalelektronik	57
7.2	Mikrokontroller	58
7.3	Eingabemethoden	59
7.4	Kommunikationsschnittstellen	59
7.5	Signalgenerierung über Direkte Digitale Synthese	60
8	Messelektronik	63
8.1	Phasenstrommessung	63
8.2	Ausgangsstrommessung	65
8.3	Interne und externe Spannungsmessung	65
8.4	Sinus-Peak-Detektion	67
9	Zusammenfassung und Ausblick	69

Literaturverzeichnis	i
Abbildungsverzeichnis	v
Tabellenverzeichnis	vii

1 Motivation und Ziele

Am Deutschen Zentrum für Luft- und Raumfahrt e.V. (DLR) am Institut für Robotik und Mechatronik werden unter anderem Roboter für die zukünftige Unterstützung des Menschen entwickelt. Dazu gehören auch der Einsatz in Weltraummissionen. Die dort verwendeten elektronischen Komponenten unterliegen Anforderungen bezüglich der elektromagnetischen Verträglichkeit (EMV) basierend auf der Norm MIL-STD-461E-CS101 [4]. Mögliche Störeinkopplungen können feld- wie auch leitungsgebunden erfolgen. Mittels einer Vorkonformitätsprüfung können Störeinflüsse der entwickelten elektrotechnischen Komponente frühzeitig erkannt und behoben werden. Dieses Vorgehen vereinfacht die Entwicklung komplexer Systeme und verringert die Anzahl von extern durchgeführten Konformitätsprüfungen durch vorzeitige Fehlererkennung. Der schematische Aufbau eines Konformitätstests für leitungsgebundene Störeinflüsse ist in Abbildung 1.1 dargestellt.

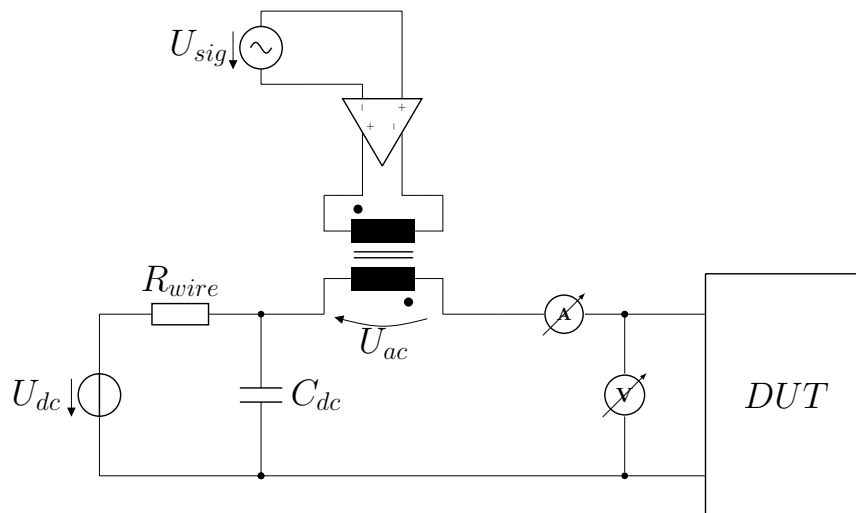


Abb. 1.1 – Schematischer Aufbau der bisherigen Testumgebung [4]

Bei diesem Aufbau wird über ein Gleichspannungsnetzgerät U_{dc} eine konstante Versorgungsspannung für das DUT bereitgestellt. Um mögliche Spannungsschwankungen von U_{dc} zu verringern, werden Kondensatoren C_{dc} mit einer hohen Kapazität parallel zur konstanten Versorgungsspannung eingesetzt. Diese dienen zur Zwischenspeicherung zurückgespeicherter Energie vom DUT im Senkenbetrieb und zur Abstützung der Gleichspannung U_{dc} bei einer zusätzlichen Wechselspannung U_{ac} . Zur Erzeugung dieses Wechselanteils, das zur Gleichspannung addiert wird, wird ein Transformator benötigt. Dieser besitzt einen breiten Übertragungsbereich und einen hohen Sättigungsstrom,

um breitbandige Störeinkopplungen bei einem hohen Ausgangsstrom zu realisieren. Mittels eines Funktionsgenerators U_{sig} wird das gewünschte Störsignal erzeugt und über einen nachfolgenden breitbandigen Verstärker aufbereitet. Das verstärkte Signal wird über der Primärspule des Transformators angelegt und auf die Sekundärspule transformiert, um U_{ac} zu erhalten. Diese Wechselspannung wird mit der Gleichspannung addiert und bilden zusammen die über dem DUT anliegende Spannung. Um die gewünschten Störsignalwerte entsprechend der Spezifikationen zu verifizieren, muss der in das DUT fließende Strom wie auch die unmittelbar über dem DUT angelegte Spannung gemessen und gegebenenfalls angeglichen werden.

Dieser vorgestellte Messaufbau ist aufgrund der benötigten Geräte und Komponenten kaum transportabel und nicht kompakt. Ziel dieser Arbeit ist es, ein kompaktes und effizientes System theoretisch zu entwerfen, welches die nachfolgenden Kennwerte erfüllt und eine automatische Messung ermöglichen soll. Der neue Messaufbau, der in Abbildung 1.2 illustriert ist, besteht aus dem zu entwerfenden *TestingSupply* das mit dem DUT verbunden ist. Die Verbindung besteht aus den Versorgungsleitungen und aus zwei Messleitungen (*Sense+* und *Sense-*) zur exakten Spannungsmessung über dem DUT.

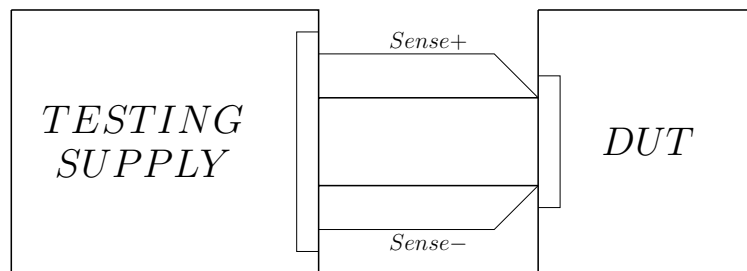


Abb. 1.2 – Schematischer Aufbau der geplanten Testumgebung

Die Norm MIL-STD-461E-CS101 beinhaltet die Prüfung des zu testenden Gerätes (DUT) innerhalb eines Frequenzbereiches von 30 Hz bis 150 kHz vor, jedoch ist eine Signalabsenkung von -29,5 dB bei 150 kHz vorgesehen [4]. Die Zielsetzung dieser Arbeit setzt einen erweiterten Frequenzbereich von 20 Hz bis 100 kHz in der das Ausgangssignal nicht gedämpft wird voraus und übertrifft damit die genannte Norm.

Eine übliche Systemspannung für Weltraumgeräte beträgt 28 Volt. Mit dem Vierquadrantennetzteil soll es möglich sein, diese in doppelter Höhe am Ausgang einzustellen. Zudem ist eine Ausgangsspannung von bis zu -2 Volt für weitere Tests vorgesehen. Die Spannung am Ausgang soll damit variabel im Bereich von -2 bis 56 Volt eingestellt werden können.

Der Versorgungs-Gleichstrom durch den DUT soll bis zu 20 Ampere betragen und es soll ein zusätzlicher Wechselstromanteil von bis zu +-15 Ampere zur Verfügung gestellt werden. Damit befindet sich der mögliche Ausgangsstrom im Bereich von -15 bis 35 Ampere.

Für den Einsatz in der Leistungstopologie soll ein schaltender Verstärker der Klasse-D verwendet werden. Dieser ist im Vergleich zu Verstärkern der Klassen A bis C, die im Linearbetrieb operieren, für den gewünschten Ausgangsleistungsbereich bis zu 1960 W weniger verlustbehaftet. Für den Betrieb des Vierquadrantennetzteiles ist es zudem notwendig, neben dem Wechselspannungsanteil des Störsignales zusätzlich einen Gleichspannungsanteil zur Versorgung des DUT zu gewährleisten. Dieser Gleichspannungsanteil kann von Verstärkern der Klassen C und E nicht zur Verfügung gestellt werden [8]. Diese sind damit ungeeignet für den Einsatz im Vierquadrantennetzteil. Daher stellt ein Klasse-D-Verstärker die passende Wahl für den Anwendungszweck dar.

Klasse-D-Verstärker werden häufig als Audioendstufen auf Grund ihres hohen Wirkungsgrades wie auch wegen des geringen Platzbedarfes verwendet. Diese Endstufen besitzen oftmals eine maximale Bandbreite von bis zu 50 kHz bei bereits -3 dB Dämpfung, was den Randbedingung dieser Arbeit nicht entspricht. Zudem sind kommerziell erhältliche Endstufen für induktiv-ohmsche Lasten, wie Lautsprecher, ausgelegt. Das DUT kann zur Stabilisierung der Eingangsspannung Kondensatoren besitzen, die eine kapazitiv-ohmsche Last für die Endstufe darstellen und damit zu einer potenziellen Instabilität der Endstufe führen kann. Ein weiteres Kriterium für die Eigenentwicklung eines Vierquadrantennetzteiles ist die fehlende Möglichkeit bei kommerziell erhältlichen Endstufen einen Gleichspannungsanteil zu generieren, da dieser bei Lautsprechern nicht erwünscht ist und vermieden wird.

2 Aufbau des Vierquadrantennetzteils

In diesem Kapitel wird die Systemstruktur des Vierquadrantennetzteils, die in Abbildung 2.1 dargestellt ist, näher erläutert. Diese unterteilt sich in weitere Modulblöcke, die in den nachfolgenden Kapiteln näher betrachtet werden.

Das Modul für Leistungselektronik und dessen Stromregelung bildet die Basis des Vierquadrantennetzteils und wird in Kapitel 3 behandelt und erläutert.

Um mögliche Fehlerzustände, die die Leistungselektronik betreffen, zu detektieren und bei Bedarf diese mittels Deaktivierung der schaltenden Transistoren zu schützen, wurde ein Sicherheitsmodul eingeführt. Ein möglicher Defekt stellt eine zu hohe Ausgangsspannung, ein zu hoher Ausgangsstrom oder eine zu große Erwärmung der Leistungselektronik dar. Diese Sicherheitsbeschaltung wird in Kapitel 6 weitergehend behandelt.

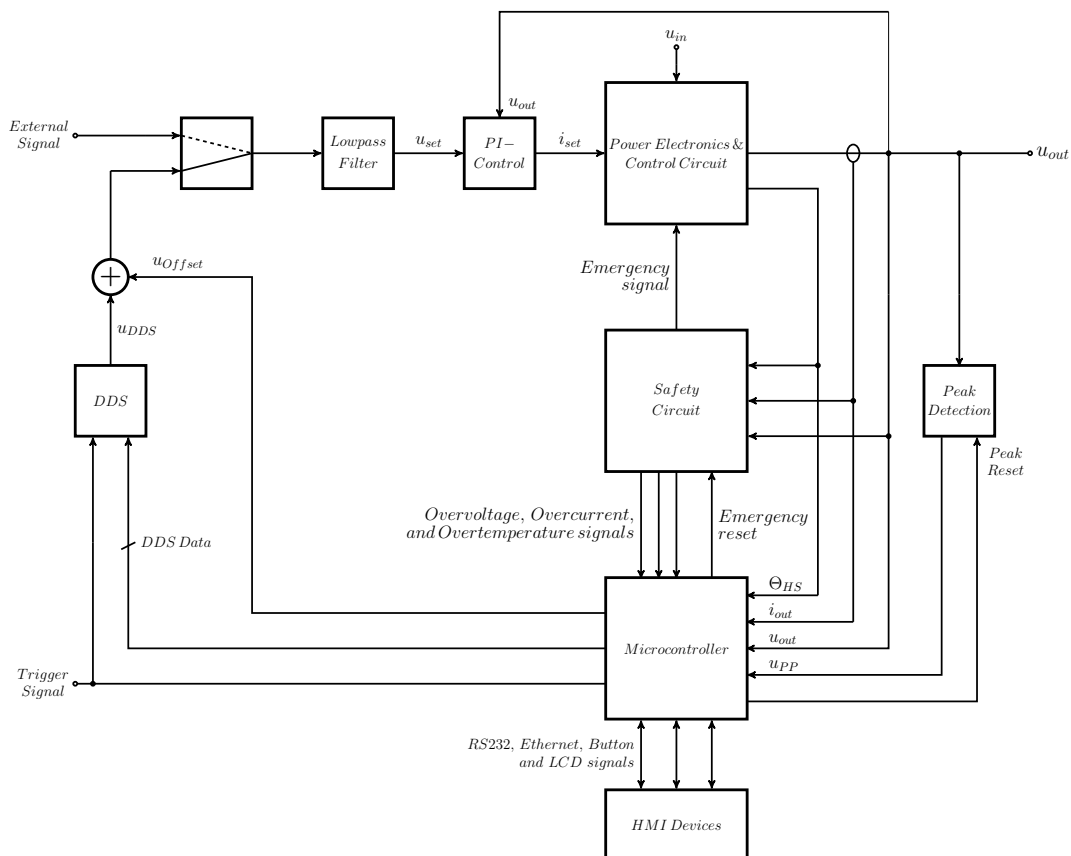


Abb. 2.1 – Aufbau des Gesamtsystems des Vierquadrantennetzteils

Die Ausgangsspannung u_{out} , der Ausgangsstrom i_{out} und die Temperatur der Schalttransistoren Θ_{HS} werden von der Messelektronik, die in Kapitel 8 beschrieben wird, gemessen und bereitgestellt. Zur Generierung der zu verstärkenden Testsignale wird ein DDS-Generator, wie er in Kapitel 7 beschrieben ist, verwendet. Zudem ist es möglich, neben dem intern generierten Testsignal ein externes analoges Signal zu verwenden.

Um ein stabiles System zu erhalten, wird die Leistungselektronik über einen übergeordneten Proportional-Integral-Regler (PI-Regler) stabilisiert und eingestellt. Die Regelung des Gesamtsystemes wird im Kapitel 4 behandelt.

Befindet sich das Netzteil im Sinusbetrieb, so wird mittels eines Scheitelspannungs-Detektors, der in Kapitel 8 vorgestellt wird, die generierte Ausgangsspannungsamplitude gemessen und bei Abweichungen nachregelt.

Zur Überwachung der Fehlerzustände und der zu messenden Signale wird ein Mikrokontroller eingesetzt, der neben diesen Tätigkeiten zusätzlich für das Konfigurieren des DDS zuständig ist. Des Weiteren kann der Mikrokontroller, wie dem Kapitel 7 zu entnehmen ist, über eine Mensch-Maschine-Schnittstelle (HMI) mittels Ein- und Ausgabeelemente eingestellt werden. Die Rückstellung eines Fehlerzustandes darf nur über die Freigabe des Mikrokontrollers erfolgen.

Die Effizienz des gesamten Systemes ist in Kapitel 5 berechnet.

3 Leistungselektronik

Entsprechend der bereits in Kapitel 1 erwähnten Spezifikationen wird in diesem Kapitel die Auslegung der Leistungselektronik bezogen auf die Vor- und Nachteile der behandelten Lösungsansätze vorgestellt. Des Weiteren wird auf die mögliche Stromregelung der Leistungselektronik näher eingegangen. Die Leistungstopologie basiert auf zwei abwechselnd schaltenden Transistoren die eine Rechteckspannung an deren Ausgang erzeugen. Diese Schalter sind in Reihe verschalten und bilden damit eine Halbbrücke, die von der Systemspannung (u_{in}) versorgt wird. Diese Rechteckspannung besitzt eine Frequenz die gleich der Schaltfrequenz (f_s) der Schalter entspricht und eine Pulsbreite während einer Schaltperiode, die nachfolgend als Tastverhältnis (D) bezeichnet ist. Um eine konstante Ausgangsspannung (u_{out}) zu erzielen, wird ein LC-Filter (L_o, C_o) an den Ausgang der Transistoren geschaltet. Über das Tastverhältnis kann die Ausgangsspannung eingestellt werden [16].

3.1 Kennwerte

Die Definition Vierquadrantenbetrieb bedeutet, dass das Netzteil als eine Strom- und Spannungsquelle in den Quadranten *I* und *III* arbeitet, aber auch die Möglichkeit besitzt als eine Strom- und Spannungssenke zu fungieren.

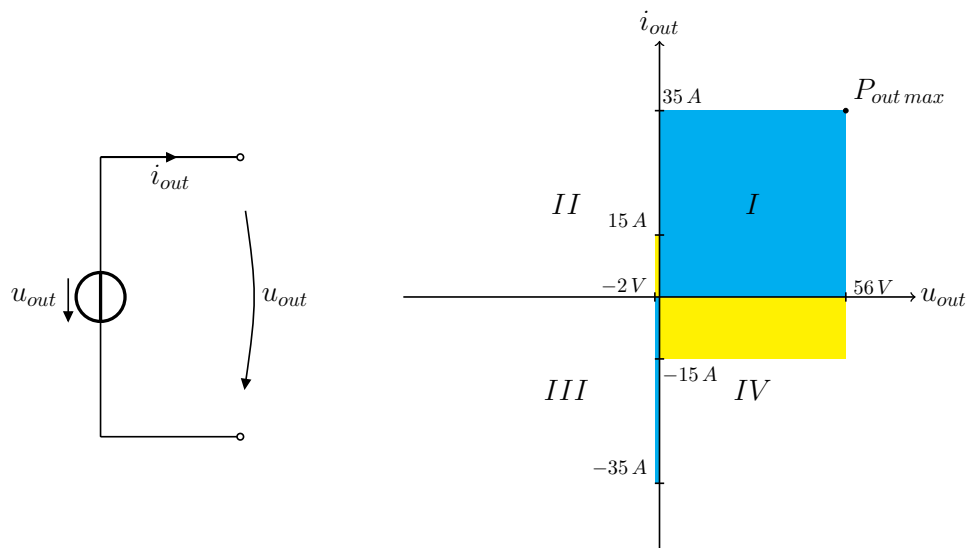


Abb. 3.1 – Möglicher Quadrantenbetrieb des Klasse-D-Netzteiles

Dies geschieht in den Quadranten *II* und *IV*, die in der Abbildung 3.1 wiedergegeben werden. Der Betrieb im zweiten und vierten Quadranten ist notwendig, damit die Ladung, die sich in den möglichen Eingangskondensatoren des DUTs befindet, entnommen werden kann, um die gewünschte Signalform zu erhalten. Aufgrund der Annahme, dass das DUT keine interne Energiequelle besitzt, befindet sich das Netzteil zur Zeit der Umladung der Kondensatoren des DUT im Senkenbetrieb. Hierbei wird die gespeicherte Energie des zu testenden Gerätes (DUT) in die Eingangskondensatoren des Vierquadrantennetzteiles übertragen und dort zwischengespeichert. Die entsprechende Auslegung der Eingangskondensatoren des Vierquadrantennetzteiles ist in Abschnitt 3.2.2 behandelt.

Anhand der Ziele und Vorgaben sind die zu erzielende Ausgangsspannung (u_{out}) und der Ausgangsstrom (i_{out}) bekannt. Zur Auslegung der Leistungselektronik wurden Spezifikationen entsprechend der Formeln 3.1 bis 3.4 festgelegt.

$$u_{out_{max}} = 56 \text{ V} \quad (3.1)$$

$$u_{out_{min}} = -2 \text{ V} \quad (3.2)$$

$$i_{out_{max}} = 35 \text{ A} \quad (3.3)$$

$$i_{out_{min}} = -15 \text{ A} \quad (3.4)$$

Anhand der vorangegangenen Spezifikationen kann die maximale Ausgangsleistung $P_{out_{max}}$ errechnet werden.

$$P_{out_{max}} = u_{out_{max}} \cdot i_{out_{max}} = 1960 \text{ W} \quad (3.5)$$

Die damit benötigte Eingangsleistung ($P_{in_{max}}$) kann über die Ausgangsleistung ($P_{out_{max}}$) und dem angenommenen Wirkungsgrad der Leistungselektronik ($\epsilon_{expected}$) von 95 % berechnet werden. Anhand dieses Wertes und der minimalen Eingangsspannung lässt sich der durchschnittliche Stromfluss ($i_{in_{avg}}$) des Einganges bestimmen.

$$P_{in_{max}} = \frac{P_{out_{max}}}{\epsilon_{expected}} = \frac{1960 \text{ W}}{0,95} \approx 2063 \text{ W} \quad (3.6)$$

$$i_{in_{avg}} = \frac{P_{out_{max}}}{u_{in}} = \frac{2063 \text{ W}}{80 \text{ V}} \approx 25,8 \text{ A} \quad (3.7)$$

Die Systemspannung des Vierquadrantennetzteiles (u_{in}) soll 80 Volt betragen und wird durch ein kommerziell erhältliches Netzteil zur Verfügung gestellt. Dieses sollte entsprechend der Formel 3.6 eine Mindestausgangsleistung von 2063 Watt besitzen.

$$u_{in} = 80 \text{ V} \quad (3.8)$$

3.2 Auslegung des Ausgangsfilters und des Eingangskondensators

Bevor die Bestimmung der Leistungshalbleiter erfolgt, müssen deren Betriebspunkte bestimmt werden. Dies ist bis auf die Ausnahme der Schaltfrequenz f_s im vorherigen Abschnitt gesehen. Die Berechnung der Mindestschaltfrequenz $f_{s_{min}}$ geht in dieser Arbeit einher mit der nachfolgenden Auslegung des Ausgangsfilters. Zudem enthält dieser Abschnitt die Dimensionierung des Eingangskondensators basierend auf der Modulationsfrequenz der Ausgangsspannung.

3.2.1 Berechnung Ausgangsfilter

Damit der Ausgangsfilter bestimmt werden kann, wurde festgesetzt, dass die maximale Störspannung am Ausgang maximal 130 mV peak-peak (mVpp) betragen darf. Diese Störspannung entspricht bei einer Rechtecksspannung von 80 Vpp am Eingang des LC-Filters einer Dämpfung von -58 dB. Die Rechtecksspannung entsteht durch die Schaltvorgänge der Transistoren. Für die Berechnung wurde nur die erste harmonische Schwingung betrachtet und in der folgenden Formel verwendet.

$$A_{100\text{ mV}} = 20 \cdot \log \left(\frac{0,13\text{ V}}{\left(\frac{4}{\pi}\right) \cdot 80\text{ V}} \right) = -58\text{ dB} \quad (3.9)$$

Um die Mindestschaltfrequenz zu ermitteln ist die Störspannung gleich der Dämpfung eines vereinfachten, gedämpften LC-Gliedes mit einer Dämpfung von $-58 \frac{\text{dB}}{\text{dec}}$ zu setzen. Zur Bestimmung der Eckfrequenz dieses Ausgangsfilters wurde eine maximale Erhöhung der Ausgangsamplitude von 50 % bei 100 kHz im Leerlauf eines ungedämpften LC-Gliedes festgelegt. Je größer die Eckfrequenz des Filters im Vergleich zu der maximalen Modulationsfrequenz ist, desto weniger stark wird diese durch den ungedämpften Ausgangsfilter angehoben. Dennoch erhöht sich somit auch die Mindestschaltfrequenz. Aus diesen Gründen wurde die Eckfrequenz des LC-Filters nahe an die maximale Modulationsfrequenz angepasst, um eine geringere Schaltfrequenz und damit geringere Transistorenverluste zu erhalten.

Hieraus ergibt sich eine -6 dB Eckfrequenz des LC-Filters von 160 kHz und dient als Grundlage für die nachfolgenden Berechnungen.

Aus der Gleichung 3.10 ergibt sich folglich eine minimale Schaltfrequenz von 4,5 MHz.

$$f_{s_{min}} = \left(10^{\frac{-58\text{ dB}}{-40\text{ dB}} \frac{\text{dB}}{\text{dec}}} \right) \cdot f_c = 28,18 \cdot 160\text{ kHz} \approx 4,5\text{ MHz} \quad (3.10)$$

Anhand der Filtereckfrequenz von 160 kHz lässt sich der Zusammenhang zwischen der Ausgangsinduktivität L_o und der Ausgangskapazität C_o anhand der Formel 3.11 herleiten.

$$\frac{1}{\sqrt{L_o \cdot C_o}} = \omega_c = 2 \cdot \pi \cdot f_c = 2 \cdot \pi \cdot 160\text{ kHz} = 1005310 \frac{\text{rad}}{\text{s}} \quad (3.11)$$

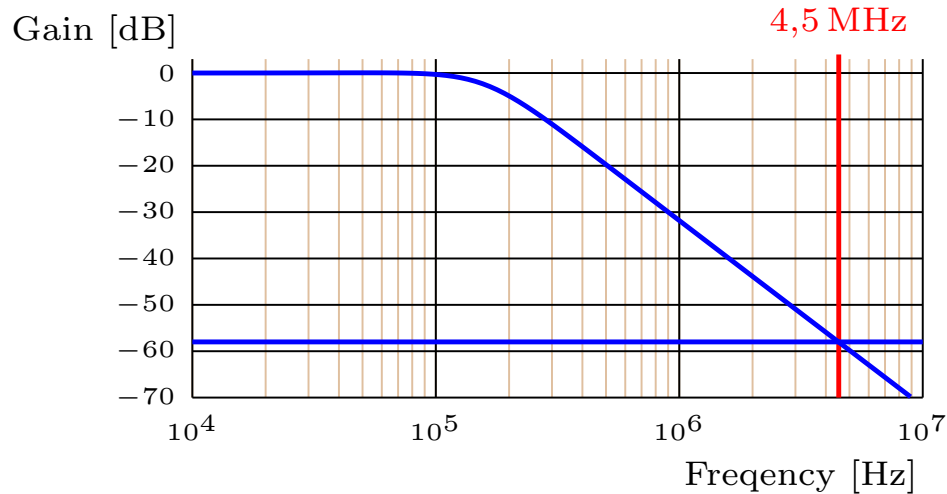


Abb. 3.2 – Übertragungsfunktion des vereinfachten Ausgangsfilters

Die Ausgangsinduktivität (L_o) kann mittels des maximalen Wechselstroms (Δi_L) von ± 15 Ampere bei der obersten Modulationsfrequenz ($f_{mod\ max}$) von 100 kHz berechnet werden. Hierfür wird angenommen, dass das Ausgangspotenzial stets 56 Volt ist. Die Ausgangslast entspricht damit einer idealen Spannungsquelle mit 56 Volt ohne Serienwiderstand ($R_{Load} = 0\ \Omega$). Die noch mögliche Spannungsänderung über der Ausgangsinduktivität entspricht dem noch möglichen Spannungshub (Δu_L) von 11 Volt, der aus in Formel 3.12 resultiert.

$$\Delta u_L = \frac{u_{in} - (u_{out\ max} - u_{out\ min})}{2} = \frac{80\ \text{V} - (56\ \text{V} - -2\ \text{V})}{2} = 11\ \text{V} \quad (3.12)$$

Aufgrund des Kurzschlusses gegen 56 Volt am Ausgang liegt Δu_L alleinig über der Spule an und kann somit über die Formel 3.13 berechnet werden.

$$\begin{aligned} L_{o\ max} &= \frac{\Delta u_L}{(2 \cdot \pi \cdot f_{mod\ max}) \cdot \Delta i_L} = \\ &= \frac{11\ \text{V}}{(2 \cdot \pi \cdot 100\ \text{kHz}) \cdot 15\ \text{A}} = \\ &= 1,167\ \mu\text{H} \Rightarrow \boxed{L_o = 1\ \mu\text{H}} \end{aligned} \quad (3.13)$$

Wegen der kommerziellen Erhältlichkeit wird eine Ausgangsinduktivität von $1\ \mu\text{H}$ gewählt [6] [12] [17]. Die Ausgangskapazität C_o kann über die Formel 3.11 aufgrund der in Formel 3.13 errechneten Ausgangsinduktivität L_o bestimmt werden. Diese ist entsprechend der Formel 3.14 auf $1\ \mu\text{F}$ zu dimensionieren [16]. Je größer die zusätzliche kapazitive Last am Ausgang des Verstärkers ist, desto geringer ist die zu erreichende Bandbreite.

$$C_o = \frac{1}{L_o \cdot \omega_c^2} = \frac{1}{1 \mu\text{H} \cdot \left(1005310 \frac{\text{rad}}{\text{s}}\right)^2} \approx \boxed{1 \mu\text{F}} \quad (3.14)$$

3.2.2 Auslegung des Eingangskondensators

Der Eingangskondensator C_{in} des Vierquadrantenetzteiles dient sowohl als Puffer des Eingangskreises, als auch zur Zwischenspeicherung der vom DUT zurück gespeisten Energie während des Betriebs als Senke im zweiten und vierten Quadranten. Zur Auslegung wurde eine rein kapazitive Last als DUT angenommen, die bei der niedrigsten Betriebsfrequenz f_{modmin} von 20 Hz, einer Ausgangsspannung von 56 Vpp und einem Ausgangsstrom von 30 App betrieben wird. Mittels dieser Auslegung kann die maximale Energie, die im Eingangskondensator gespeichert werden muss, unabhängig von der Kapazität des DUT berechnet werden. Der resultierende Verlauf der Spannung u_{out} und des Stromes i_{out} ist in Abbildung 3.3 dargestellt.

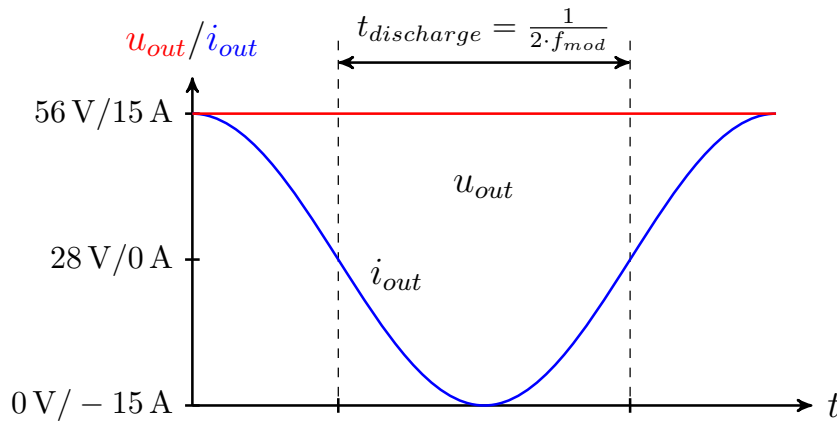


Abb. 3.3 – Ausgangsspannungs- und Ausgangsstromverlauf bei kapazitiver Last im Sinusbetrieb

Bei der folgenden Berechnung der Energieunterschiede durch das Entladen des DUTs wird der Wirkungsgrad des Wandlers im Rückwärtsbetrieb vernachlässigt und als ideal betrachtet. Zur Bestimmung der umgeladenen Energie wird das Integral der Leistung bei dem Entladevorgang basierend auf der Formel 3.15 berechnet [16].

$$\Delta E = \int_{t_1}^{t_2} P(t) dt = \int_{t_1}^{t_2} u_{out}(t) \cdot i_{out}(t) dt \quad (3.15)$$

Im oben genannten Beispiel beschreibt die Ausgangsspannung u_{out} eine konstante Ausgangsspannung entsprechend der Formel 3.16

$$u_{out}(t) = 56 \text{ V} \quad (3.16)$$

Der Strom entspricht in diesem Beispiel einer Cosinus-Kurve wie sie in Formel 3.17 beschrieben ist.

$$i_{out}(t) = 15 \text{ A} \cdot \cos(2 \cdot \pi \cdot 50 \text{ Hz} \cdot t) \quad (3.17)$$

Durch das Einsetzen der Formeln 3.16 und 3.17 in die Formel 3.15 kann die übertragene Energie ermittelt werden.

$$\begin{aligned} \Delta E &= \int_{t_1}^{t_2} [56 \text{ V} \cdot (15 \text{ A} \cdot \cos(2 \cdot \pi \cdot 50 \text{ Hz} \cdot t))] dt = & (3.18) \\ &= 56 \text{ V} \cdot 15 \text{ A} \cdot \int_{t_1}^{t_2} [\cos(\underbrace{2 \cdot \pi \cdot 50 \text{ Hz} \cdot t}_{\omega_{mod}})] dt = \\ &= 840 \text{ W} \cdot \left[\frac{\sin(\omega_{mod} \cdot t)}{\omega_{mod}} \right]_{t_1=\frac{\pi}{2}}^{t_2=\frac{3 \cdot \pi}{2}} = \\ &= 840 \text{ W} \cdot \left[\frac{\sin(\omega_{mod} \cdot \frac{3 \cdot \pi}{2})}{\omega_{mod}} - \frac{\sin(\omega_{mod} \cdot \frac{\pi}{2})}{\omega_{mod}} \right] = \\ &= 840 \text{ W} \cdot \left(\frac{-2}{\omega_{mod}} \right) = 840 \text{ W} \cdot \left(\frac{-2}{2 \cdot \pi \cdot 20 \text{ Hz}} \right) = \\ &\approx -13,4 \text{ J} \end{aligned}$$

Entsprechend der Berechnung 3.18 werden 13,4 Joule während der Entladung der Kondensatoren des DUT in den Eingangskondensator C_{in} übertragen. Mittels der Betriebsspannung von 80 Volt und der maximal zulässigen Spannung über den Schalttransistoren von 100 Volt kann nun die Mindestgröße des Eingangskondensators C_{in} über die Ladungsänderung erfolgen. Hierfür ist zunächst die Bestimmung der bereits in den Eingangskondensatoren enthaltenen Energie ($E_{initial}$) und die maximal zu speichernde Energie notwendig (E_{max}).

$$E_{initial} = \frac{1}{2} \cdot C_{in} \cdot (80 \text{ V})^2 \quad (3.19)$$

$$E_{max} = \frac{1}{2} \cdot C_{in} \cdot (100 \text{ V})^2 \quad (3.20)$$

Aus der Differenz dieser Energien im Vergleich mit der umgeladenen Energie, kann die Mindestkapazität des Eingangskondensator errechnet werden.

$$E_{max} - E_{initial} \geq -\Delta E \quad (3.21)$$

$$\frac{1}{2} \cdot C_{in} \cdot ((100 \text{ V})^2 - (80 \text{ V})^2) \geq 13,4 \text{ J}$$

$$\Rightarrow C_{in} \geq \frac{13,4 \text{ J} \cdot 2}{((100 \text{ V})^2 - (80 \text{ V})^2)}$$

$$C_{in} \geq 7,44 \text{ mF}$$

Aus den Formeln 3.19 bis 3.21 ergibt sich eine Mindesteingangskapazität von 7,44 mF, damit ein sicherer Betrieb innerhalb der Spezifikationen gewährleistet ist.

3.3 Schalttopologien

Dieses Unterkapitel beschäftigt sich mit der Auswahl der passenden Klasse-D-Schalttopologie für diesen Einsatzbereich. Der primäre Fokus liegt auf dem Erreichen eines hohen Wirkungsgrades. Des Weiteren wird auf eine geringe Komplexität, wie auch auf die Realisierbarkeit geachtet.

3.3.1 Halbbrücke

Die Halbbrücke stellt die gebräuchlichste Schalttopologie der Klasse-D-Verstärker dar. In Abbildung 3.4 ist der schematische Aufbau einer Halbbrücke aufgezeigt und zeichnet sich aufgrund des geringen Bauteilaufwandes aus.

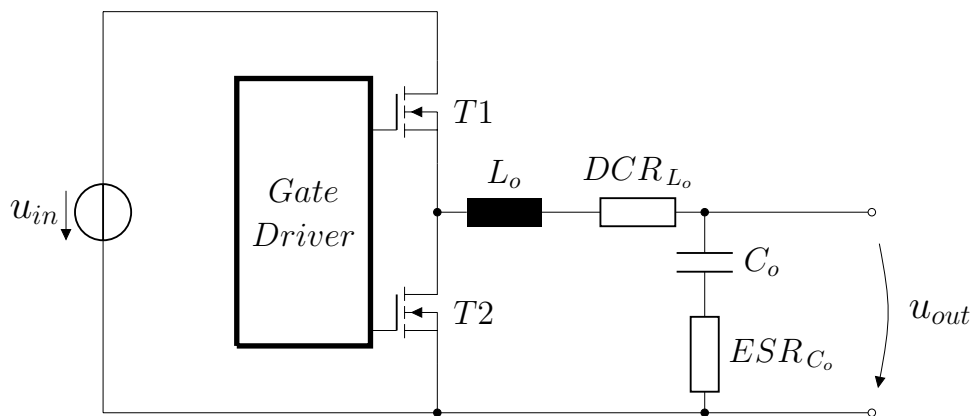


Abb. 3.4 – Aufbau einer herkömmlichen Klasse-D-Leistungsstufe [12]

Zu Beginn eines Schaltzyklus aus Abbildung 3.5 ist der Transistor $T1$ leitend und $T2$ sperrend. Damit liegt über der Spule L_o die Differenz der Eingangsspannung u_{in} zu der Ausgangsspannung u_{out} an. Während dieses Vorganges wird Energie in der Spule L_o und der Ausgangskapazität C_o gespeichert. Ist das gewünschte Tastverhältnis erreicht, wird $T1$ gesperrt. Damit ein potenzieller Kurzschluss durch gleichzeitiges Schalten von $T1$ und $T2$ vermieden wird, muss eine Totzeit zwischen den Schaltvorgängen eingehalten werden. Hierbei befinden sich $T1$ und $T2$ im gesperrten Zustand. Nach der Totzeit wird $T2$ leitend. Folglich wird der Ausgang durch die gespeicherte Energie der Spule L_o wie auch der Ausgangskapazität C_o versorgt. Sobald das Ende des Schaltzyklus erreicht wird, sperrt der Transistor $T2$. Nach Ablauf der Totzeit beginnt der Schaltzyklus erneut.

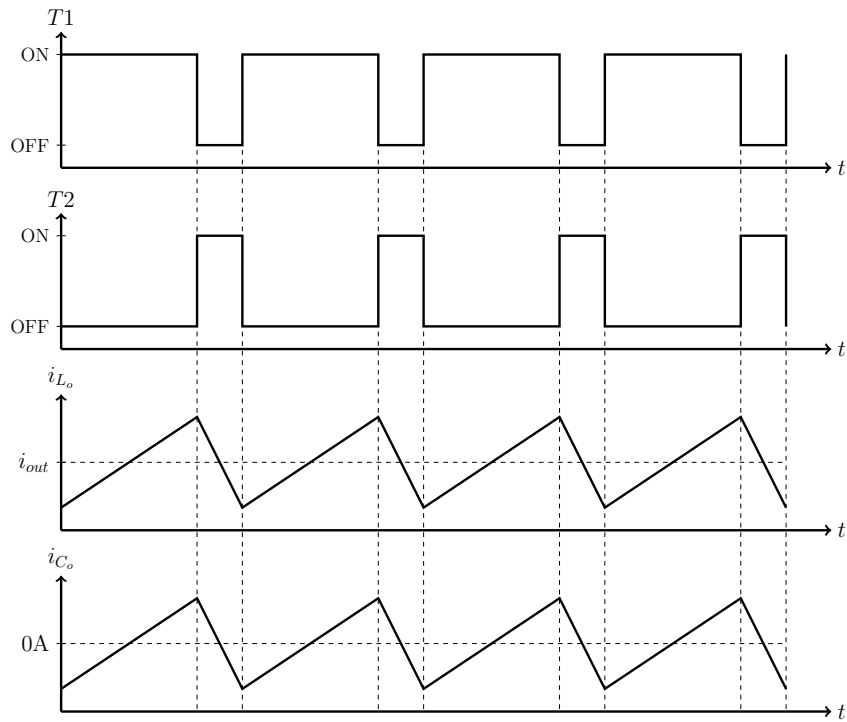


Abb. 3.5 – Typische Signalverläufe einer herkömmlichen Klasse-D Leistungsstufe im kontinuierlichen Vorwärtsbetrieb [16]

Durch das wechselnde An- und Ausschalten von Lasten entstehen Schaltverluste in den Transistoren. Bei beispielsweise dem Wechsel von der Leitend- zu der Sperrphase des schaltenden Transistors steigt die Spannung U_{DS} zwischen Drain und Source des Transistors konstant über die Schaltzeit an. Die Spannung über der induktiven Last sinkt damit konstant und es entsteht infolge der Aufrechterhaltung des Magnetischen Flusses in der Spule ein konstanter Spulen- beziehungsweise Drainstrom $i_D = i_{L_o}$. Kurz bevor der Transistor komplett sperrend ist, fällt der Drainstrom sehr schnell ab, wie in Abbildung 3.6 zu sehen ist.

Alle Transistorverluste, die beim Schalten von induktiven Lasten im Vorwärtsbetrieb einer einzigen Halbbrücke entstehen, lassen sich entsprechend Formel 3.22 berechnen [10].

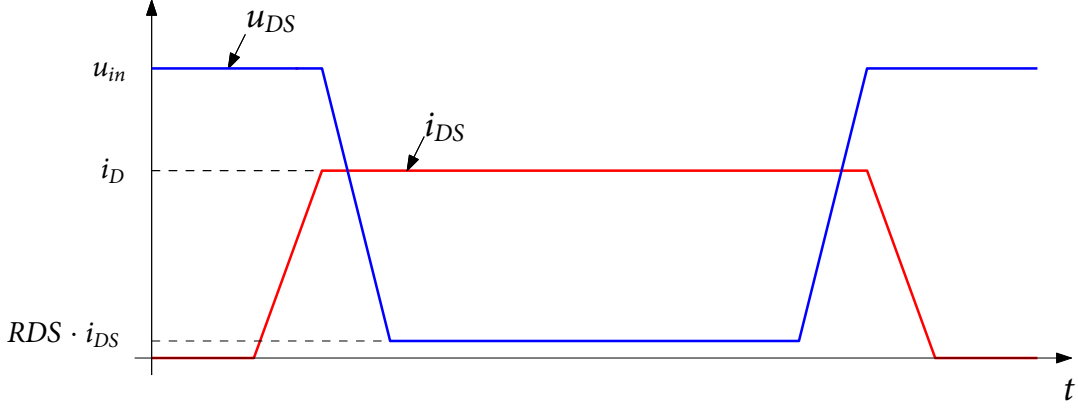


Abb. 3.6 – Vereinfachtes transientes Ausschaltverhalten eines Transistors an einer induktiven Last [16]

$$P_{total_{loss}}^{FET} = P_{losses}^{HSFET} + P_{losses}^{LSFET} \quad (3.22)$$

Die gesamten Transistorenverluste unterteilen sich in die Verluste des Highside- und des Lowsidetransistors entsprechend der Formeln 3.23 und 3.24. Die Highsideverluste P_{losses}^{HSFET} beinhalten die statischen Verluste $P_{on_{HS}}$ durch den $R_{DS_{ON}}$ -Widerstand des Transistors, die Gateverluste P_{gd} , die Schaltverluste P_{sw} durch das Schalten von induktiven Lasten wie die Verluste $P_{Q_{oss}}$, die durch das Umladen der Ausgangsladung entstehen.

$$P_{losses}^{HSFET} = P_{on_{HS}} + P_{gd} + P_{sw} + P_{Q_{oss}} \quad (3.23)$$

Die Lowsideverluste P_{losses}^{LSFET} sind ähnlich zu den Highsideverlusten mit dem Unterschied, dass aufgrund des spannungslosen Schaltens die Schaltverluste des Lowsidetransistors entfallen. Durch den verzögerten Anschaltzeitpunkt des Transistors $T2$ leitet zunächst dessen Bodydiode im Vorwärtsbetrieb. Die Ladung dieser Bodydiode muss in Folge der Umpolung entladen werden und damit entstehen die $P_{Q_{rr}}$ -Verluste.

$$P_{losses}^{LSFET} = P_{on_{LS}} + P_{gd} + P_{Q_{rr}} + P_{Q_{oss}} \quad (3.24)$$

Im Näheren berechnen sich die vorgestellten Verluste wie folgt [10] [24]:

$$P_{Q_{oss}} = \frac{1}{2} \cdot (u_{in} \cdot Q_{oss} \cdot f_s) \quad (3.25)$$

$$P_{Q_{rr}} = u_{in} \cdot Q_{rr} \cdot f_s \quad (3.26)$$

$$P_{Q_{gd}} = u_g \cdot Q_g \cdot f_s \quad (3.27)$$

$$P_{sw} = u_{in_{max}} \cdot i_{max}^{out} \cdot f_s \cdot \frac{Q_{gd} + Q_{gs2}}{i_g} \quad (3.28)$$

Die statischen Verluste der Highside werden anhand des effektiven Stroms durch den Transistor berechnet. Dieser ist abhängig vom Tastverhältnis D_{HS} und wird entsprechend der Formel 3.29 berechnet [10] [24].

$$P_{on_{HS}} = RDS_{HS} \cdot \left(i_{max}^{in} \cdot \sqrt{D_{HS}} \right)^2 \quad (3.29)$$

Analog hierzu werden die statischen Verluste des Lowside- $P_{on_{LS}}$ zu denen des Highside-Transistors berechnet [10] [24].

$$P_{on_{LS}} = RDS_{LS} \cdot \left(i_{max}^{in} \cdot \sqrt{1 - D_{HS}} \right)^2 \quad (3.30)$$

Diese Schaltverluste bilden die Grundlage für die Verlust- und Effektivitätsbetrachtungen der nachfolgenden Topologien sowie deren gegenseitigen Vergleich.

3.3.2 Switchmode Assisted Linear Verstärker

Der Switchmode Assisted Linear Verstärker basiert auf einer schaltenden Halbbrücke und einem Linearverstärker, der aus dem Operationsverstärker und den Transistoren $T1$ und $T2$ in Abbildung 3.7 besteht. Dieser regelt die Spannung über der Ausgangslast Z_{Load} mittels des Rückkopplungspfades $R1$ und $R2$ entsprechend der Stellspannung u_{set} . Die Transistoren $T1$ und $T2$ werden über die Spannungsquellen u_{offset} so eingestellt, dass die Transistoren sich in einem minimal leitenden Betriebspunkt befinden [7].

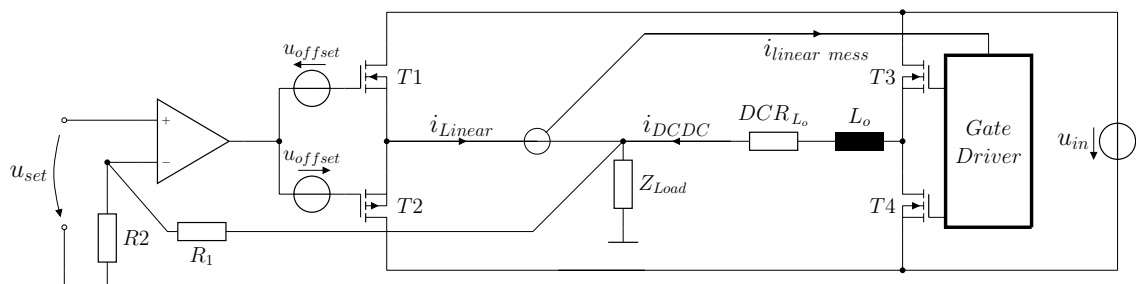


Abb. 3.7 – Aufbau eines Switchmode Assisted Linear Verstärkers [7]

Bei einem herkömmlichen Linearverstärker liegt die Spannungsdifferenz der Systemspannung (u_{in}) zur Ausgangsspannung über dessen Ausgangstransistoren an. Durch diese fließt der gleiche Strom wie in die Ausgangslast (i_{Load}). Dadurch entstehen hohe Verluste in den Transistoren bei hohem Ausgangsstrom und geringer Ausgangsspannung.

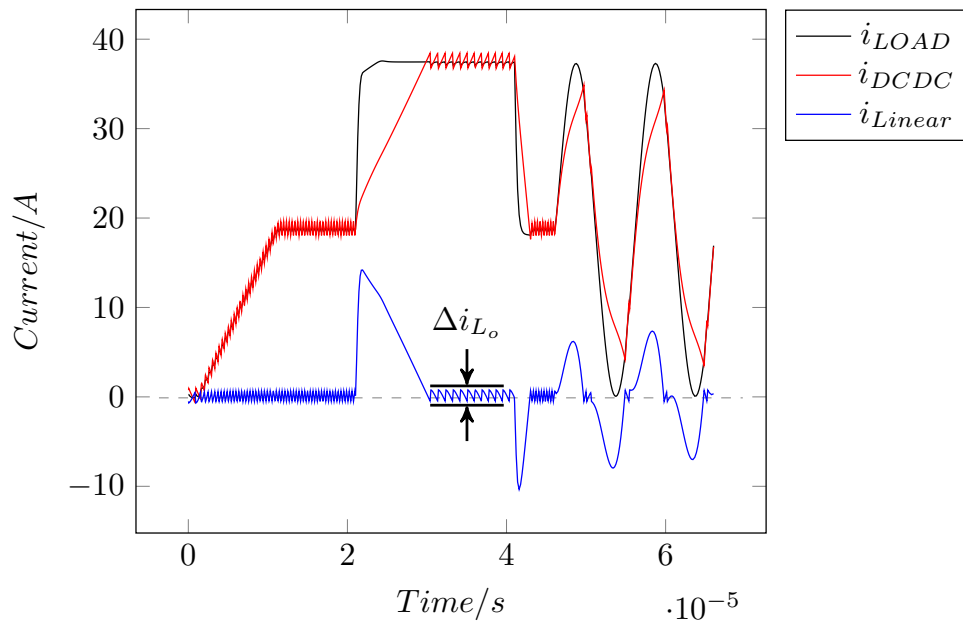


Abb. 3.8 – Stromverlauf eines Switchmode Assisted Linear Verstärkers [7]

In dieser Topologie wird der Linearverstärker durch eine schaltende Halbbrücke unterstützt. Diese besteht aus den Transistoren $T3$ und $T4$, die von einem Gatetreiber angesteuert werden. Dieser öffnet, sobald eine Obergrenze von $i_{linear\ mess}$ erreicht wurde $T4$ und schließt nach einer Totzeit $T3$. Nach dem Erreichen einer Untergrenze von $i_{linear\ mess}$ wird $T3$ wieder geöffnet und $T4$ geschlossen. Die Spule L_o dient hierbei als Filterelement und Energiespeicher.

Der Strom durch den Linearverstärker-Anteil (i_{Linear}) entspricht dem Ripplestrom Δi_{L_o} durch die Spule L_o bei langsamen Änderungen oder im stationären Betrieb der Ausgangsspannung. Damit besitzt diese Topologie den Vorteil einer hohen Ausgangssignalqualität und einem höheren Wirkungsgrad im Vergleich zu herkömmlichen Linearverstärkern [7].

Im Falle einer schnellen Änderung der Ausgangsspannung, wie in Abbildung 3.8 ab $20\ \mu s$ zu sehen ist, muss der Linearverstärker kurzzeitig nahezu den vollen Laststrom liefern, da der Strom in die Halbbrücke (i_{DCDC}) durch die Spule L_o zunächst gehemmt wird [7]. Der Switchmode Assisted Linear Verstärker bietet aufgrund der hohen Signalqualität eine Alternative zum Einsatz einer einzigen Halbbrücke. Dennoch entstehen bei dieser Topologie zusätzlich zu den Verlusten der Halbbrücke Verluste durch den Linearverstärker. Folglich sind die Verluste dieser Topologie in jedem Betriebspunkt schlechter als eine einzelne Halbbrücke. Die Linearverluste sind zudem abhängig von der zu stellenden Signalform und demnach schwer zu bestimmen. Aus diesen Gründen wurde von einer weitergehenden Betrachtung dieser Topologie in den nachfolgenden Kapiteln abgesehen.

3.3.3 Diode Clamped Multilevel Inverter

Als eine weitere Alternative zur Halbbrücken-Schalttopologie wird der Diode Clamped Multilevel Inverter (DCMI) betrachtet. Dieser unterscheidet sich zur Halbbrücke durch mehrere in Reihe geschaltete Transistoren. Mittels dieser können verschiedene Ausgangsspannungsstufen erzeugt werden. Ein Beispielaufbau eines 3-Level-DCMI ist in Abbildung 3.9 zu sehen.

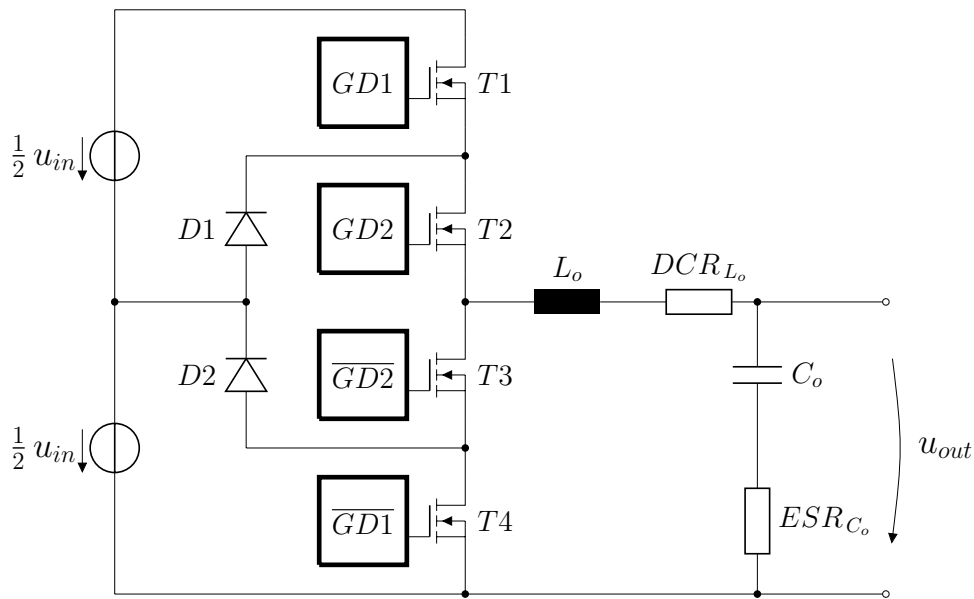


Abb. 3.9 – Aufbau eines 3-Level-Diode-Clamped-Multilevel-Inverters [19]

Hierbei kann durch den Einsatz von mehreren Spannungsquellen die Pulsweitenmodulation (PWM) auf mehrere Ausgangsspannungsebenen gehoben werden. Diese ist bei einem 3-Level-DCMI zwischen 0 Volt und $\frac{1}{2}U_{IN}$ sowie zwischen $\frac{1}{2}U_{IN}$ und U_{IN} . Die entstehende Signalform ist in Abbildung 3.10 in der rechten Grafik zu betrachten. Die Zwischenkreisspannung über den Transistoren $T3$ und $T4$ resultiert aus der Zusammensetzung der Signale $GD2 Output$ und $GD1 Output$. Um diese Spannungsebenen zu erhalten, muss mit den Dioden $D1$ und $D2$ die Spannung $\frac{1}{2}U_{IN}$ zwischen die Transistoren $T1$ und $T2$ sowie zwischen $T3$ und $T4$ gespeist werden.

Zur Erzeugung eines PWM-Signales sollen in diesem Beispiel das Stellsignal u_{set} mit zwei Dreieckssignalen mit unterschiedlichen Nullversatz verglichen werden. Ist beispielsweise das Stellsignal größer, als das Dreieckssignal für die Gruppe $GD2$, so schaltet der Gatetreiber $GD2$ den Transistor $T2$ leitend und der invertierende Gatetreiber $\overline{GD2}$ sperrt $T3$. Dies gilt analog für die Ansteuerung der Gruppe $GD1$.

Ist der Transistor $T1$ oder $T4$ sperrend, so dienen die Dioden als Versorgung des Ausgangs. Aufgrund der gegengleichen Ansteuerung dieser Transistoren leiten immer abwechselnd $D1$ und $D2$ [19].

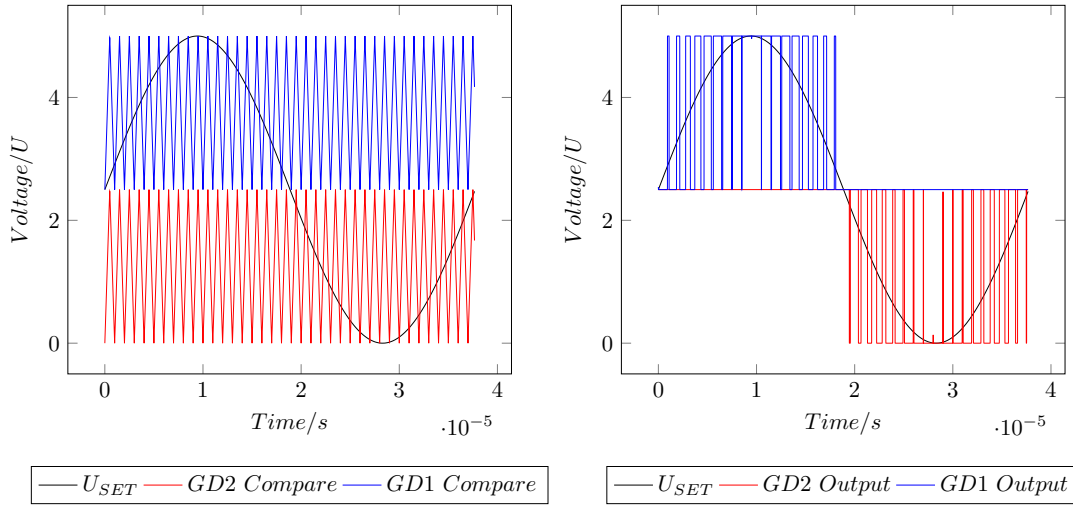


Abb. 3.10 – Mögliche PWM-Ansteuerung eines 3-Level-Diode-Clamped-Multilevel-Inverters [19]

Der DCMI bietet wegen der vorhandenen Spannungsebenen im Vergleich zur Halbbrücke eine mögliche höhere Signalqualität. Für diese Spannungsebenen müssen dennoch mehrere Eingangsspannungsquellen zur Verfügung gestellt werden, die galvanisch voneinander getrennt sein müssen. Zudem müssen mehrere Dreieckssignale mit einer Frequenz von 4,5 MHz erzeugt werden. Dies stellt hohe Anforderungen an das spätere Leiterplattendesign aufgrund der einzuhaltenden Signalintegrität dieser Signale, um ein Fehlverhalten des Netzteiles zu vermeiden.

Im Vergleich zu den Transistorverlusten der Halbbrücke fallen bei den Transistoren des DCMI in Folge der geringeren Spannungen über diesen weniger Verluste an. Diese berechnet sich entsprechend der Formel 3.31.

$$u_{in}^{level} = \frac{u_{in}}{(n_{Level} - 1)} \quad (3.31)$$

Wegen der gesenkten Spannung über den Transistoren ergeben sich geringere Schaltverluste P_{sw} . Die Verluste beim Umladen der Ausgangsladung $P_{Q_{oss}}$ der Bodydiode des Lowside-Transistors im Vorwärtsbetrieb $P_{Q_{rr}}$ werden demnach auch verringert. Die Gateverluste und die statischen Verluste entsprechen den Verlusten der Halbbrückentopologie auf Grund der gleichbleibenden Schaltfrequenz und des gleichbleibenden Stromes durch die Transistoren.

$$P_{Multilevel\ losses}^{HSFET} = P_{onHS} + P_{gd} + \frac{1}{(n_{Level} - 1)} \cdot (P_{sw} + P_{Q_{oss}}) \quad (3.32)$$

$$P_{Multilevel\ losses}^{LSFET} = P_{onLS} + P_{gd} + \frac{1}{(n_{Level} - 1)} \cdot (P_{Q_{rr}} + P_{Q_{oss}}) \quad (3.33)$$

Zusätzlich zu den genannten Transistorverlusten entstehen durch den Spannungsabfall über den Dioden $D1$ und $D2$ in Durchlassrichtung weitere Verluste $P_{D1/D2}$. Für die

Berechnung dieser wurden entsprechend die Formeln 3.34 bis 3.35 unter der Betrachtung der Diode des Typs STPS30M60DJF [37] der Firma STMicroelectronics angewendet. Diese eignen sich wegen ihrer Spezifikationen für den potenziellen Einsatz in dieser Schaltwandlertopologie.

$$P_{D1/D2} = u_{D1/D2}(i_{D1/D2}) \cdot i_{D1/D2} = u_{D1/D2}(i_{out}) \cdot i_{out} \quad (3.34)$$

Daraus ergibt sich:

$$\begin{aligned} P_{D1/D2_{max}} &= u_{D1/D2}(i_{out_{max}}) \cdot i_{out_{max}} = 0,75 \text{ V} \cdot 35 \text{ A} = \\ &= 26,25 \text{ W} \end{aligned} \quad (3.35)$$

Bei einem maximalen Ausgangsstrom von 35 A liegt über der Diode entsprechend des Datenblattes [37] eine Spannung von 0,75 V an. Durch die Verwendung der Formel 3.35 ergibt sich hieraus eine Verlustleistung der Dioden von 26,25 W [26].

3.3.4 Multiphasen Inverter

Als letzte zu vergleichende Schalttopologie wird der Multiphasen-Inverter aus Abbildung 3.11 betrachtet. Dieser besteht aus mehreren Halbbrücken, die nach der Filterinduktivität L_{PH} parallel miteinander verbunden sind und dort die nachfolgende Last am Ausgang versorgen. Der Schaltvorgang einer Halbbrücke einer Phase verläuft analog zu dem in Abschnitt 3.3.1 vorgestellten Schaltverlauf der Halbbrückentopologie.

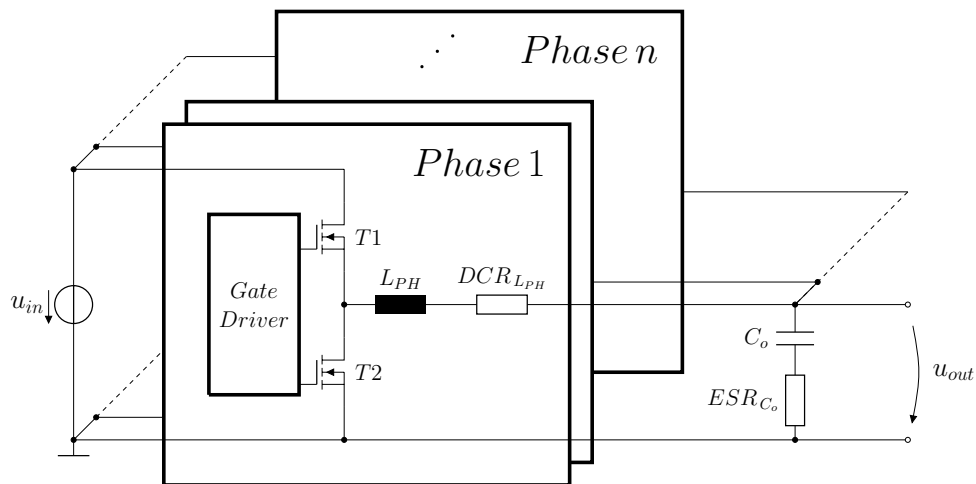


Abb. 3.11 – Aufbau eines Multiphasen Inverters

Ausgehend von den Anforderungen ist eine einstellbare Ausgangsspannung bis zu -2 Volt notwendig. Hierzu wurde die Eingangsspannung u_{in} in zwei Eingangsspannungen u_{in1} und u_{in2} in Abbildung 3.12 aufgeteilt. Die Spannung zwischen diesen

Spannungsquellen dient hierbei als Bezugspotential für die Ausgangslast und das Gesamtsystem. Somit ist es möglich, negative Spannungen am Ausgang zu erzeugen.

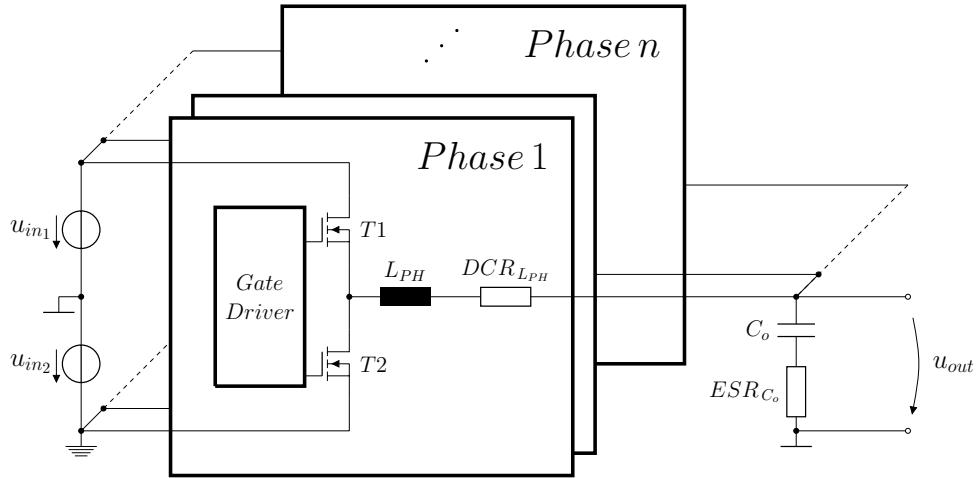


Abb. 3.12 – Aufbau eines Multiphasen Inverters mit negativer Ausgangsspannung

Die Summe aus der positiven Versorgungsspannung u_{in1} und aus der negativen Versorgungsspannung u_{in2} ergeben die Systemspannung u_{in} .

$$u_{in} = u_{in1} + u_{in2} = 80 \text{ V} \quad (3.36)$$

Im Einzelnen lässt sich u_{in1} mittels des in Formel 3.12 berechneten Sicherheitsabstandes (Δu_L) und des Betrags der maximalen positiven Ausgangsspannung ($u_{out_{max}}$) berechnen.

$$u_{in1} = \Delta u_L + |u_{out_{max}}| = 11 \text{ V} + 56 \text{ V} = 67 \text{ V} \quad (3.37)$$

Analog hierzu kann die negative Versorgungsspannung berechnet werden:

$$u_{in2} = \Delta u_L + |u_{out_{min}}| = 11 \text{ V} + 2 \text{ V} = 13 \text{ V} \quad (3.38)$$

Ein Vorteil des Multiphasen-Inverters ist die Aufteilung des Ausgangsstromes i_{out} auf mehrere Phasen. Entsprechend der Anzahl der Phasen (n_{Phasen}) wird der gesamte Ausgangsstrom bei einem identischen Aufbau auf jede Phase i_{PH} gleichmäßig verteilt. Dies ist in Formel 3.39 entsprechend beschrieben [11].

$$i_{PH} = \frac{i_{out}}{n_{Phasen}} \quad (3.39)$$

Aufgrund von möglichen Bauteilabweichungen muss mittels einer Stromregelung in jeder Phase für eine gleichmäßige Lastverteilung gesorgt werden. Dies erhöht den Bauteilaufwand und die Komplexität der Schaltung.

Zur Bestimmung der Ausgangsinduktivität jeder Phase (L_{PH}), die in Formel 3.40 erfolgt, muss die vom Gesamtsystem gesehene Ausgangsinduktivität der in Formel 3.13 berechneten Induktivität entsprechen. Diese gesamte Ausgangsinduktivität entspricht einer Parallelschaltung der einzelnen Phaseninduktivitäten [26].

$$L_{PH} = L_o \cdot n_{Phasen} \quad (3.40)$$

Zudem ist es bei der Multiphasentopologie möglich, den Schaltzeitpunkt jeder Phase anzupassen, um damit einen Phasenversatz zu generieren. Ist dieser für alle Phasen gleich, so kann die Schaltfrequenz jeder Phase ($f_{s_{PH}}$) entsprechend der Anzahl der Phasen gesenkt werden ohne dass die Schaltfrequenz des Gesamtsystems verringert wird. Dieser Zusammenhang ist in Formel 3.41 aufgezeigt.

$$f_{s_{PH}} = \frac{f_s}{n_{Phasen}} \quad (3.41)$$

Die Abbildung 3.13 zeigt die typischen Signalverläufe der Gatesignale und der Spulenströme eines Vier-Phasen-Inverters bei einem gleichen Phasenversatz zwischen den einzelnen Phasen.

Aufgrund der Verringerung der Schaltfrequenz und des Stromes entsprechend der Formeln 3.39 und 3.41 ergeben sich folgende Verluste für den Highside-Transistor ($P_{Multiphase\ losses}^{HSFET}$) und den Lowside-Transistor ($P_{Multiphase\ losses}^{LSFET}$):

$$P_{Multiphase\ losses}^{HSFET} = \frac{1}{n_{Phasen}^2} \cdot (P_{on_{HS}} + P_{sw}) + \frac{1}{n_{Phasen}} \cdot (P_{gd} + P_{Q_{oss}}) \quad (3.42)$$

$$P_{Multiphase\ losses}^{LSFET} = \frac{1}{n_{Phasen}^2} \cdot P_{on_{LS}} + \frac{1}{n_{Phasen}} \cdot (P_{Q_{rr}} + P_{gd} + P_{Q_{oss}}) \quad (3.43)$$

Bei der Betrachtung der Gesamtverluste des Multiphaseninverters werden die Verluste aus den Formel 3.42 und 3.43 addiert und entsprechend der Anzahl an Phasen multipliziert.

$$P_{Multiphase\ total_{loss}}^{FET} = n_{Phasen} \cdot (P_{Multiphase\ losses}^{HSFET} + P_{Multiphase\ losses}^{LSFET}) \quad (3.44)$$

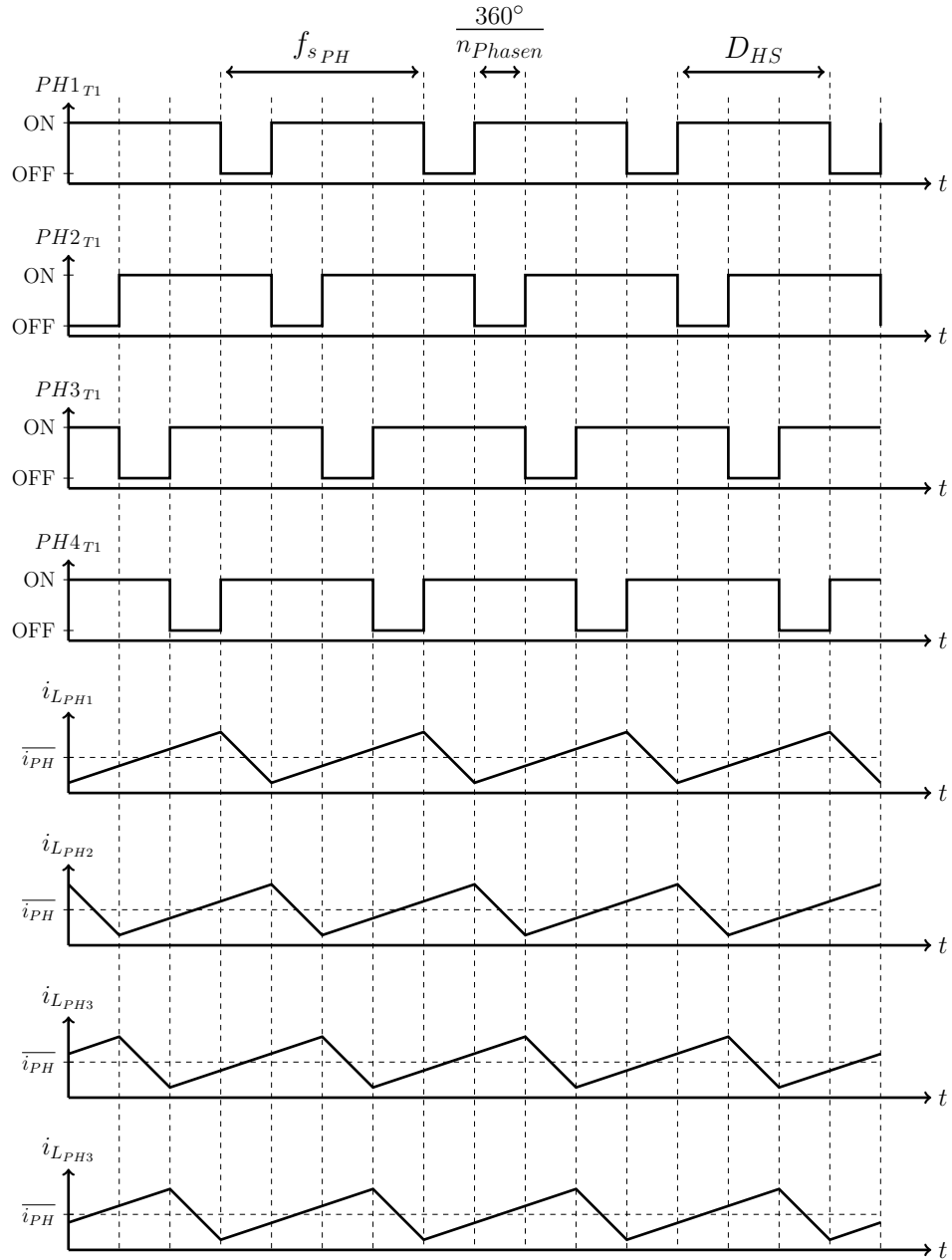


Abb. 3.13 – Typische Signalverläufe eines vierphasigen Inverters [11]

Hieraus ergibt sich, dass im Vergleich zu einer einzelnen Halbbrückentopologie die statischen Verluste aller Highside- ($P_{on_{MPHS}}$) und aller Lowside-Transistoren ($P_{on_{MPLS}}$) sowie die Schaltverluste aller Highside-Transistoren $P_{sw_{MP}}$ entsprechend der Anzahl der verbauten Phasen verringert werden. Alle weiteren Verluste bleiben im Vergleich unverändert.

$$P_{on_{MPHS}} = n_{Phasen} \cdot \left(\frac{1}{n_{Phasen}^2} \cdot P_{on_{HS}} \right) = \frac{P_{on_{HS}}}{n_{Phasen}} \quad (3.45)$$

$$P_{on_{MPLS}} = n_{Phasen} \cdot \left(\frac{1}{n_{Phasen}^2} \cdot P_{on_{LS}} \right) = \frac{P_{on_{LS}}}{n_{Phasen}} \quad (3.46)$$

$$P_{sw_{MP}} = n_{Phasen} \cdot \left(\frac{1}{n_{Phasen}^2} \cdot P_{sw} \right) = \frac{P_{sw}}{n_{Phasen}} \quad (3.47)$$

3.3.5 Auswahl der passenden Schalttopologie

Basierend auf der Zielsetzung einen hohen Wirkungsgrad des Netzteiles zu erlangen ist die Auswahl der passenden Schalttopologie entsprechend der Verluste der vorgestellten Schalttopologien erfolgt. Für den Verlustvergleich aus Abbildung 3.14 wurden die statischen Verluste des Gesamtsystems wie auch Spulen- und Kondensatorverluste vernachlässigt. Für alle Topologien wurde als Berechnungsgrundlage der Transistor GS61004B [34] herangezogen, um einen repräsentativen Vergleich zu erhalten. Das Tastverhältnis (D) entspricht 90%, da bis zu diesem Wert ein sicherer Betrieb in Bezug auf die Gateansteuerung stattfinden kann. Zudem ist bei diesem Tastverhältnis die resistiven Verluste ($P_{on_{MPHS}}$) des Highside-Transistors am höchsten. Die Transistoren sollen mit einem Gatestrom (i_g) von 4 Ampere betrieben werden. Basierend auf den Verlusten der Halbbrücke ($P_{loss_{HB}}$) wurden die Verluste der zu vergleichenden Topologien ($P_{loss_{topologie}}$) nach Formel 3.48 normiert.

$$n_p = \frac{P_{loss_{topologie}}}{P_{loss_{HB}}} \cdot 100 \% = \frac{P_{loss_{topologie}}}{37,6 \text{ W}} \cdot 100 \% \quad (3.48)$$

Für die Berechnung der Verlustleistungen sind ebenfalls folgende Annahmen getroffen worden:

$$u_{in} = 80 \text{ V} \quad D_{HS} = 90 \% \quad f_s = 4,5 \text{ MHz} \quad i_{out} = 35 \text{ A} \quad i_g = 4 \text{ A}$$

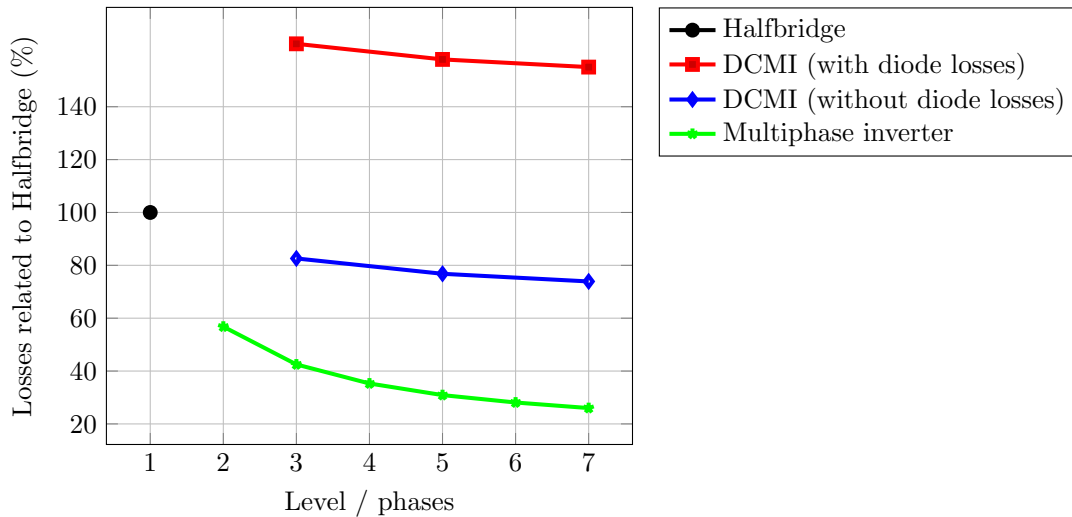


Abb. 3.14 – Vergleich der normierten Verluste der einzelnen Topologien in Abhängigkeit der Anzahl an Level oder Phasen

Der Vergleich zwischen den Verlusten aus Abbildung 3.14 zeigt, dass die Verluste der DCMI's und des Multiphasen-Inverters mit zunehmender Anzahl an Leveln beziehungsweise Phasen abnehmen. Aufgrund der hohen Diodenverluste des DCMI's (rote Kennlinie) ist der Einsatz dieser Schalttopologie ineffizienter als der Einsatz einer einzelnen Halbbrücke. Zusätzlich wurde eine DCMI Topologie mit einer idealen Diode untersucht. Diese ist mit einer blauen Kennlinie in Abbildung 3.14 dargestellt und besitzt somit keine Diodenverluste. Diese ist in jedem Punkt effizienter als eine einzelne Halbbrücke, dennoch ist der Multiphasen-Inverter (grüne Kennlinie) am effizientesten. Aus diesem Grund wurde für die weitere Auslegung des Vierquadrantennetztes eine Multiphasen-Topologie gewählt. Des Weiteren geht aus dem Vergleich hervor, dass je mehr Phasen verwendet werden, die Effizienz steigt. Die maximale Anzahl an Phasen wird dennoch von einem weiteren, in Abschnitt 3.4.1 beschriebenen Faktor begrenzt.

3.4 Auslegung der Phasenstromregelung

Aufgrund der von der Multiphasentopologie benötigten Lastenaufteilung ist eine Stromregelung jeder Phase notwendig, um einen sicheren Betrieb zu gewährleisten. Für die Stromregelung wird nachfolgend die Peak-Current-Regelung, die Average-Current-Regelung und die Constant-On-Time-Regelung (COT) betrachtet.

Die Peak-Current-Regelung überwacht den Strom durch die Spule. Sobald dieser Strom einen vorher festgelegten Schwellstrom erreicht, wird der Highside-Transistor geöffnet und der Lowside-Transistor geschlossen, bis die Schaltperiode verstrichen ist. Diese Regelung ist aufgrund der geringen Komplexität und des geringen Bauteilaufwandes einfach zu realisieren. Zudem bietet diese aufgrund des Vergleichens des Scheitelwertes einen Überstromschutz bei jedem Schaltvorgang. Die Messung des Spulenstromes muss aufgrund der möglichen Sägezahnform im Vergleich zu einer Dreiecksform breitbandiger

erfolgen [2]. Ein weiterer Nachteil entsteht durch die hohe Störanfälligkeit in Bezug auf eingekoppelte sprunghafte Störungen in das Messsignal. Des Weiteren entspricht der durchschnittliche Ausgangsstrom nicht dem Sollsignal, da bei der Peak-Current-Regelung der Maximalstrom geregelt wird [20].

Ähnlich wie die Peak-Current-Regelung funktioniert die Average-Current-Regelung mit dem Unterschied, dass das Stromsignal über einen oder mehrere Schaltzyklen gemittelt wird. Das benötigte Tastverhältnis wird nicht über einen Komparator, sondern über einen zusätzlichen Regler generiert. Mit der Bildung des Mittelwertes werden Störungen unterdrückt. Damit ist diese Regelung stabiler als die Peak-Current-Regelung. Dennoch ist durch das Mitteln des Ausgangsstromes kein zuverlässiger Schutz gegen Überstrom während eines Schaltzykluses mehr gegeben. Wegen der höheren Komplexität dieser Regelung im Vergleich zur Peak-Current-Regelung ist ein höherer Bauteilaufwand gegeben [22].

Die letzte vorzustellende Regelung ist die COT-Regelung. Diese schließt den Highside-Transistor für eine vorgegebene Zeit. Danach wird dieser wieder geöffnet. Der Lowside-Transistor wird so lange geschlossen, bis der Spulenstrom eine Stromschwelle unterschritten hat. Danach startet der Schaltzyklus erneut. Die Realisierung dieser Regelung ist komplexer als die Peak-Current-Regelung aufgrund der zusätzlichen Schaltung zur Generierung der Anschaltzeit. Zudem variiert die Schaltfrequenz entsprechend der Ausgangsspannung. Der Phasenversatz zwischen den Schaltzeitpunkten der Multiphasentopologie ist hingegen nur für feste Schaltfrequenzen ausgelegt, womit Verzerrungen des Ausgangssignals entstehen können [25].

Aufgrund der geringen Komplexität und der einfachen Realisierung der Peak-Current-Regelung wurde diese für die nachfolgende Betrachtung der Phasenstromregelung ausgewählt.

3.4.1 Bestimmung der maximalen Anzahl an Phasen

Die maximale Anzahl an Phasen wird durch das Auftreten einer subharmonischen Oszillation bei der Benutzung einer Phasenstrom-Regelung begrenzt. Diese entstehen bei einem Tastverhältnis über 50 % durch das nicht-stationäre Verhalten des Spulenstroms [20]. Die Schwingfrequenz der subharmonischen Oszillation entspricht der halben Schaltfrequenz einer Phase und kann neben unerwünschten Verzerrungen am Ausgang zur Instabilität des Gesamtsystems führen [20]. Mittels eines Slopekompensations-Signals (S_e), das zu dem gemessenen Stromfluss durch die Spule addiert wird, kann diese subharmonische Oszillation weitestgehend unterdrückt werden. Ein beispielhafter Signalverlauf hierfür kann in Abbildung 3.15 betrachtet werden. S_n ist in diesem Beispiel die steigende Stromflanke und S_f die fallende Stromflanke des Spulenstroms einer Phase.

Anhand der maximalen Amplitude der subharmonischen Oszillation lässt sich die minimale Schaltfrequenz einer Phase bestimmen. Damit diese Oszillation nicht im Bereich des Nutzsignales liegt, wird eine Minstdämpfung von -20dB durch den Ausgangsfilter festgesetzt. Anhand Abbildung 3.2 lässt sich eine minimale Oszillationsfrequenz von 400 kHz ermitteln. Subharmonische Oszillationen haben eine Frequenz die der Hälfte der Schaltfrequenz entspricht [15]. Die minimale Schaltfrequenz einer einzelnen Phase

entspricht damit 800 kHz. Zusätzlich wird eine Sicherheitsreserve von 20 % vorgesehen. Daraus resultiert eine minimale Schaltfrequenz ($f_{s\ PHmin}$) von 1 MHz je Phase.

$$n_{Phasen} = \frac{f_{smin}}{f_{s\ PHmin}} = \frac{4,5\text{ MHz}}{1\text{ MHz}} = 4,5 \Rightarrow \boxed{n_{Phasen} = 4} \quad (3.49)$$

Darauf basierend lässt sich anhand der Formel 3.49 der maximale Einsatz von vier Phasen aufzeigen.

$$f_{s\ PH} = \frac{f_{smin}}{n_{Phasen}} = \frac{4,5\text{ MHz}}{4} = 1,125\text{ MHz} \quad (3.50)$$

Nachdem die Berechnung der benötigten Anzahl an Phasen erfolgt ist, können die exakten Werte und Typen für den Ausgangsfilter und dessen Verluste bestimmt werden. Zunächst wird der Strom durch jede Phase nach der Formel 3.39 bestimmt:

$$i_{PH} = \frac{i_{out}}{n_{Phasen}} = \frac{35\text{ A}}{4} = 8,75\text{ A} \quad (3.51)$$

Zudem kann über die Formel 3.40 und 3.53 die Ausgangs-Induktivität und -Kapazität ermittelt werden.

$$L_{PH} = L_o \cdot n_{Phasen} = 1\ \mu\text{H} \cdot 4 = 4\ \mu\text{H} \quad (3.52)$$

Für die spätere Betrachtung der Current-Mode-Regelung ist es notwendig die anteilige Kapazität (C_{PH}) jeder Phase von der gesamten Ausgangskapazität (C_o) zu berechnen.

$$C_{PH} = \frac{C_o}{n_{Phasen}} = \frac{1\ \mu\text{F}}{4} = 0,25\ \mu\text{F} \quad (3.53)$$

Durch den geplanten Einsatz von keramischen Kondensatoren aus dem Material X7R ist eine exakte Bestimmung des frequenzabhängigen Serienwiderstandes (ESR) kaum möglich. Zur vorläufigen Verlustleistungsberechnung wurde ein Serienwiderstand von 10 mΩ angenommen. Der Stromfluss durch diesen entspricht dem Ripplestrom durch die Spule L_{PH} . Dieser kann wie folgt berechnet werden:

$$i_{ripple} = \underbrace{\frac{u_{in} \cdot (1 - D)}{L_{PH}}}_i \cdot \underbrace{\frac{D}{f_{s\ PH}}}_{t_{on}} \quad (3.54)$$

Zur Berechnung des Kondensatorverlustes wird der Effektivwert des maximalen Rippelstroms ($i_{ripple\ max\ pp}$) genutzt. Dieser wird bei einem Tastverhältnis von 50 % erreicht und basiert auf der Formel 3.54 [16].

$$\begin{aligned}
i_{ripple\ max\ pp} &= \frac{u_{in}}{2 \cdot L_{PH}} \cdot \frac{1}{2 \cdot f_{s\ PH}} = \\
&= \frac{80\text{ V}}{8\ \mu\text{H}} \cdot \frac{1}{2,25\text{ MHz}} = 4,44\text{ A}
\end{aligned} \tag{3.55}$$

Unter Beachtung der bereits erfolgten Berechnungen lässt sich der Kondensatorverlust wie folgt berechnen:

$$\begin{aligned}
P_{C_{PH}\ ESR} &= ESR_{C_{PH}} \cdot \left(\frac{1}{\sqrt{3}} \cdot \frac{1}{2} \cdot i_{ripple\ max\ pp} \right)^2 = \\
&= 10\text{ m}\Omega \cdot \left(\frac{1}{2 \cdot \sqrt{3}} \cdot 4,44\text{ A} \right)^2 \approx 16,5\text{ mW}
\end{aligned} \tag{3.56}$$

Der Kondensatorverlust beläuft sich anhand der Formel 3.56 auf 16,5 mW pro Phase.

Eine geeignete Spule stellt der Typ SER2013-472 der Firma Coilcraft aufgrund seines geringen Wicklungswiderstandes von 1,82 mΩ und seiner hohen Belastbarkeit dar [29]. Mittels des vom Herstellers zur Verfügung gestellten Hilfsprogrammes wurden die Kernverluste $P_{L_{PH}\ AC}$ ermittelt [30]. Die maximalen Kernverluste aus Formel 3.57 wurden bei einem maximalen Ausgangs- und Ripplestrom ermittelt.

$$P_{L_{PH}\ AC} = 2,45\text{ W} \tag{3.57}$$

Die resistiven Verluste ($P_{L_{PH}\ DCR}$) wurden über den Wicklungswiderstand DCR der Spule und den effektiven Strom durch diese berechnet. Unter Beachtung des effektiven Ripplestrom aus Formel 3.56 ergibt sich entsprechend der Formel 3.58 ein effektiver Strom von 10 Ampere durch jede Phase ($i_{out\ eff}$).

$$\begin{aligned}
i_{out\ eff} &= i_{PH\ max} + \left(\frac{1}{\sqrt{3}} \cdot \frac{1}{2} \cdot i_{ripple\ max\ pp} \right) = \\
&= 8,75\text{ A} + \left(\frac{1}{2 \cdot \sqrt{3}} \cdot 4,44\text{ A} \right) \approx 10,0\text{ A}
\end{aligned} \tag{3.58}$$

Anhand dieses Stroms können nun die resistiven Verluste der Spule einer Phase berechnet werden [3].

$$P_{L_{PH}\ DCR} = DCR_{L_{PH}} \cdot (i_{out\ eff})^2 = 1,82\text{ m}\Omega \cdot (10\text{ A})^2 = 182\text{ mW} \tag{3.59}$$

Die Induktivität der Spule beträgt bei einem maximalen Strom 4,4 μH und befindet sich somit innerhalb der Vorgaben [29]. Ausgehend von einem späteren möglichen Austausch dieser Spule mit einer kleineren Induktivität wird in den nachfolgenden Berechnungen von einer Spule mit 4 μH in jeder Phase ausgegangen.

3.4.2 Modell der Phasenstromregelung

Zusätzlich zu der erstellten Simulation der Leistungselektronik in LTSpice wurde aufgrund der langen Simulationszeit ein Modell der Phasenstromregelung basierend auf dem von R. B. Ridley vorgestellten Modell [15] erstellt. Dieses berücksichtigt das Entstehen der subharmonischen Oszillation und die Slopekompensation über den Faktor m_c . Ein typischer Stromverlauf unter Berücksichtigung der Slopekompensation ist in Abbildung 3.15 dargestellt. Der Phasenstrom (i_{PH}) wird in dem nachfolgenden Modell durch den Äquivalenten Phasenstrommesswiderstandes R_i eine Spannung umgewandelt.

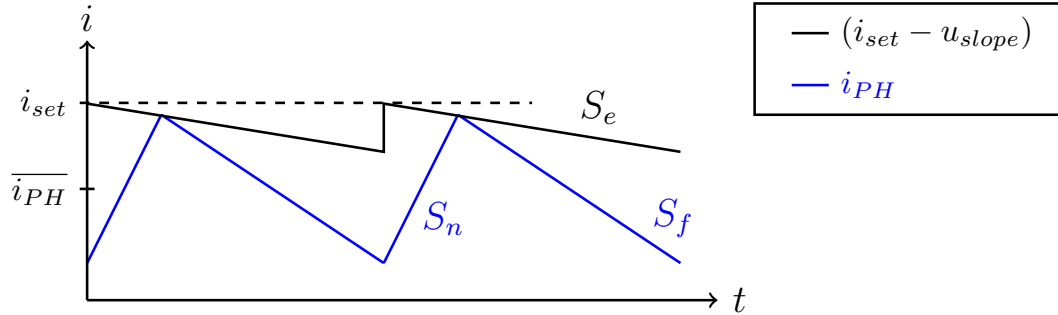


Abb. 3.15 – Signalverlauf des Phasenstromes bei Peak-Current Regelung und Slope-Kompensation [15]

Das Modell der Phasenstromregelung beschreibt sich nach R. B. Ridleys Modell [15] wie folgt:

$$H_{PH} = \frac{i_{PH}}{u_{i_set}} = \frac{1}{R_i} \cdot \frac{1}{1 + \frac{R_{Load\ PH} \cdot T_s}{L_{PH}}} \cdot F_p(s) \cdot F_h(s) \quad (3.60)$$

Für dieses Modell wird das Umgekehrte Tastverhältnis (D') benötigt, das den Anteil der Ausschaltzeit zu der Schaltperiode beschreibt.

$$D' = 1 - D = 1 - \frac{u_{out}}{u_{in}} \quad (3.61)$$

Das Teilverhalten der stromgeregelten Strecke wird über $F_p(s)$ beschrieben. Dieses wird anhand der Größe der Ausgangskapazität (C_{PH}), dessen Serienwiderstand ($ESR_{C_{PH}}$) und der Frequenz ω_p berechnet. Diese Frequenz ist wiederum von der Ausgangslast ($R_{load\ PH}$), des Ausgangsfilters (L_{PH} und C_{PH}), der Schaltperiode einer Phase (T_s), der Slopekompensation (m_c), wie auch von dem Umgekehrten Tastverhältnis (D') abhängig. Die Berechnung von ω_p ist in Formel 3.63 beschrieben.

$$F_p(s) = \frac{1 + s \cdot C_{PH} \cdot ESR_{C_{PH}}}{1 + \frac{s}{\omega_p}} \quad (3.62)$$

bei dem für ω_p gilt:

$$\omega_p = \frac{1}{C_{PH} \cdot R_{load PH}} + \frac{T_s}{L_{PH} \cdot C_{PH}} \cdot (m_c \cdot D' - 0,5) \quad (3.63)$$

Die Funktion $F_h(s)$ stellt das Verhalten der Näherung der Strommessung durch ein Abtast-Halte-Glied dar [15].

$$F_h(s) = \frac{1}{1 + \frac{s}{\omega_n \cdot Q} + \frac{s^2}{\omega_n^2}} \quad (3.64)$$

bei dem für ω_n und Q gilt:

$$\omega_n = \frac{\pi}{T_s} = \pi \cdot f_{s PH} \quad (3.65)$$

$$Q = \frac{1}{\pi \cdot (m_c \cdot D' - 0,5)} \quad (3.66)$$

Der Kompensationsfaktor m_c ist abhängig von der Steigung der positiven Spulenstromflanke S_n und der Steigung der Kompensationsflanke S_e und wird in Formel 3.67 berechnet.

$$m_c = 1 + \frac{S_e}{S_n} \quad (3.67)$$

Um das Verhältnis zwischen der Ausgangsspannung des stromgeregelten Systems H_{PH} und der Stellgröße $u_{i_{set}}$ zu erhalten, muss dieser mit der Ausgangslast multipliziert werden.

$$\frac{u_o}{u_{i_{set}}} = H_{PH} \cdot R_{Load PH} \quad (3.68)$$

Durch die äquivalente Lastverteilung auf die einzelnen Phasen ist die von jeder Phase gesehene Ausgangsimpedanz $R_{Load PH}$ entsprechend der Anzahl der Phasen n_{Phasen} größer, wie in Formel 3.69 aufgezeigt wird.

$$R_{Load PH} = R_{Load} \cdot n_{Phasen} \quad (3.69)$$

3.4.3 Auslegung der adaptiven Slopekompensation

Um eine optimale Slopekompensation in jedem Betriebspunkt zu erhalten, wird die Steigung der Slopekompensation S_e gleich der halben Steigung der fallenden Spulenstromflanke S_f gewählt, wie es auch in Formel 3.70 bei $k = 0$ beschrieben ist [20]. Diese wird über die Variable m_c aus Formel 3.60 und Folgenden in das vorgestellte Modell integriert und angepasst. Diese ist abhängig von der Steigung der steigenden Stromflanke S_n und der Kompensationskurve S_e . Zusätzlich wurde eine Variable k eingeführt, um im späteren Verlauf Anpassungen an der Kompensationskurve vorzunehmen. Diese Auslegung ist nur für ein festgelegtes Tastverhältnis und damit für eine festgelegte Ausgangsspannung gültig. Damit diese Kompensation für ein variables Tastverhältnis beziehungsweise eine variable Ausgangsspannung gilt, wurde eine adaptive Slopekompensation gewählt. Diese gilt nur in Verbindung mit einer konstanten Eingangsspannung. Zudem wurde sie in Formel 3.72 für das Current-Mode-Modell hergeleitet und ist in jeder Phase vorgesehen [27].

$$S_e = \frac{1}{2} \cdot k \cdot S_f = \frac{1}{2} \cdot k \cdot \frac{u_{out}}{L_o} \cdot R_i \quad (3.70)$$

Die steigende Spulenstromflanke kann anhand der Induktivität (L_{PH}), der Spannung über dieser ($u_{in} - u_{out}$) und R_i in Abhängigkeit der Ausgangsspannung (u_{out}) bestimmt werden.

$$S_n = \frac{u_{in} - u_{out}}{L_{PH}} \cdot R_i \quad (3.71)$$

Anhand der Formel 3.67 und den Formeln 3.70 bis 3.71 lässt sich folgender Zusammenhang folgern:

$$\begin{aligned} m_c &= 1 + \frac{S_e}{S_n} = 1 + k \cdot \frac{\frac{1}{2} \cdot \frac{u_{out}}{L_o} \cdot R_i}{\frac{u_{in} - u_{out}}{L_o} \cdot R_i} = 1 + k \cdot 0,5 \cdot \frac{u_{out}}{u_{in} - u_{out}} = \quad (3.72) \\ &= 1 + k \cdot \frac{0,5}{\frac{u_{in}}{u_{out}} - 1} = 1 - k \cdot \frac{0,5}{1 - \frac{u_{in}}{u_{out}}} = 1 - k \cdot \frac{0,5}{1 - \frac{1}{D}} = \\ &= 1 - k \cdot \underbrace{\frac{0,5 \cdot D}{D - 1}}_{=-D'} = 1 + k \cdot \frac{0,5 \cdot (1 - D')}{D'} = 1 + k \cdot \frac{0,5 - 0,5 \cdot D'}{D'} = \\ &= \boxed{(1 - 0,5 \cdot k) + k \cdot \frac{0,5}{D'}} \end{aligned}$$

Für eine schnelle Unterdrückung der subharmonischen Oszillation wird der Korrekturfaktor k gleich eins gesetzt. Zusätzlich kann bei der Annahme $k = 0$ die Strecke ohne Slopekompensation betrachtet werden.

3.4.4 Auslegung der Phasenstrommessung

Zur Bestimmung des notwendigen Äquivalenten Phasenstrommesswiderstandes R_i wird zunächst angenommen, dass die Spannungsversorgung der Analogelektronik in einer Phase (u_{max}) maximal ± 5 V beträgt. Unter Berücksichtigung eines Sicherheitsabstandes von 10 % ergibt sich eine maximale Messspannung von $\pm 4,5$ V. Diese Spannung beinhaltet sowohl den zu messenden Strom wie auch die zusätzliche Slopekompensation. Die Wahl von $k = 1.5$ wird in diesem Kapitel zu einem späteren Zeitpunkt näher beschrieben. Das Tastverhältnis soll 50 % betragen, da in diesem Arbeitspunkt der Ripplestrom am größten ist [21].

$$\begin{aligned} D' &= 0,5 \\ \Rightarrow S_n &= S_f \\ \Rightarrow S_e &= 0,5 \cdot k \cdot i_{ripple} = i_{slope} \end{aligned}$$

Anhand dieser Vorgaben kann R_i über den Quotienten aus der auszugebenden Spannung ($u_{i_{LPH}}$) und dem zu messenden Strom (i_{LPH}) bestimmt werden.

$$\begin{aligned} R_i = \frac{u_{i_{LPH}}}{i_{LPH}} &\leq \frac{u_{max} \cdot 0,9}{i_{PH\ max} + 0,5 \cdot i_{ripple} + i_{slope}} = & (3.73) \\ &\leq \frac{5\ \text{V} \cdot 0,9}{8,75\ \text{A} + (0,5 + k \cdot 0,5) \cdot i_{ripple\ max\ pp}} = \\ &\leq \frac{4,5\ \text{V}}{8,75\ \text{A} + (1,25 \cdot 4,44\ \text{A})} = \\ &\leq 0,315\ \Omega \\ \Rightarrow &\boxed{R_i = 0,315\ \Omega} \end{aligned}$$

Für die nachfolgenden Rechnungen wird ein Äquivalenter Phasenstrommesswiderstand R_i von $0,315\ \Omega$ gewählt.

3.4.5 Resultate der Phasenstromregelung

Das vorgestellte Current-Mode-Modell wurde in MATLAB implementiert und betrachtet. Zunächst wurde die Slopekompensation bei einem Korrekturfaktor $k = 1$ betrachtet. Der zugehörige Frequenzgang dieser Strecke ist in Abbildung 3.16 dargestellt.

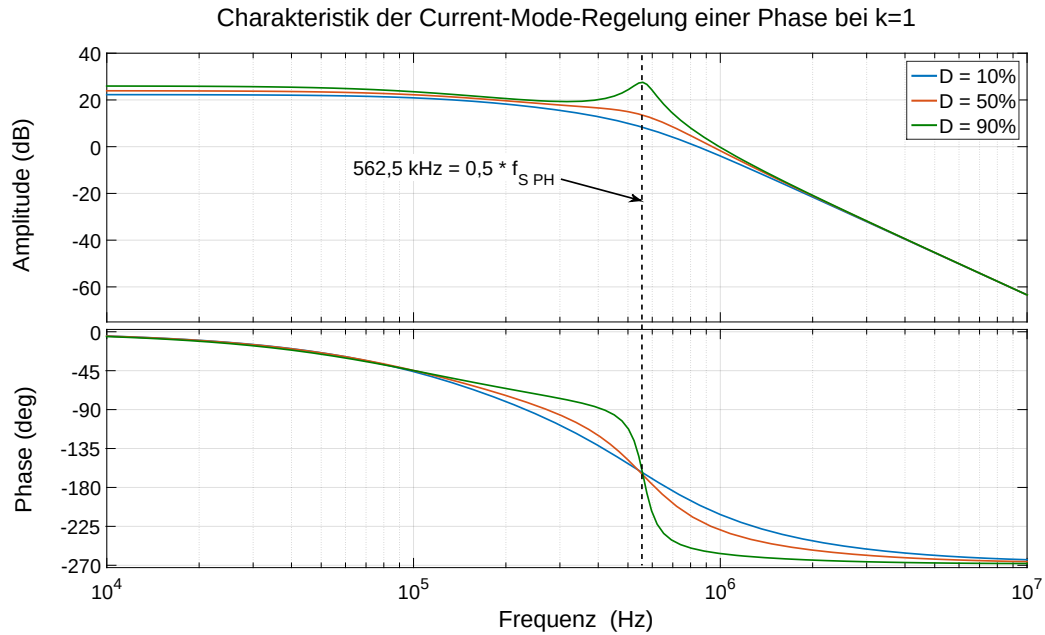


Abb. 3.16 – Frequenzverlauf der Stromregelung bei Korrekturfaktor $k = 1$

Bei Betrachtung des Frequenzganges der Phasenstromregelung bei $k = 1$ ist ein deutlicher Anstieg der Ausgangsamplitude bei der halben Schaltfrequenz von 562,5 kHz sichtbar. Diese nimmt mit zunehmenden Tastverhältnis zu und spiegelt die subharmonische Oszillation wider.

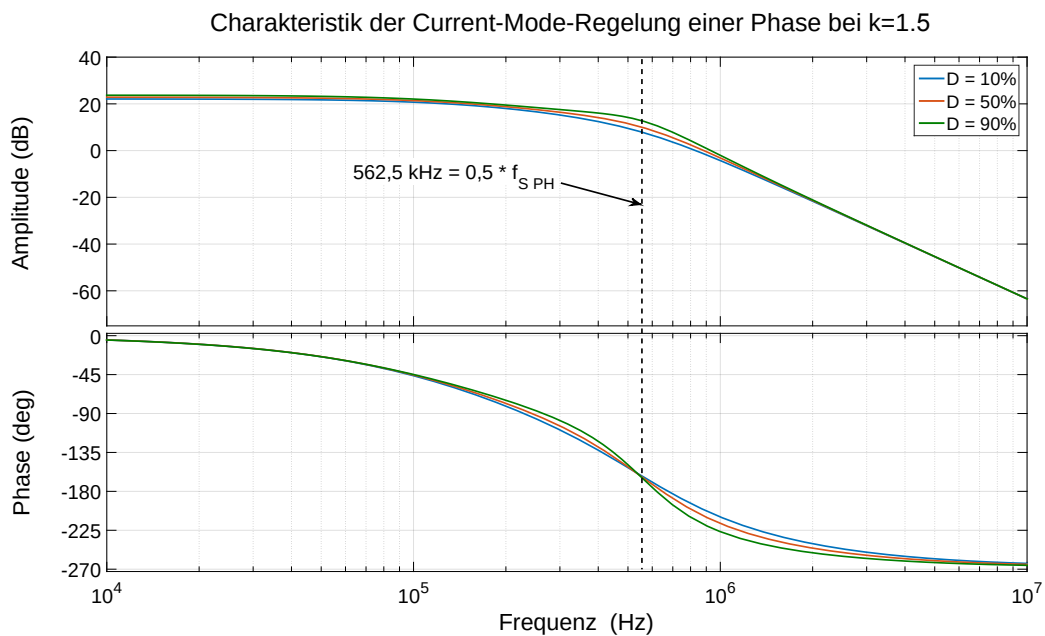


Abb. 3.17 – Frequenzverlauf der Stromregelung bei Korrekturfaktor $k = 1.5$

Da dieser Effekt nicht gewünscht ist und weitestgehend unterdrückt werden soll, wurde der Korrekturfaktor auf 1.5 ($k = 1.5$) erhöht. Damit wurde, wie in Abbildung 3.17 gezeigt ist, die subharmonische Oszillation stärker unterdrückt, ohne das erlangte PT1-Verhalten der stromgeregelten Phase zu beeinflussen. Wird diese Kompensation zu stark ausgelegt, so verliert man das durch die Stromregelung erhaltene nicht-schwingende PT1-Verhalten. Folglich würde sich die Stromregelung ähnlich wie ein schwingfähiges LC-Glied verhalten, das ein PT2-System beschreibt [15].

3.5 Vergleich zwischen Metal-Oxid-Silizium (MOS) und Gallium-Nitrid (GaN) Transistoren

Für den Einsatz im Schaltwandler werden unter den genannten Bedingungen in dem folgenden Abschnitt Metall-Oxid-Silizium (MOS) und Gallium-Nitrid (GaN) Transistoren verglichen. Hierbei werden deren Verluste in der geplanten Multiphasen-Topologie gegenübergestellt. Anhand der Formeln 3.25 bis einschließlich 3.30 ist folgende Abhängigkeit zwischen den Transistorenverlusten und den folgenden Bauteileigenschaften erkennbar:

$$P_{total_{loss}}^{FET} \sim Q_{oss}, Q_{rr}, Q_g, U_g, Q_{gd}, Q_{gs2}, RDS_{max} \quad (3.74)$$

Des Weiteren kann Q_{gs2} aus der Differenz der Gate-zu-Source-Ladung (Q_{gs}) und der Gateladung bei der Schwellspannung ($Q_{g(th)}$) berechnet werden [1]:

$$Q_{gs2} = Q_{gs} - Q_{g(th)} \quad (3.75)$$

Entsprechend der Formel 3.74 wurden die Parameter, die proportional zur Verlustleistung sind, aufgetragen und der GaN-FET des Typs EPC2016C der Firma EPC mit dem MOSFET Typ IPG20N10S4L-22 der Firma Infineon in der Tabelle 3.1 verglichen. Beide FETs haben nahezu gleiche Maximalwerte der Drain-Source-Spannung und dem kontinuierlichen Drainstrom, um einen repräsentativen Vergleich zu gewährleisten. Für den Vergleich soll weiterhin folgende Randbedingung gelten:

$$u_{in} = 80 \text{ V} \quad D_{HS} = 90 \% \quad f_{s_{PH}} = 1,125 \text{ MHz} \quad i_{out} = 35 \text{ A} \quad i_g = 4 \text{ A}$$

Alle in Tabelle 3.1 und 3.3 aufgeführten Verluste beziehen sich auf das Gesamtsystem und nicht auf die einzelne Phase.

Parameter	EPC2016C	IPG20N10S4L-22
u_{dsMAX}	100 V	100 V
i_d	18 A	20 A
$RDS_{max} (150^\circ C)$	28 m Ω	38 m Ω
Q_g	4,5 nC	21 nC
u_g	5 V	12 V
Q_{oss}	24 nC	$\approx 55 \text{ nC}^1$
Q_{rr}	0 nC	100 nC
Q_{gd}	1 nC	9,6 nC
Q_{gs2}	0,4 nC	2,8 nC
P_{onMPHS}	7,72 W	10,47 W
P_{onMPLS}	0,86 W	1,16 W
P_{swMP}	1,10 W	9,77 W
P_g	0,10 W	1,14 W
$P_{Q_{oss}}$	4,32 W	9,90 W
$P_{Q_{rr}}$	0 W	36 W
$P_{Multiphase total_{loss}}^{HS FET}$	13,24 W	30,98 W
$P_{Multiphase total_{loss}}^{LS FET}$	5,28 W	48,20 W
$P_{Multiphase total_{loss}}^{FET}$	18,52 W	79,18 W

Tab. 3.1 – Parameter- und Leistungsvergleich zwischen GaN-FET EPC2016C [31] und dem MOSFET IPG20N10S4L-22 [35] bei maximal angegebenen Parametern

Anhand der Tabelle 3.1 stellt sich heraus, dass alle verluststeigernden Parameter und folglich auch deren Verluste bei dem GaN-FET EPC2016C geringer als bei dem MOSFET IPG20N10S4L-22 sind. Aus diesem Grund werden in dieser Arbeit GaN-FETs als schaltende Elemente des Klasse-D-Verstärkers genutzt [23].

3.6 Auswahl des passenden GaN-Transistors

Der optimale Schalttransistor kann ausgehend von der Verlustrechnung aus Kapitel 3.5 mittels eines Vergleiches zwischen diversen kommerziell erhältlichen GaN-FETs

¹Die Ausgangsladung Q_{oss} des IPG20N10S4L-22 wurde anhand der angegebenen maximalen Ausgangskapazität [35] C_{oss} und einer Drain-Source-Spannung von 100 V berechnet

ermittelt werden. Das Auswahlkriterium für den Schalttransistor ist eine hohe Effizienz und folglich geringe Transistorenverluste. Für den Einsatz als Highside- und Lowside-Transistors wird der gleiche Schalttransistor verwendet, da sich die Verluste dieser im Rückwärtsbetrieb untereinander tauschen. Zum Vergleich wurden vier GaN-Transistoren mit einer maximalen Drain-Source-Spannung (u_{dsMAX}) von 100 Volt und einem Drainstrom (i_d) von mindestens 18 Ampere ausgewählt.

Parameter	EPC2016C	EPC2001C	GS61004B	GS61008T
u_{dsMAX}	100 V	100 V	100 V	100 V
i_d	18 A	36 A	45 A	90 A
RDS_{on} (150 °C)	21 mΩ	10,4 mΩ	37,5 mΩ	18,5mΩ
Q_g	3,4 nC	7,5 nC	6,2 nC	12 nC
u_g	5 V	5 V	5 V	5 V
Q_{oss}	16 nC	31 nC	11,5 nC	21 nC
Q_{rr}	0 nC	0 nC	0 nC	0 nC
Q_{gd}	0,55 nC	1,2 nC	0,9 nC	2,2 nC
Q_{gs2}	0,4 nC	0,8 nC	1,36 nC	1,07 nC

Tab. 3.2 – Parametervergleich zwischen diversen kommerziell erhältlichen GaN-FETs unter Betrachtung der typischen Werte [31] [32] [33] [34]

Parameter	EPC2016C	EPC2001C	GS61004B	GS61008T
P_{onMPHS}	5,79 W	2,86 W	10,33 W	5,1 W
P_{onMPLS}	0,64 W	0,32 W	1,25 W	0,58 W
P_{swMP}	0,75 W	1,58 W	1,78 W	2,58 W
P_g	0,08 W	0,17 W	0,14 W	0,27 W
$P_{Q_{oss}}$	2,88 W	5,58 W	2,07 W	3,78 W
$P_{Q_{rr}}$	0 W	0 W	0 W	0 W
$P_{Multiphase\ total_{loss}}^{HS\ FET}$	9,5 W	10,19 W	14,32 W	11,73 W
$P_{Multiphase\ total_{loss}}^{LS\ FET}$	3,6 W	6,07 W	3,46 W	4,63 W
$P_{Multiphase\ total_{loss}}^{FET}$	13,1 W	14,26 W	17,78 W	16,36 W

Tab. 3.3 – Vergleich zwischen den Verlusten [35] diverser kommerziell erhältlicher GaN-FETs im Multiphaseninverterbetrieb unter Betrachtung deren typischen Werte

Für den Verlustvergleich der in Tabelle 3.2 vorgestellten GaN-FETs sollen die bereits in Abschnitt 3.5 erwähnten Randbedingungen gelten. Daraus ergeben sich für die

einzelnen Transistoren, die in Tabelle 3.3 aufgelistet sind. Anhand dieser Tabelle lässt sich entnehmen, dass der Typ EPC2016C aufgrund der geringsten Transistorenverluste am geeignetsten für den Einsatz als Schalttransistoren ist.

3.7 Thermische Anbindung der Leistungselektronik

In Abbildung 3.18 ist das äquivalente thermische Ersatzschaltbild für die thermische Anbindung eines Transistor dargestellt.

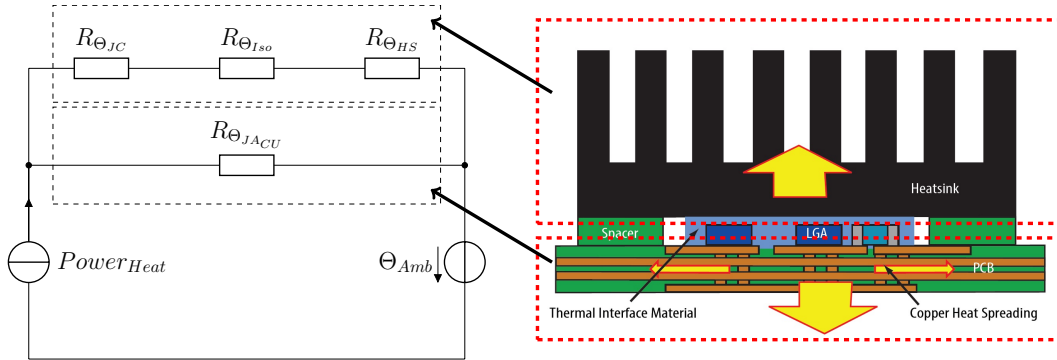


Abb. 3.18 – Thermisches Modell der Transistoren [5]

Dieses unterteilt sich in die Wärmeabführung über die Leiterplatte und über einen zusätzlichen Kühlkörper. Der thermische Widerstand $R_{\Theta_{JACU}}$ bezogen auf die Wärmeableitung über die Kupferschicht der Leiterplatte kann anhand des Datenblattes mit einer Größe von $65 \frac{\text{K}}{\text{W}}$ ermittelt werden [31].

Ebenso kann $R_{\Theta_{JC}}$, der thermische Widerstand, zwischen dem aktiven Material und dem Gehäuse des FETs mit $2 \frac{\text{K}}{\text{W}}$ heraus entnommen werden [31].

Um eine elektrische Isolierung zwischen dem Kühlkörper und dem Transistor zu erlangen und dennoch den Wärmetransport zwischen diesen zu erhalten, wurde eine Isolationsscheibe des Typs TG-X gewählt. Diese besitzt bei einer Chipfläche von $3,437 \text{ mm}^2$ einen Wärmewiderstand $R_{\Theta_{Iso}}$ von $56,31 \frac{\text{K}}{\text{W}}$ [38].

Vereinfacht soll angenommen werden, dass der Kühlkörper dem Gehäuse entspricht und dieses stets die Temperatur der Umgebung (Θ_{Amb}) besitzt. Damit entspricht $R_{\Theta_{HS}}$ gleich $0 \frac{\text{K}}{\text{W}}$.

$$\begin{aligned}
 R_{\Theta_{total}} &= R_{\Theta_{JACU}} \parallel (R_{\Theta_{JC}} + R_{\Theta_{Iso}} + R_{\Theta_{HS}}) = \\
 &= 65 \frac{\text{K}}{\text{W}} \parallel \left(2 \frac{\text{K}}{\text{W}} + 56,31 \frac{\text{K}}{\text{W}} + 0 \frac{\text{K}}{\text{W}} \right) = \\
 &= 31,5 \frac{\text{K}}{\text{W}}
 \end{aligned} \tag{3.76}$$

Unter Betrachtung des Highsidetransistors EPC2016C aus Tabelle 3.3, der die höchsten Verluste im Vorwärtsbetrieb ($P_{Multiphase\ total_{loss}}^{HS\ FET} / 4$) besitzt, ergibt sich nach Formel 3.77 eine Temperaturerhöhung des Halbleiterübergangs ΔT_{Θ_J} von 127 K.

$$\Delta T_{\Theta_J} = R_{\Theta_{total}} \cdot P_{Multiphase\ losses}^{HSFET} = 31,5 \frac{\text{K}}{\text{W}} \cdot 3,275 \text{W} \approx 103 \text{K} \quad (3.77)$$

Damit ist ein Betrieb bis zu einer Umgebungstemperatur von 47°C bei einer maximalen Halbleiterübergangstemperatur von 150°C unter Vollast theoretisch möglich [31].

4 Gesamtsystemregelung

Nachdem die Stromregelung der einzelnen Phasen in Abschnitt 3.4 behandelt wurde, soll das Gesamtsystem entsprechend seiner Ausgangsspannung geregelt werden. Hierfür muss zunächst das Verhalten der vier parallel geschalteten Phasen abhängig von der Ausgangslast R_{Load} , die sich im Systemblock $H_{PH\ total}$ befinden, behandelt werden. Dieser Systemblock ist in Abbildung 4.1 zu sehen.

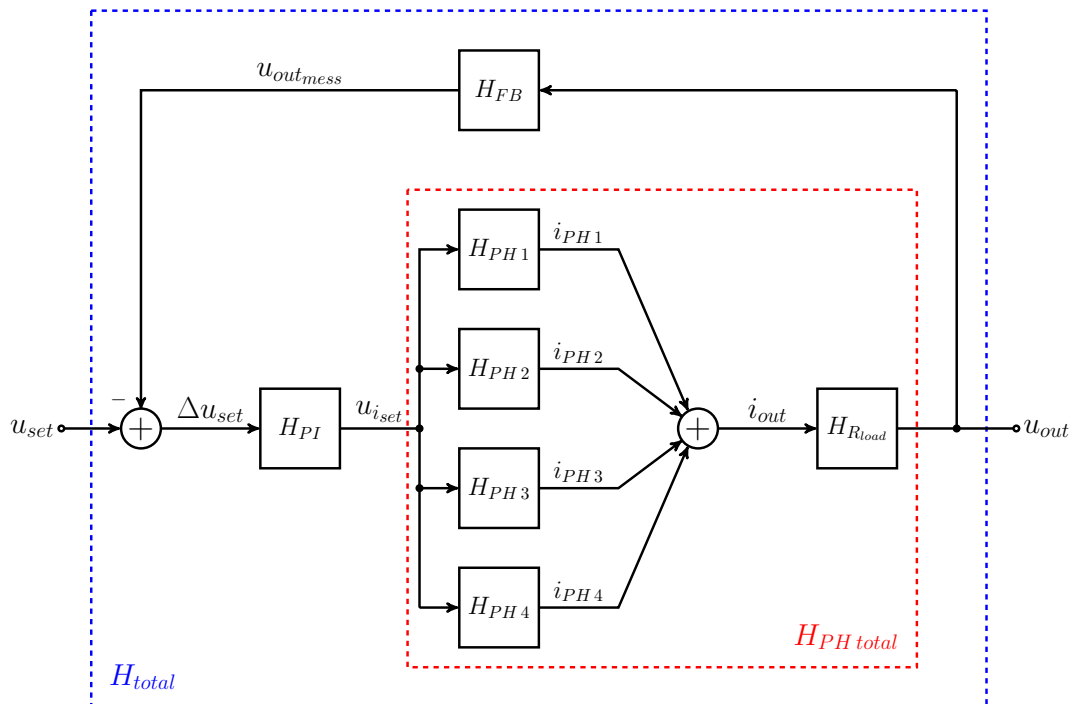


Abb. 4.1 – Blockschaltbild des Schaltwandlers

4.1 Verhalten der parallel geschalteten Phasen

Der Ausgangsstrom soll auf alle Phasen gleichmäßig aufgeteilt werden, woraus sich ergibt, dass jeder Systemblock einer Phase (H_{PH1} bis H_{PH4}) sich dem in Abschnitt 3.4 berechneten Verhalten von H_{PH} entspricht.

$$H_{PH} = H_{PH1} = H_{PH2} = H_{PH3} = H_{PH4} \quad (4.1)$$

$$i_{out} = i_{PH1} + i_{PH2} + i_{PH3} + i_{PH4} \quad (4.2)$$

Durch die phasenverschobenen Schaltzyklen und die Lastaufteilung ($R_{load\ PH}$) jeder Phase stellte sich eine Addition der Systemblöcke H_{PH1} bis H_{PH4} zum Erhalt der Gesamtstromregelung $H_{i_{out}}$ als nicht zulässig heraus.

$$H_{i_{out}} = \frac{i_{out}}{u_{i_{set}}} \neq \sum_{i=1}^4 H_{PHi} \quad (4.3)$$

Es hat sich gezeigt, dass die Gesamtstromregelung durch eine einzige Phasenstromregelung mit an das Gesamtsystem angepasste Randbedingungen beschrieben werden kann. Die bereits verwendeten Randbedingungen aus den Formeln 3.60 bis einschließlich 3.63 werden wie folgt ersetzt:

$$R_i \Rightarrow R_{i_{total}} \quad L_{PH} \Rightarrow L_o \quad C_{PH} \Rightarrow C_o \quad ESR_{C_{PH}} \Rightarrow ESR_{C_o}$$

Der Äquivalente Phasenstrom-Messwiderstand für das gesamte System ($R_{i_{total}}$) verringert sich entsprechend der Formel 4.4 für die Betrachtung des Verhaltens aller Phasen.

$$R_{i_{total}} = \frac{R_i}{n_{Phasen}} = \frac{0,315\ \Omega}{4} \approx 0,078\ \Omega \quad (4.4)$$

Analog hierzu wird für die Betrachtung des Modells aller Phasen die in Formel 3.13 und 3.14 berechnete Induktivität und Kapazität verwendet. Zudem soll angenommen werden, dass sich der Serienwiderstand des Ausgangskondensators (ESR_{C_o}) nicht ändert.

$$ESR_{C_o} = ESR_{C_{PH}} \quad (4.5)$$

Hiermit sind alle Randbedingungen für das Modell aller Phasen gegeben und können für die nachfolgenden Berechnungsschritte genutzt werden.

4.2 Beschreibung des Gesamtsystemreglers

Zur Gesamtsystemregelung wird nun ein zusätzlicher Regler benötigt, der der Phasenstromregelung übergeordnet ist. Dieser beschreibt das Verhältnis des zu stellenden Phasenstromes $u_{i_{set}}$ zu der Regelabweichung Δu_{set} . Die Regelabweichung berechnet sich aus der Differenz der Stellgröße u_{set} und der gemessenen Ausgangsspannung $u_{out_{mess}}$ wie in Abbildung 4.1 zu sehen ist.

$$\Delta u_{set} = u_{set} - u_{out_{mess}} \quad (4.6)$$

Für die Regelung der Ausgangsspannung wurde ein Proportional-Integral-Regler (PI-Regler) ausgewählt. Neben diesem wurden zusätzlich ein rein Integraler Regler (I-Regler) und ein Proportional-Integral-Differential-Regler (PID-Regler) betrachtet.

Der I-Regler wurde aufgrund seiner im Vergleich zu einem PI- und PID-Regler langen Anstiegszeit und seines hohen Überschwingens nicht für den Einsatz im Vierquadrantenetzteil ausgewählt [14] [18].

Der PID Regler bietet im Vergleich zu dem PI-Regler eine kürzere Regelzeit bei einem geringeren Überschwingen, dennoch ist der Einsatz des PID-Reglers in dieser Anwendung nicht zu empfehlen. Durch den Differentialanteil passieren den PID-Regler mehr hochfrequente Anteile als bei dem PI-Regler [14] [18]. Somit werden hochfrequente Störungen wie beispielsweise die Systemschaltfrequenz oder externe Störungen weniger unterdrückt und können damit das Ausgangssignal negativ beeinflussen. Aus diesen Gründen wurde für die nachfolgende Spannungsregelung ein PI-Regler verwendet. Das Verhalten des PI-Reglers im Frequenzbereich ist in Formel 4.7 [14] gegeben.

$$H_{PI} = \frac{\Delta u_{set}}{u_{i_{set}}} = \frac{(s \cdot K_p) + K_i}{s} \quad (4.7)$$

Die Proportional-Konstante K_p und die Integral-Konstante K_i des PI-Reglers wurden mit Hilfe des Zusatzprogrammes PID-Tuner der Software MATLAB in einem iterativen Prozess ermittelt. Hierbei wurde auf ein geringes Überschwingen der Sprungantwort des Gesamtsystems im Leerlaufbetrieb so wie auf die Einhaltung der Ausgangsamplitude von 56 Volt bei einer Frequenz von 100 kHz im Lastbetrieb geachtet.

Basierend auf diesen Vorgaben resultieren für K_p und K_i folgende Werte:

$$K_p = 0,3 \quad K_i = 500000$$

Das Verhalten des Modells und der LTSpice-Simulation wird in der nachfolgenden Betrachtung mit den ermittelten Reglerparametern erörtert und miteinander verglichen.

4.3 Modell des Gesamtsystems

Der Systemblock H_{FP} aus Formel 4.8 bildet den Rückkopplungspfad der Ausgangsspannung und entspricht dem Dämpfungswert aus Formel 8.9. Die Berechnung dieses Wertes findet in dem später folgenden Kapitel 8 statt.

$$H_{FB} = \frac{u_{out_{mess}}}{u_{out}} = 0,089 \quad (4.8)$$

Zusätzlich zur Ermittlung der Übertragungsfunktion des Gesamtsystems ist die Beschreibung des Verhaltens der Ausgangslast notwendig. Diese entspricht der Formel 4.9.

$$H_{R_{Load}} = \frac{u_{out}}{i_{out}} = R_{Load} \quad (4.9)$$

Nachdem die einzelnen Systemblöcke bestimmt wurden, kann das Gesamtsystem berechnet werden. Das Gesamtsystem beschreibt eine Strecke mit einem negativen

Rückkopplungspfad, der sich aus H_{FB} bildet. Die Strecke wird über die Funktionen H_{PI} , $H_{i_{out}}$ und $H_{R_{Load}}$ beschrieben. Damit ergibt sich eine Übertragungsfunktion des Gesamtsystems entsprechend der Formel 4.10.

$$H_{total} = \frac{H_{PI} \cdot H_{i_{out}} \cdot H_{R_{Load}}}{1 + (H_{PI} \cdot H_{i_{out}} \cdot H_{R_{Load}} \cdot H_{FB})} \quad (4.10)$$

Zunächst wurde eine Stabilitätsbetrachtung des Gesamtsystems anhand des offenen Regelkreises im Frequenzbereich durchgeführt. Hierfür wurde das System bei einem Tastverhältnis von 90 % im Leerlaufbetrieb und unter Vollast in Abbildung 4.2 betrachtet. Dieses Tastverhältnis wurde wegen des höchst möglichen Anteils an noch bestehenden subharmonischen Oszillationen gewählt, die das System instabil werden lassen könnten.

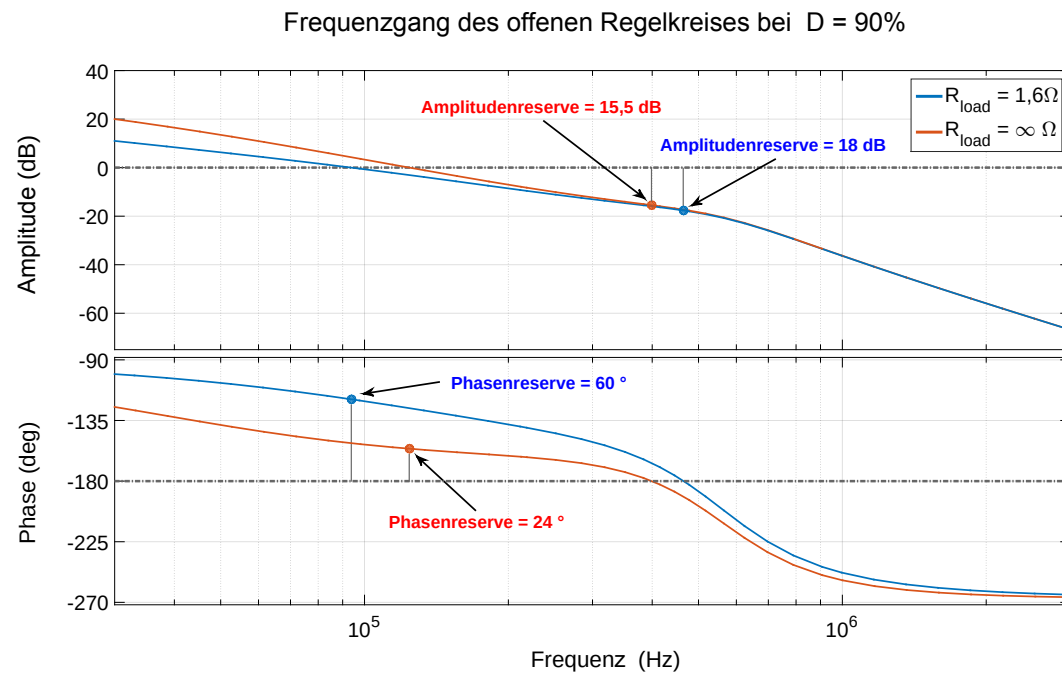


Abb. 4.2 – Streckenverhalten bei offenem Regelkreis im Leerlaufbetrieb (rote Kennlinie) und unter Vollast (blaue Kennlinie) bei 90 % Tastverhältnis

Das Gesamtsystem ist aufgrund der Einhaltung des speziellen Nyquistkriteriums als stabil anzunehmen. Dieses ist in Folge der positiven Phasen- und Amplitudenreserve in allen Betriebspunkten erfüllt [14]. Im Leerlauf hat das System eine Phasenreserve von 24° , das auf ein gutes Störverhalten schließen lässt. Unter Vollast besitzt das Gesamtsystem aufgrund einer Phasenreserve von 60° ein gutes Folgeverhalten [14].

4.4 Vergleich des beschriebenen Modells mit der Schaltungssimulation

Das Gesamtsystem, wie es in Formel 4.10 beschrieben ist, wurde mit der Software MATLAB untersucht. Zusätzlich wurde eine Simulation der Leistungselektronik zusammen mit der beschriebenen Regelung und unter Verwendung von bereitgestellten Hardwaremodellen durchgeführt. Dies wurde mit der Simulationssoftware LTSpice der Firma Linear Technologies durchgeführt. Ein weiterer Grund für die Verwendung eines Modells in MATLAB war die deutlich kürzere Berechnungszeit im Vergleich zu der Simulation des vierphasigen Gesamtsystems. Folglich konnte die Bestimmung der Reglerparameter des Gesamtsystemreglers somit deutlich verkürzt werden.

Für die nachfolgende Betrachtung des Frequenzverhaltens des Modells und der Simulation wurde zum Vergleich eine relative Amplitude eingeführt, die sich nach Formel 4.11 berechnet. Diese bildet den Quotient der anliegenden zu der gewünschten Ausgangsspannung.

$$\text{Relative Amplitude} = \frac{u_{out} \cdot H_{FB}}{u_{set}} \quad (4.11)$$

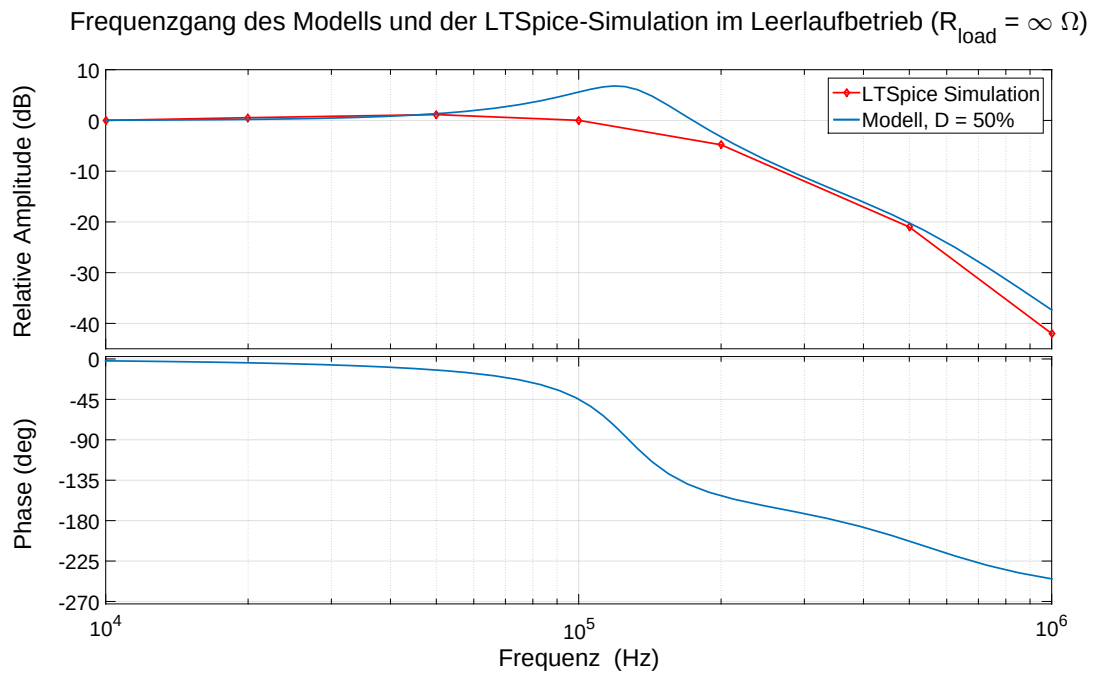


Abb. 4.3 – Vergleich zwischen den Frequenzverläufen der geregelten Strecke im Leerlaufbetrieb bei 50 % Tastverhältnis (blau) und der LTSpice-Simulation (rot)

Die Abbildung 4.3 zeigt den Frequenzverlauf des Gesamtsystem-Modells (blaue Kennlinie) und der LTSpice-Simulation (rote Kennlinie) im Leerlaufbetrieb. Das Modell besitzt bei einer Modulationsfrequenz von 100 kHz eine deutliche Anhebung von 7 dB.

In der Simulation ist eine solche Anhebung jedoch nicht erkennbar. Dies resultiert daraus, dass im Modell keine Dämpfung durch Transistorenverluste und keine weiteren parasitären Effekte berücksichtigt werden, wie es in der LTSpice-Simulation geschieht. Diese zusätzliche Dämpfung ist auch deutlich in der Sprungantwort aus Abbildung 4.4 erkennbar [15].

Das zeitliche Verhalten des Modells und der Simulation sind nahezu identisch. Alleinig der Amplitudengang ist unterschiedlich und auf die genannten Effekte zurückzuführen.

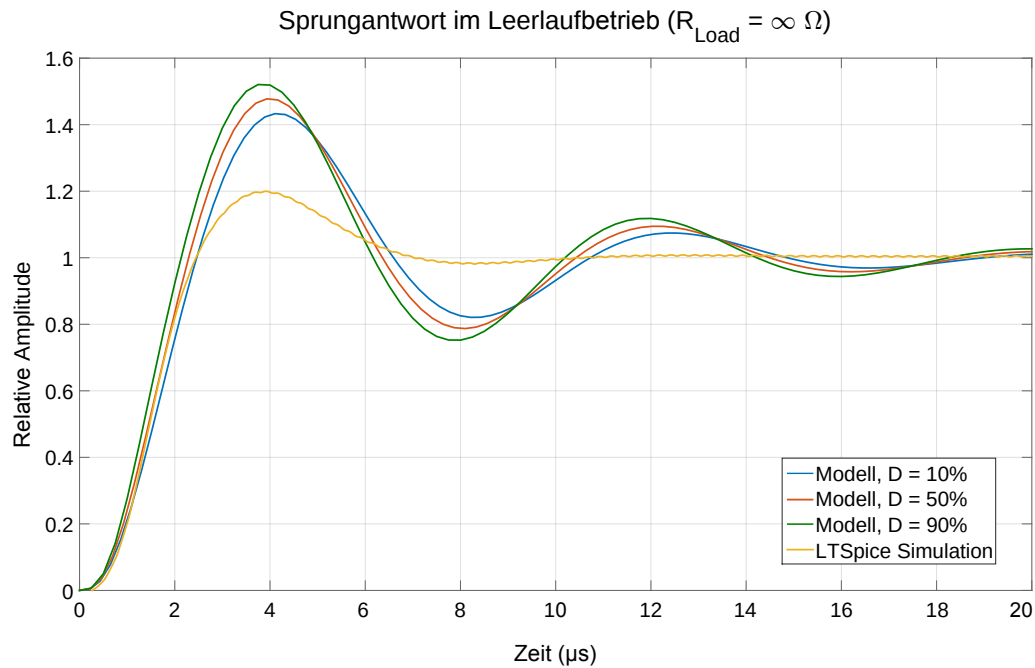


Abb. 4.4 – Sprungantwort der geregelten Strecke im Leerlaufbetrieb im Vergleich zwischen dem MATLAB Modell und der LTSpice Simulation

Zusätzlich wurde der Frequenzgang und die Sprungantwort bei einer Ausgangslast (R_{Load}) von $1,6 \Omega$ untersucht. Diese ergibt sich aus der Formel 4.12.

$$R_{Load} = \frac{u_{out max}}{i_{out max}} = \frac{56 \text{ V}}{35 \text{ A}} = 1,6 \Omega \quad (4.12)$$

Unter diesen Bedingungen hat das Gesamtsystem-Modell eine minimale Dämpfung von 0,3 dB bei 100 kHz und erfüllt damit weitestgehend die geforderte Zielsetzung. Die vorher genannten Effekte verursachen auch bei dieser Frequenz in der LTSpice-Simulation eine Dämpfung im Lastfall. Aus diesem Grund besitzt die Simulation eine Dämpfung von 4 dB bei 100 kHz. Diese kann über eine Nachregelung durch den Mikrokontroller und die Sinus-Peak-Detektion korrigiert werden, sofern das Modulationssignal eine Sinusform mit einer konstanten Frequenz besitzt. Diese Nachregelung wird in Kapitel 8 näher beschrieben.

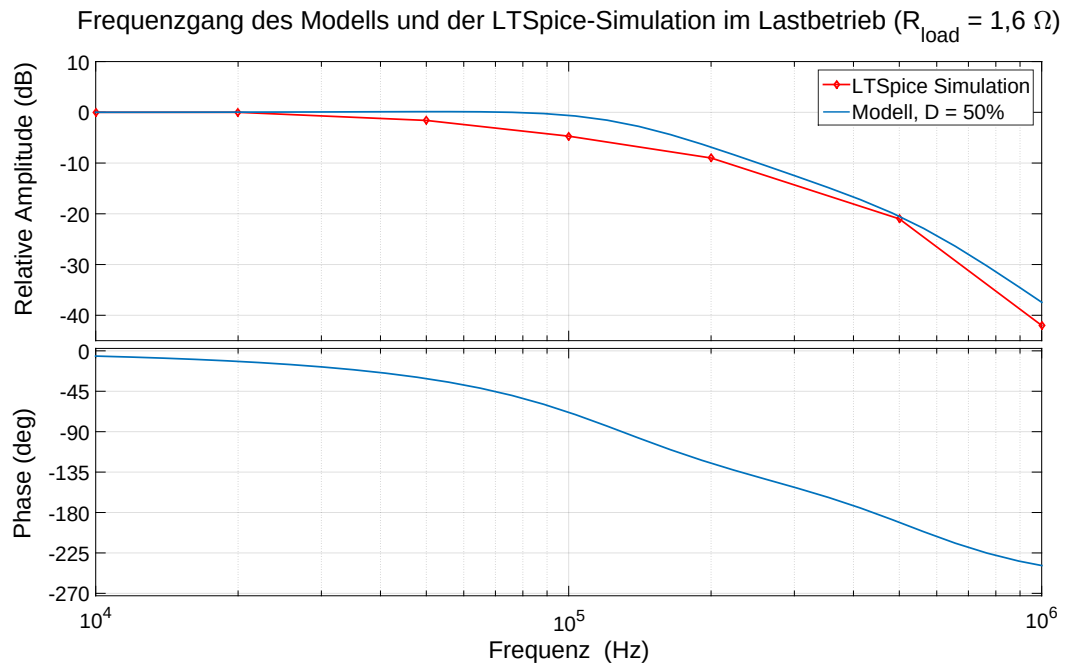


Abb. 4.5 – Vergleich zwischen den Frequenzverläufen der geregelten Strecke bei $1,6 \, \Omega$ Last bei 50 % Tastverhältnis (blau) und der LTSpice-Simulation (rot)

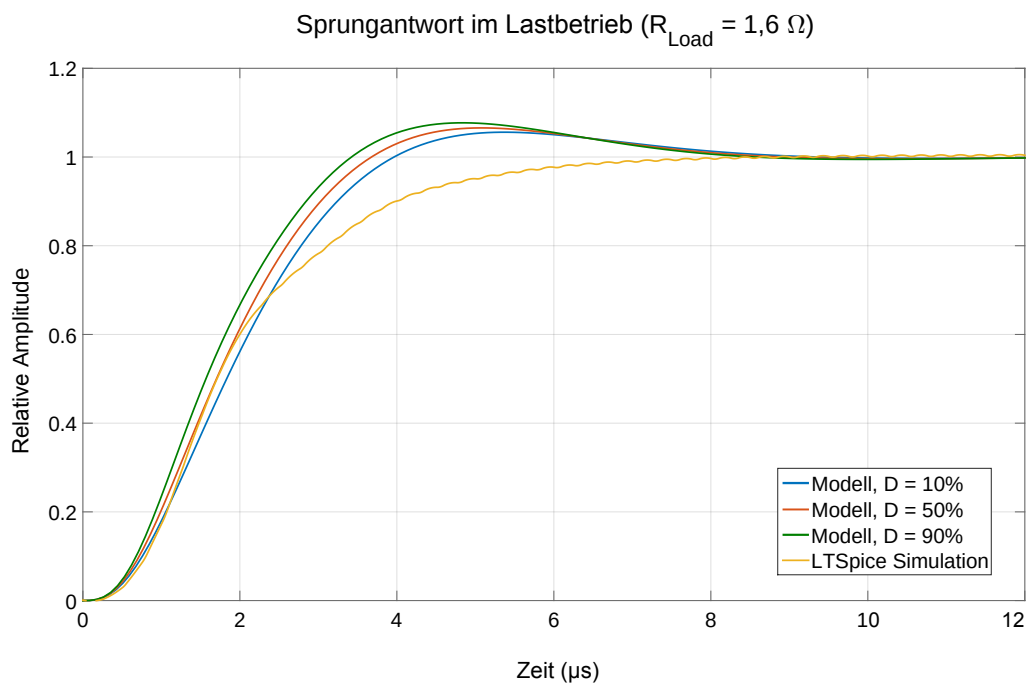


Abb. 4.6 – Sprungantwort der geregelten Strecke bei $1,6 \, \Omega$ Last im Vergleich zwischen dem MATLAB Modell und der LTSpice Simulation

Das Einschwingverhalten des Modells und der Simulation ist im Vergleich zum Leerlaufbetrieb träger, aber weist ein geringeres Überspringen auf. Die orangefarbene Kennlinie der Abbildung 4.5 zeigt die Sprungantwort der LTSpice-Simulation, die sich zunächst wie das Modell verhält, aber durch die Dämpfung kein Überspringen besitzt.

Der Vergleich zwischen dem vorgestellten Modell und der LTSpice Simulation zeigt, dass das Modell zur vorläufigen Bestimmung des Systemverhaltens und der Regelparameter herangezogen werden kann. Somit kann zusätzliche Entwicklungszeit aufgrund der vergleichsweise langen Simulationszeit von LTSpice eingespart werden. Dennoch bestehen Abweichungen zur Simulation aufgrund von nicht berücksichtigten Effekten wie zum Beispiel den Transistorenverlusten. Eine Simulation ist für eine genauere Bestimmung der Dynamik des Systems daher unerlässlich.

5 Systemeffizienz

Die Effizienz des gesamten Systems im Vorwärtsbetrieb kann anhand der Berechnungen der einzelnen Teilverluste aus den vorangegangenen Kapiteln theoretisch berechnet werden. Die nachfolgende Effizienzbetrachtung wurde für den Betrieb im ersten Quadranten durchgeführt, da dort die höchste Ausgangsleistung erreichbar ist. Für die Berechnung wird die Summe aus allen bekannten Verlusten in Formel 5.1 gebildet. Diese beinhaltet die Transistorenverluste $P_{Multiphase\ total_{loss}}^{FET}$ aller Phasen und die statischen Verluste P_{stat} durch die Versorgung der Digital- und Messelektronik. Zudem wurden die maximalen Spulenverluste ($P_{L_{PH}\ DCR}$ und $P_{L_{PH}\ AC}$) und der Verlust des anteiligen Ausgangskondensators $P_{C_{PH}\ ESR}$ der einzelnen Phasen berücksichtigt.

$$P_{total\ system}(D, i_{out}) = P_{Multiphase\ total_{loss}}^{FET}(D, i_{out}) + P_{stat} + \quad (5.1)$$

$$+ n_{Phasen} \cdot [P_{L_{PH}\ DCR} + P_{L_{PH}\ AC} + P_{C_{PH}\ ESR}(D, i_{out})]$$

Die statischen Verluste (P_{stat}) sollen für die nachfolgende Berechnung der Effizienz mit 15 Watt angenommen werden.

$$P_{stat} = 15\ W \quad (5.2)$$

Bei einem Tastverhältnis von 90 % und einem Ausgangsstrom von 35 A entsteht laut Formel 5.3 ein Verlust des Gesamtsystems von 38,7 Watt.

$$P_{total\ system}(90\ \%,\ 35\ A) = 13,1\ W + 15\ W + \quad (5.3)$$

$$+ 4 \cdot [0,182\ W + 2,45\ W + 0,0165\ W] =$$

$$\approx 38,7\ W$$

Die Eingangsleistung (P_{in}) wird aus der Summe der statischen Verluste und der Leistung für die Leistungselektronik berechnet. Für die Betrachtung im ersten Quadranten wird eine Ausgangsspannung, die größer oder gleich 0 Volt ist vorausgesetzt. Eine Ausgangsspannung von 0 Volt wird bei einer mittleren Spannung über dem Lowside-Transistor von 13 Volt erreicht und entspricht der negativen Versorgungsspannung

u_{in2} aus Formel 3.38. Daraus ergibt sich ein Tastverhältnis (D_0) von 16,25 % bei einer Systemspannung von 80 Volt und einer Ausgangsspannung von 0 Volt.

$$D_0 = \frac{u_{in2}}{u_{in}} = \frac{13 \text{ V}}{80 \text{ V}} = 16,25 \% \quad (5.4)$$

Eine höhere Ausgangsspannung die größer oder gleich 0 Volt ist wird somit bei einem Tastverhältnis von 16,25 % oder höher erreicht. Die Eingangsleistung berechnet sich damit wie folgt:

$$P_{in}(D, i_{out}) = (D - D_0) \cdot (u_{in} \cdot i_{out}) + P_{stat} \quad (5.5)$$

Aus den bekannten Leistungen kann nun die Effizienz des Vierquadrantennetztes ($n_{total\ system}$) in Abhängigkeit des Tastverhältnisses D und des Ausgangsstromes i_{out} ermittelt werden.

$$\begin{aligned} n_{total\ system}(D, i_{out}) &= \frac{P_{out}(D, i_{out})}{P_{in}(D, i_{out})} = 1 - \frac{P_{total\ system}(D, i_{out})}{P_{in}(D, i_{out})} = \\ &= 1 - \frac{P_{total\ system}(D, i_{out})}{(D - D_0) \cdot (u_{in} \cdot i_{out}) + P_{stat}} \end{aligned} \quad (5.6)$$

Somit kann eine Effizienz von 98,14 % bei einem Tastverhältnis von 90 % und einem Ausgangsstrom von 35 Ampere über die Formel 5.7 exemplarisch bestimmt werden. In diesem Punkt befindet sich auch die höchste Effizienz des Schaltwandlers.

$$\begin{aligned} n_{total\ system}(90 \%, 35 \text{ A}) &= 1 - \frac{P_{total\ system}(90 \%, 35 \text{ A})}{(0,9 - 0,1625) \cdot (80 \text{ V} \cdot 35 \text{ V}) + P_{stat}} \\ &= 1 - \frac{38,7 \text{ W}}{2065 \text{ W} + 15 \text{ W}} \\ &= 98,14 \% \end{aligned} \quad (5.7)$$

Die Formel 5.6, die die theoretische Effizienz des Gesamtsystems beschreibt, wurde mit der Software MATLAB graphisch aufbereitet und ist in Abbildung 5.1 als dreidimensionale Fläche dargestellt.

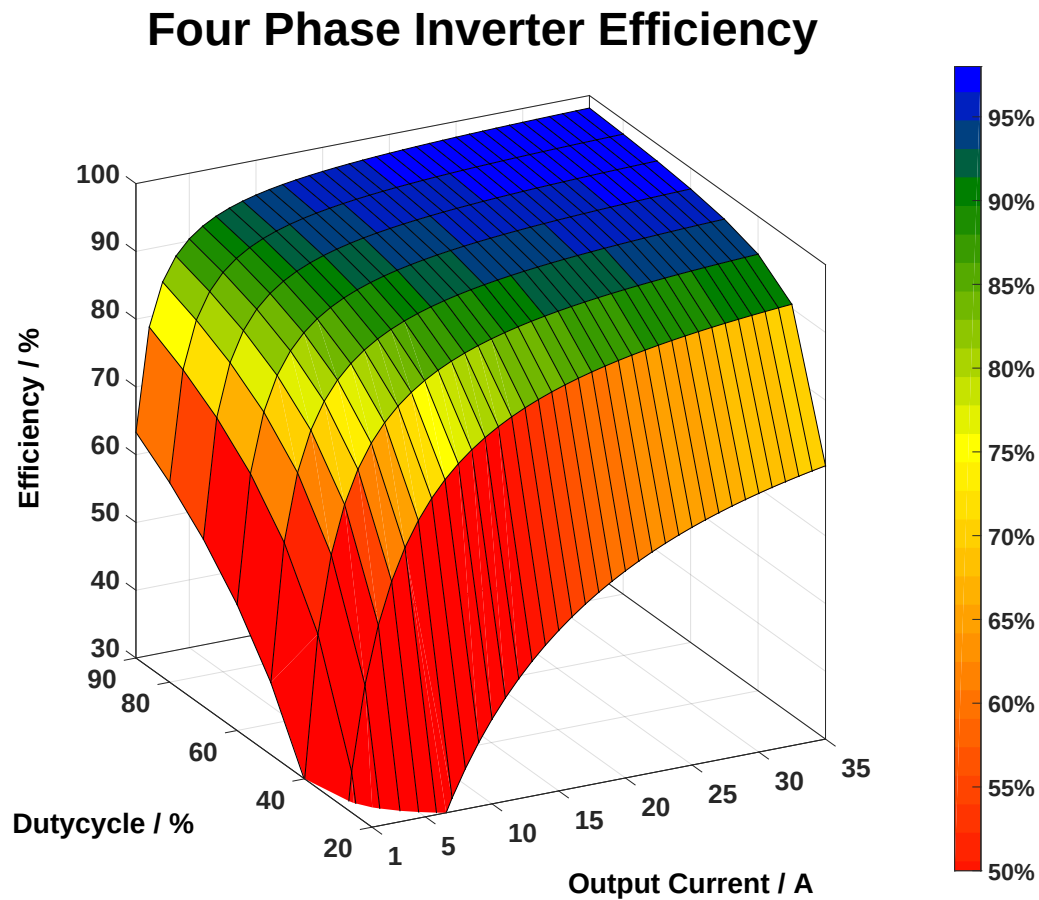


Abb. 5.1 – Effizienzplot der berechneten Vierphasentopologie

Bei einem niedrigen Tastverhältnis und einem niedrigen Ausgangsstrom folgt daraus eine niedrige Ausgangsleistung. In diesen Betriebspunkten überwiegen die statischen Verluste des Gesamtsystems, wie auch die von der Ausgangsleistung unabhängigen Verluste. Daraus resultiert ein niedriger Wirkungsgrad von 30 % und weniger, der in der Abbildung 5.1 durch eine rote Färbung gekennzeichnet ist.

Zudem lässt sich aus der Effizienzdarstellung folgern, dass je höher die Ausgangsleistung ist, desto höher ist die Effizienz des Gesamtsystems. Bei der Betrachtung der Effizienz in Abhängigkeit vom Ausgangsstrom wachsen die resistiven Verluste quadratisch zu dem fließenden Strom an und verringern die Steigung der Effizienzkurve mit zunehmendem Ausgangsstrom.

Die höchste zu erreichende Effizienz von 98,14 % kann bei einem Tastverhältnis von 90 % und einem Ausgangsstrom von 35 A erreicht werden. Dies entspricht der höchst möglichen Ausgangsleistung. Die Ausgangsspannung befindet sich bei einem Tastverhältnis von 90 % über der zulässigen Ausgangsspannung. Diese kann aber durch die Regelung bei hohen Leitungsverlusten erreicht werden.

6 Schutzschaltung

Bei einem Fehlverhalten oder bei einer fehlerhaften Bedienung des Vierquadrantennetztes in Bezug auf die Leistungselektronik und deren Ansteuerung ist ein permanenter Defekt sehr wahrscheinlich. Bei einem Defekt der Highside-Transistoren neigen diese zu einem Kurzschlussverhalten und somit liegt das Systempotential des Netztes von 80 V an dem DUT an. Dies könnte das DUT ebenfalls permanent beschädigen. Damit dies vermeiden wird, wurde eine Schutzschaltung entwickelt, die zur Absicherung des Netztes wie auch des DUTs dient, welches in diesem Kapitel behandelt wird.

Potenzielles Fehlverhalten des Wandlers kann in folgenden Situationen auftreten:

- Zu hoher Ausgangsstrom
- Zu hohe Ausgangsspannung
- Übermäßige Erwärmung der Leistungselektronik
- Fehlerhafte Ansteuerung der Halbbrücke

6.1 Halbbrücken-Schutzschaltung innerhalb einer Phase

Zur Vermeidung der permanenten Beschädigung des Netztes wird eine Schutzschaltung, wie in Abbildung 6.1 zu sehen ist, in jeder Phase vorgesehen. Diese besteht aus einer einstellbaren Totzeitgenerierung zur Vermeidung von Kurzschlüssen während einer Schaltflanke. Die darauf folgende Schutzschaltung vermeidet einen Kurzschluss zwischen den Transistoren $T1$ und $T2$ im Falle einer Fehlansteuerung.

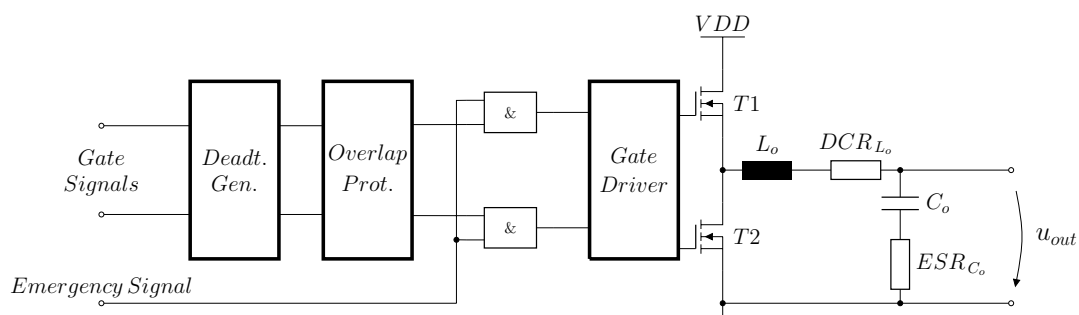


Abb. 6.1 – Schutzbeschaltung einer Halbbrücke

Zusätzlich ist es möglich $T1$ und $T2$ gleichzeitig bei einem detektierten Fehler zu öffnen, um damit die Leistungselektronik zu schützen. Dies geschieht sobald der

Emergency Signals auf eine logische Null gesetzt wird. Die möglichen Szenarien für das Auslösen des *Emergency Signals* wird in dem nachfolgenden Abschnitt näher beschrieben.

Eine mögliche Realisierung der Totzeitgenerierung wie auch des Überlappungsschutzes der Gatesignale ist in Abbildung 6.2 gezeigt. Die Generierung der Gatesignale *Highside Input* und *Lowside Input* wird von der vorher beschriebenen Peak-Current Regelung vorgenommen.

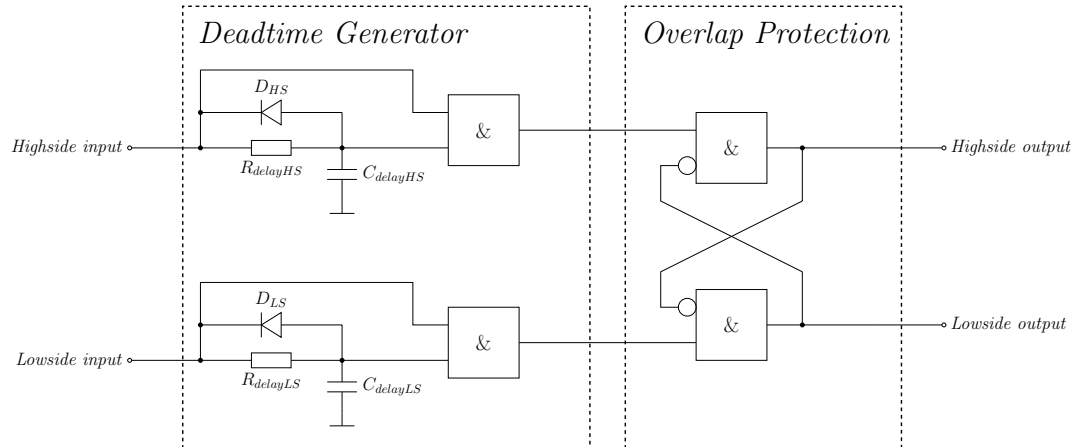


Abb. 6.2 – Schutzschaltung gegen Übersprechen und zur Totzeitgenerierung [13]

Während der ersten Schaltflanke in Abbildung 6.3 wird das *Highside – Input*-Signal aus- und gleichzeitig das *Lowside – Input*-Signal angeschaltet. Bei der fallenden Flanke des *Highside Input* Signales wird der zuvor geladene Kondensator $C_{delay\ HS}$ über die Diode D_{HS} und den Widerstand $R_{delay\ HS}$ entladen. Durch den Vorwärtsbetrieb der Diode wird der Kondensator sofort entladen und es liegt an den Eingängen des Und-Gatters eine logische Null an. Dies schaltet zeitgleich zu dem *Highside – Input*-Signal dessen Ausgang aus. Dieser Übergang ist mit dem ersten blauen Pfeil von links in Abbildung 6.3 verdeutlicht. Während des Einschaltvorganges des *Lowside – Inputs* befindet sich die Diode D_{LS} in Sperrrichtung wegen des entladenen Kondensators $C_{delay\ LS}$. Somit bilden der Widerstand $R_{delay\ LS}$ und der Kondensator $C_{delay\ LS}$ ein Verzögerungsglied. Sobald die Spannung über dem Kondensator der Anschalt-Schwelspannung des Und-Gatters entspricht, wird der Ausgang des Und-Gatters auf eine logische eins geschaltet. Dieser Übergang entspricht dem ersten roten Pfeil von links in der Signaldarstellung.

Die Zeit, die zum Erreichen der Schwellspannung des Und-Gatters $u_{threshold}$ benötigt wird, entspricht der resultierenden Totzeit zwischen den Gatesignalen. Diese kann über die Wahl der Werte des Widerstandes und des Kondensators beeinflusst werden und kann für $T1$ und $T2$ unabhängig eingestellt werden [13] [9]. Alle in diesem Kapitel verwendeten Gatter besitzen einen Schmitt-Trigger-Eingang.

$$\tau = R_{delay} \cdot C_{delay} \quad (6.1)$$

Die Totzeit (t_{dead}) kann mittels der Berechnung der Kondensatorspannung ($u_{C_{delay}}$) eines RC-Gliedes ausgelegt werden. Das Produkt des Widerstandes R_{delay} und der Kapazität C_{delay} des Verzögerungsgliedes bilden die Variable τ . Über die maximale PWM-Spannung u_{PWM} , die gleich 5 V beträgt und der Schalt-Schwellspannung ($u_{threshold}$) des Und-Gatters kann τ berechnet werden [16].

$$u_{threshold} = u_{C_{delay}} = u_{PWM} \cdot \left(1 - e^{-\frac{t_{dead}}{\tau}}\right) \quad (6.2)$$

$$\Rightarrow \tau = \frac{t_{dead}}{-\ln\left(1 - \frac{u_{threshold}}{u_{PWM}}\right)} = R_{delay} \cdot C_{delay} \quad (6.3)$$

In den rot eingefärbten Bereichen der Signale *Highside Input* und *Lowside Input* in der Abbildung 6.3 ist eine fehlerhafte Ansteuerung der Gatesignale dargestellt. Diese würde zum Kurzschluss der Halbbrücke und damit zu deren dauerhaften Defekt führen. Um diesen Fehlerfall zu vermeiden, wurde der Überlappungsschutz eingeführt. Dieser ist über zwei gekoppelte Und-Gatter realisiert, wie in Abbildung 6.2 auf der rechten Seite zu sehen ist.

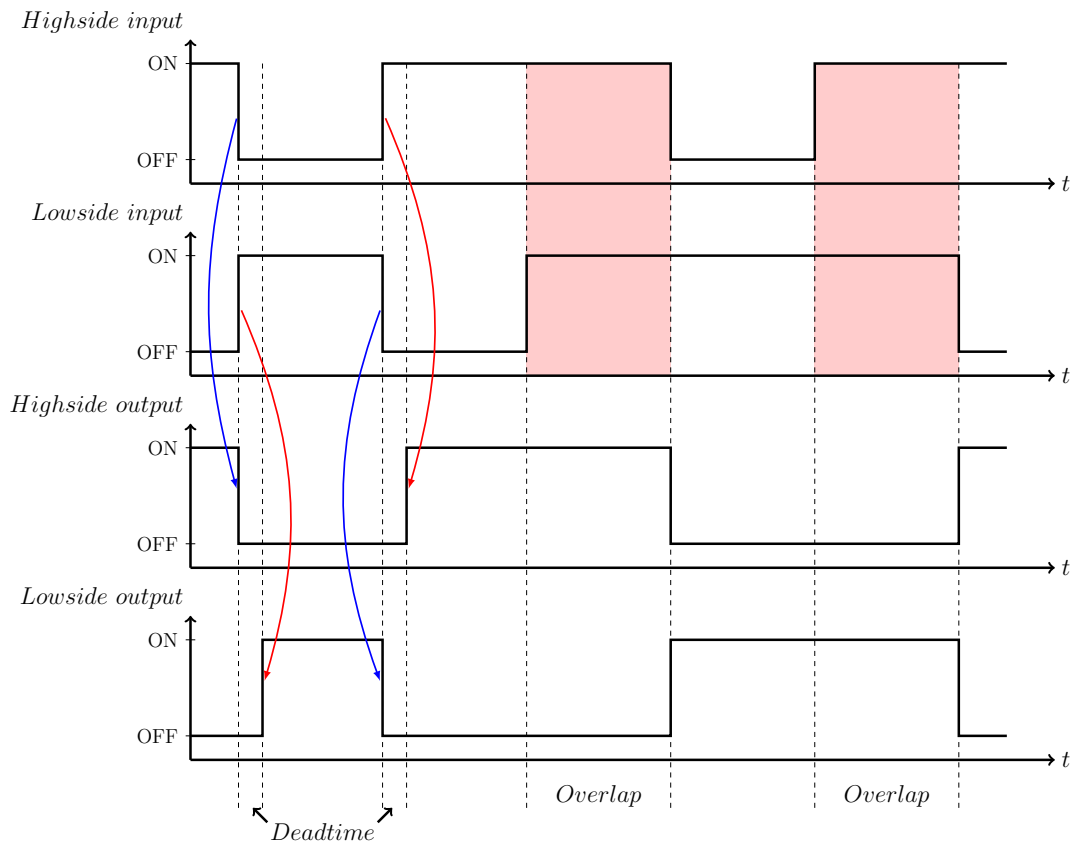


Abb. 6.3 – Schaltverhalten der Schutzbeschaltung bei fehlerhaften Signalen

Diese bilden eine Flip-Flop Schaltung [16] mit nicht invertierendem Ausgang. Somit wird bei einer Überlappung die letzte gültige Schaltposition beibehalten, bis ein neues gültiges Schaltsignal ohne Überlappung anliegt.

6.2 Globale Schutzschaltung

Für den Schutz des Gesamtsystems müssen Fehler, die den Ausgangsstrom, die Ausgangsspannung wie auch die Temperatur der Leistungselektronik betreffen, erkannt werden. Dafür wird jedes genannte gemessene Signal mit einem einstellbaren Maximalwert verglichen. Diese Operation wird jeweils über einen Komparator in Abbildung 6.4 bewerkstelligt. Sollte eine Überschreitung des Maximalwertes detektiert werden, so wird der Ausgang des Komparators eine logische Eins. Diese liegt an dem Reseteingang des nachfolgenden getakteten D-Flip-Flops an. Sobald am Reseteingang eine logische Eins anliegt, wird der Ausgang Q zu einer logischen Null und $\overline{Q}$ zu einer logischen Eins [9]. Der Q -Ausgang der Flip-Flops liegen an einem Und-Gatter an. Sobald ein Fehler detektiert wird, wird der Ausgang des Und-Gatters auf eine logische Null geschaltet. Dieser Ausgang ist mit dem *Emergency – Signals* aus Abbildung 6.1 verbunden und bewirkt beim Anlegen einer logischen Null das Abschalten aller Halbbrücken der Leistungselektronik.

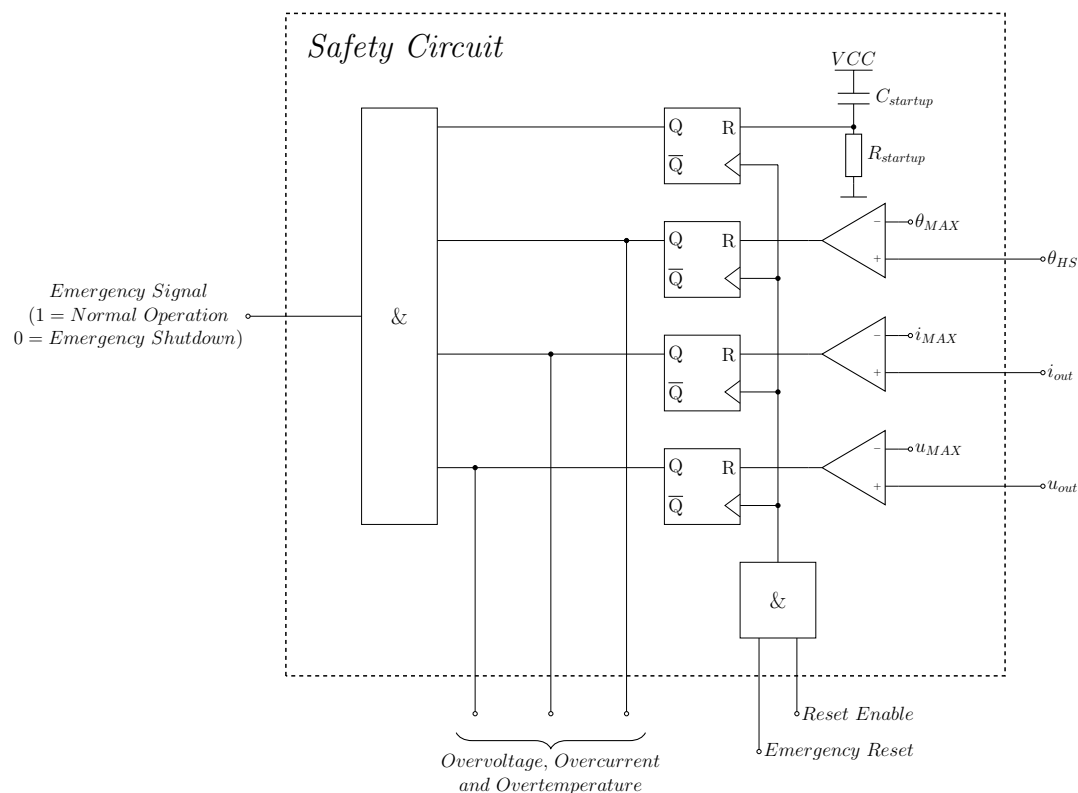


Abb. 6.4 – Schutzbeschaltung der Ausgangsstufe

Zur Sicherheit der Leistungselektronik bei unerwarteten Schaltsignalen durch den Einschaltvorgang der Digitalelektronik ist ein zusätzliches Flip-Flop vorgesehen. Mittels des Kondensators $C_{startup}$ und des Widerstandes $R_{startup}$ wird beim Einschaltvorgang die Leistungselektronik über den *Emergency – Signals* zunächst deaktiviert. Zur Reaktivierung der Leistungselektronik muss eine steigende Flanke an den Takteingängen der Flip-Flops anliegen. Hierfür muss mittels des Mikrokontrollers der *Reset Enable* wie auch der *Emergency Reset* auf eine logische Eins gesetzt werden. Bei einem Fehlerfall kann der Mikrokontroller durch das Auslesen der Signale *Overvoltage*, *Overcurrent* und *Overtemperature* den Fehlerfall bestimmen und an den Benutzer weitergeben. Durch den Einsatz von Flip-Flops kann dies auch nach der Abschaltung der Leistungselektronik erfolgen.

7 Digitale Verarbeitung und Schnittstellen

Neben der Leistungselektronik stellt die nachfolgende Digitalelektronik einen wichtigen Bestandteil bezogen auf die Überwachung und die Möglichkeit, das Netzteil nach den Wünschen des Anwenders zu konfigurieren, dar. In diesem Kapitel werden die Anforderungen und alle notwendigen Komponenten der Digitalelektronik behandelt.

7.1 Anforderungen an die Digitalelektronik

Wie bereits in den vorhergehenden Kapiteln genannt, sind die Anforderung an die Digitalelektronik wie folgt:

- Überwachung der Leistungselektronik, um einen sicheren Betrieb zu gewährleisten
- Lokale und netzwerkgebundene Kommunikationsschnittstellen
- Signalgenerierung des Ausgangssignals, welches durch die Leistungselektronik verstärkt wird

Aufgrund der vielzähligen Aufgaben sind im Zuge der Realisierung für jede genannte Aufgabe zum Teil mehrere Integrierte Schaltungen (ICs) notwendig. Zur Verringerung der benötigten ICs ist der Einsatz eines Field Programmable Gate Arrays (FPGAs), der alle diese Aufgaben übernimmt, vorteilhaft. Mittels eines FPGAs können die in Abbildung 7.1 rot eingeschlossenen Module von diesem übernommen werden. Ein weiterer Vorteil durch den Einsatz eines FPGAs entsteht dadurch, dass vorgesehene Analogschaltungen wie der Tiefpassfilter und der nachfolgende PI-Regler komplett digital realisiert werden können. Diese sind damit weniger anfällig für externe Störungen. Die meisten FPGAs benötigen mehrere Versorgungsspannungsebenen. Dies bedeutet, dass für die Versorgung des FPGAs eine möglicherweise komplexe Schaltung benötigt wird. Zudem müssen die einzelnen Module in einer Hochsprache wie beispielsweise VHDL beschrieben werden, welches einen zusätzlichen zeitlichen Aufwand darstellen kann. Für den Aufbau des Netztes wird der Einsatz eines FPGAs trotzdem empfohlen, da durch dessen Einsatz es möglich ist, spätere Änderungen durch eine Neuprogrammierung vorzunehmen. Diese Änderungen können zusätzliche Funktionen oder Hardwareblöcke sein.

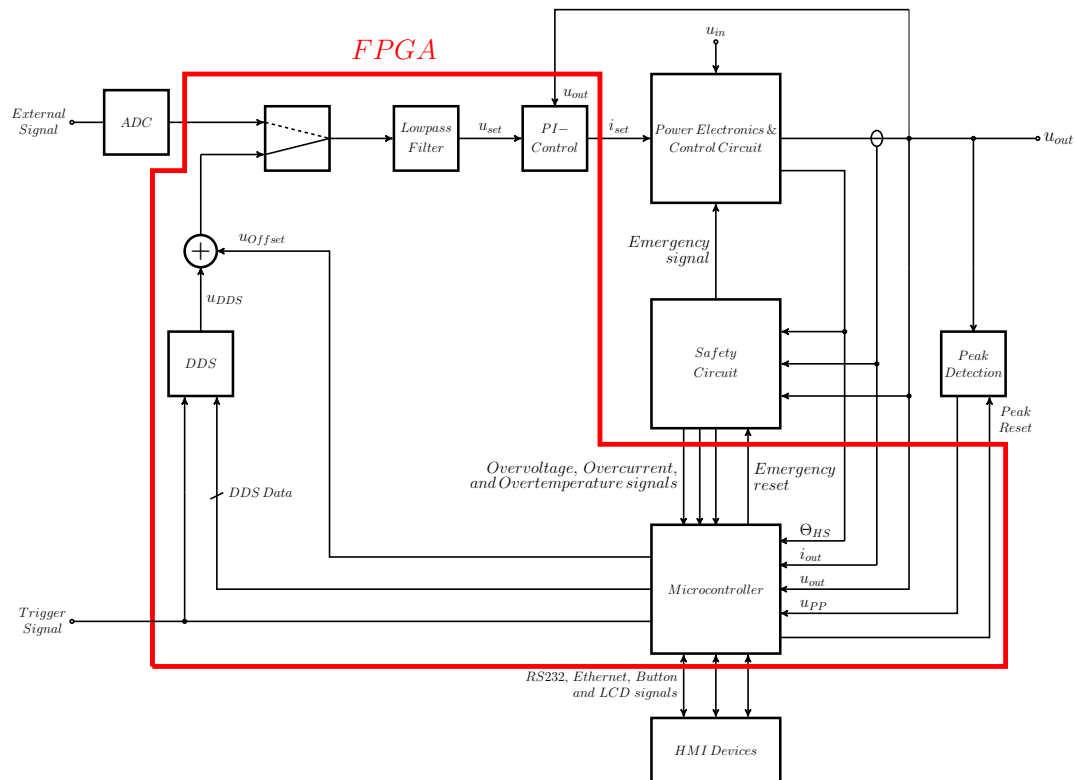


Abb. 7.1 – Aufbau des Gesamtsystems mit Field Programmable Gate Array (FPGA) Einsatz

7.2 Mikrokontroller

Der Mikrokontroller ist für die Überwachung der Leistungselektronik, für die Einstellung der gewünschten Signalforn und für die Kommunikation mit externen Geräten und dem Bediener notwendig. Mittels eines vorgefertigten VHDL-Modules (IP-Core) kann dieser in dem FPGA realisiert werden. Durch die Flexibilität eines FPGAs können an den Mikrokontroller zusätzliche Module wie ein Ethernet- oder RS232-Kontroller einfach angebunden werden, ohne den Mikrokontroller mit Rechenoperationen zu belasten. Der Mikrokontroller kommuniziert mit einem externen ADC, um die zu verarbeitenden Ausgangssignale der Messelektronik zu digitalisieren. Diese werden für das vom Mikrokontroller zu erstellende Messprotokoll wie auch für Nachjustierung der Ausgangsspannung im Sinusbetrieb verwendet. Damit ist der Mikrokontroller in der Lage, die Ausgangswellenform entsprechend den Vorgaben des Benutzers dem Modul für Direkte Digitale Synthese zu übergeben und diese bei Bedarf zu ändern. Aus diesem Grund sollte bei der Auswahl des IP-Cores auf einen ausreichend großen flüchtigen Zwischenspeicher (RAM) geachtet werden.

7.3 Eingabemethoden

Für die lokale Benutzereingabe ist eine alphanumerische Flüssigkristall-Anzeige (LCD) mit 4 Zeilen je 20 Zeichen vorgesehen. Auf dieser können Einstellung, Messwerte und Fehlerzustände dargestellt werden. Eingaben können über zwei Drehimpulsgeber, einer für die Auswahl der einzustellenden Variable und einer zum Ändern der Variable, erfolgen. Die Drehimpulsgeber besitzen zusätzlich einen integrierten Drucktaster, um die ausgewählte Variable zurückzusetzen. Des Weiteren ist ein Taster nebst den Drehimpulsgebern vorgesehen, um das Messverfahren zu starten.

7.4 Kommunikationsschnittstellen

Das Testgerät benötigt diverse Kommunikationsschnittstellen, um die Anforderung der Telemetrie, Messwerterfassung und Konfiguration zu erfüllen. Hierfür wurde eine RS232-Schnittstelle wie auch eine Ethernetschnittstelle ausgewählt.

Die RS232-Schnittstelle wird zur einfachen Steuerung des Testgerätes über Kommandoeingaben genutzt. Des Weiteren dient diese bei der Entwicklung der integrierten Software des Mikrokontrollers als integrierte Diagnoseausgabe zur Fehlerbehebung. Die Ethernetschnittstelle besitzt die gleiche Funktionalität wie auch die RS232-Schnittstelle. Zusätzlich besteht die Möglichkeit, die aktuellen internen Messwerte auszulesen, die gewünschte Wellenform auszuwählen, wie auch eine vom Benutzer generierte Wellenform in das Testgerät einzuprogrammieren.

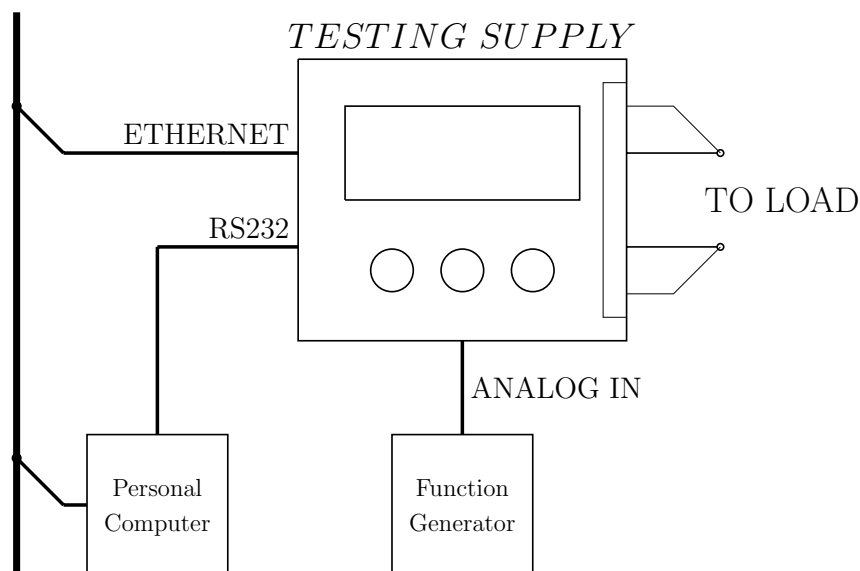


Abb. 7.2 – Kommunikationsschnittstellen des Klasse-D-Netzteiles

7.5 Signalgenerierung über Direkte Digitale Synthese

Zur Signalgenerierung der Testsignale des Ausganges wird die Methode der Direkten Digitalen Synthese (DDS) genutzt. Bei dieser wird das Signal digital generiert. Eine der am häufigsten verwendeten Testsignale stellt das Rampensignal dar, um einen Sanftanlauf einer Versorgungseinheit wiederzugeben. Eine weitere Signalform ist der Puls, der ein kurzes Störsignal abbildet. Das Sinussignal kann beispielsweise zur Anregung von Schwingungen in Systemen genutzt werden. Die genannten Signalformen sind in Abbildung 7.3 dargestellt.

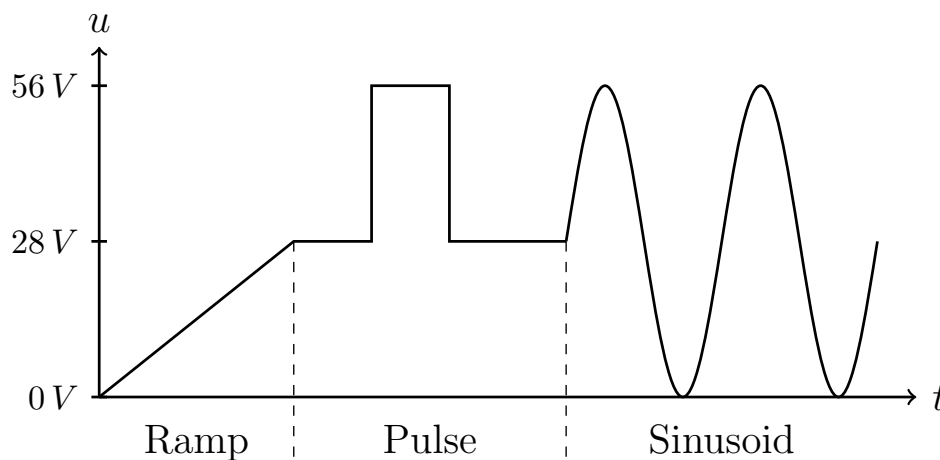


Abb. 7.3 – Möglicher modulierter Spannungsverlauf

Ein DDS, wie er in Abbildung 7.4 gezeigt ist, besteht im grundlegenden aus der Bestimmung einer zu stellenden Phase (Phasenakkumulator) und einer Lookup-Tabelle mit einer darin gespeicherten Wellenform. Diese wird im Vierquadrantennetzteil durch den Mikrokontroller programmiert und modifiziert. Zusätzlich bestimmt der Mikrokontroller die Ausgangsfrequenz mittels der Phaseninkrementierung (Tuning Word). Dieses wird bei jedem Taktzyklus mit dem Phasenregister addiert und in dieses wieder gespeichert. Das Phasenregister beinhaltet die aktuelle Phase des Ausgangssignales. Abhängig von der Speichertiefe der Lookup-Tabelle werden die obersten Bits des Phasenregisters als Speicherzugriffs-Adresse für die Lookup-Tabelle genutzt. Die an dieser Stelle in der Lookup-Tabelle gespeicherten Daten werden an den Ausgang des DDS weitergegeben und bilden damit das Ausgangssignal. Optional kann bei einer gewünschten analogen Signalausgabe an den DDS-Ausgang ein Digital-Analog-Umsetzer (DAC) folgen. Dies ist durch die Integration im FPGA nicht notwendig und spart damit Leiterbahnfläche wie auch Bauteilanzahl.

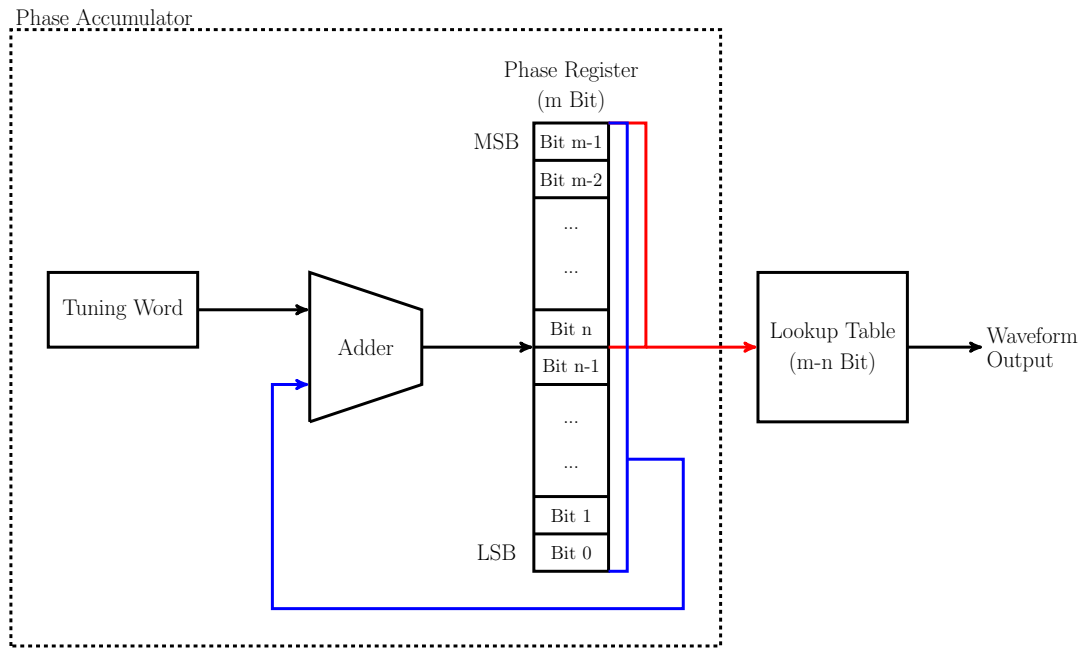


Abb. 7.4 – Funktionsweise des eingesetzten DDS Generators [36]

Nebst der internen Generierung des Testsignals kann alternativ ein externes analoges Testsignal eingespeist werden, wie es in Abbildung 7.2 dargestellt ist. Dieses wird über ein Hochgeschwindigkeits-ADC digitalisiert und über den FPGA weiter verarbeitet.

8 Messelektronik

Das nachfolgende Kapitel behandelt die vorgesehene Messelektronik für das Vierquadrantennetzteil. Die Messsignale dienen zur Regelung so wie zur Überwachung und Einhaltung eines sicheren Betriebspunktes des Gesamtsystems.

8.1 Phasenstrommessung

Für die Phasenstrommessung ist eine Peak-Current Regelung vorgesehen, wie sie in Abbildung 8.1 dargestellt ist. Für diese Regelung wird der Phasenstrom mittels eines Shunt-Widerstandes R_{sense} gemessen. Die darüber anliegende Spannung wird nachfolgend von einem Shuntverstärker (OP1) auf die Systemspannungsebene (u_{LS}) gewandelt und dort verstärkt.

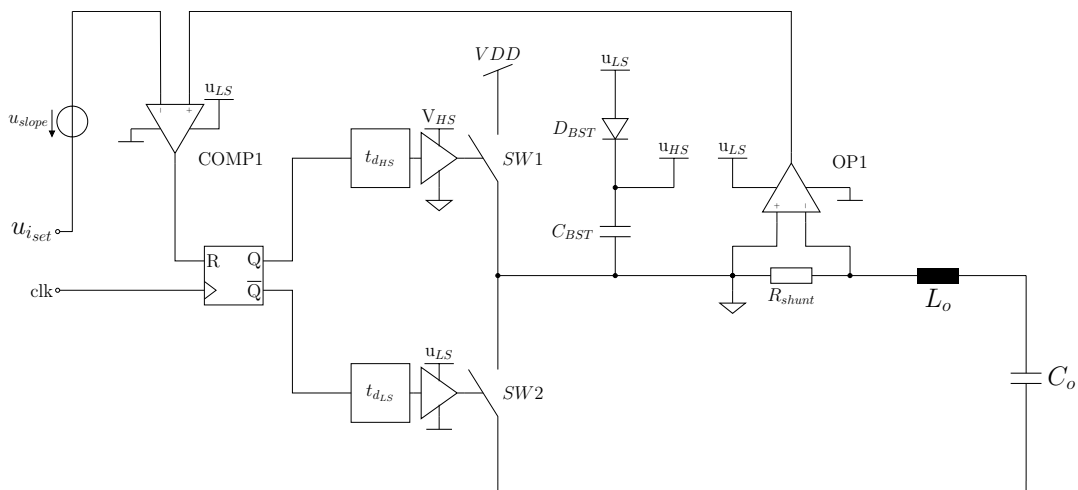


Abb. 8.1 – Schaltungsabbild der Peak-Current-Regelung einer Phase [15]

Bei der Verwendung einer Peak-Current-Regelung ist es wichtig, dass der dreiecksförmige Stromverlauf so exakt wie möglich gemessen wird, um eine zuverlässige Regelung zu realisieren. Um dies zu erreichen, ist eine breitbandige Verstärkung A_{sense} der Spannung über einem Messwiderstand R_{sense} notwendig. Hierzu wurde die Fourierreihe eines Sägezahnsignales in Formel 8.1 betrachtet, da diese Signalform bei sehr hohem oder sehr niedrigen Tastverhältnis dem Stromverlauf durch die Spule L_{PH} entspricht. Diese wird betrachtet, da sie ein breiteres Frequenzspektrum als ein Dreieckssignal besitzt [2].

$$S_{dreieck}(\omega) = 2 \cdot \sum_{n=1}^{\infty} (-1)^{n-1} \cdot \frac{\sin(n \cdot \omega)}{n} \quad (8.1)$$

Mittels der Betrachtung der Grundwelle und iterativer Hinzunahme harmonischer Wellen konnte herausgefunden werden, dass ein Dreieckssignal, welches aus einschließlich ihrer fünften Harmonischen Welle oder mehr besteht, geeignet für eine Peak-Current Regelung ist. Basierend auf diesem Ergebnis kann die Mindestbandbreite $f_{BW \min}$ des Verstärkers für die Strommessung berechnet werden. Diese beläuft sich basierend der Formel 8.2 auf 5,625 MHz.

$$f_{BW \min} = n_{harmonische} \cdot f_{s_{PH}} = 5 \cdot 1,125 \text{ MHz} = 5,625 \text{ MHz} \quad (8.2)$$

Der maximale Verlust durch den Strommesswiderstand soll maximal 1 Watt betragen. Daraus ergibt sich für den maximalen Strommesswiderstand folgender Zusammenhang:

$$R_{sense} \leq \frac{P_{sense_{PH \max}}}{(i_{out \text{ eff}})^2} = \frac{1 \text{ W}}{(10 \text{ A})^2} = 10 \text{ m}\Omega \quad (8.3)$$

Bei einem kleinen Messwiderstand wird eine hohe nachfolgende Verstärkung benötigt. Daraus resultiert eine geringere Bandbreite dieses Verstärkers als bei einem großem Messwiderstand. Aus diesem Grund wurde dieser 10 mΩ groß gewählt. Daraus ergibt sich eine notwendige nachfolgende Verstärkung von 30 dB.

$$R_{sense} = 10 \text{ m}\Omega \quad (8.4)$$

$$A_{sense} = \frac{R_i}{R_{sense}} = \frac{0,315 \Omega}{0,01 \Omega} = 31,5 \simeq 30 \text{ dB} \quad (8.5)$$

Bei einer angenommenen Dämpfung des Verstärkers von -20 dB pro Dekade ergibt sich für das notwendige Verstärkungs-Bandbreiten-Produkt (GBW) des Verstärkers eine Frequenz von 177 MHz [9].

$$f_{GBW} = A_{sense} \cdot f_{BW \min} = 31,5 \cdot 5,625 \text{ MHz} \approx 177 \text{ MHz} \quad (8.6)$$

Bei der Wahl eines Operationsverstärker sollte das GBW dieses mindestens Faktor zwei größer sein als f_{GBW} , da ansonsten wegen des großen Phasenversatzes Messfehler entstehen [9] [26]. Wegen des hohen ermittelten GBWs konnte zum Zeitpunkt dieser Arbeit kein kommerziell erhältlicher Shuntverstärker, der diese Anforderungen erfüllt, ermittelt werden. Um eine solche Phasenstrommessung zu realisieren wurde eine Schaltung entwickelt, die es ermöglicht kommerziell erhältliche Hochgeschwindigkeits-Operationsverstärker als Shuntverstärker zu nutzen, in dem diese Schaltung den Gleichspannungsanteil über dem Shuntwiderstand eliminiert. Diese Schaltung kann zum Zeitpunkt der Veröffentlichung dieser Arbeit nicht näher beschrieben werden, da diese zur Patentbewertung vorgesehen ist.

8.2 Ausgangsstrommessung

Die Ausgangsstrommessung benötigt eine geringere Bandbreite als die Phasenstrommessung, da diese nur zur Messung des mittleren Ausgangsstromes dient. Anhand dieses Signales wird ein möglicher Überstromfehler detektiert. Aufgrund des hohen Ausgangsstromes von bis zu 35 Ampere wird ein geringer Messwiderstand benötigt. Aufgrund der Messung vor der Klemme des positiven Ausganges wird zudem ein Isolationsverstärker benötigt, um dieses Signal auf die Systemebene zu transformieren und diese dort zu verstärken. Aus diesem Grund wurde für die Ausgangsstrommessung ein Hallelement des Typs ACS716-X25CB der Firma Allegro MicroSystems [28], der zudem einen integrierten Verstärker besitzt, vorgesehen. Mit einem Innenwiderstand von $1\text{ m}\Omega$ entstehen durch die Messung Verluste bis zu $1,2\text{ W}$.

$$P_{sense_{out\ max}} = (i_{out\ max})^2 \cdot R_{sense_{out}} = (35\text{ A})^2 \cdot 0,001\ \Omega \approx 1,2\text{ W} \quad (8.7)$$

Zusätzlich ist es durch den Einsatz dieses Bauteils möglich, über einen zusätzlichen Kondensator eine integrierte Filterstufe zu nutzen, um damit mögliche Störsignale zu minimieren.

8.3 Interne und externe Spannungsmessung

Die Spannungsmessung des Ausgangspotenzials wird häufig durch das Abgreifen des Potentials über den Anschlussklemmen des Testgerätes (u_{out}) durchgeführt. Um eine präzise Messung und Regelung der Spannung direkt an dem zu testenden Gerätes ohne Spannungsabfall über die Anschlusskabel zu erreichen, sind zusätzlich Spannungsmessanschlüsse (u_{sense}) vorgesehen. Diese werden direkt an die Versorgungsanschlüsse des zu testenden Gerätes angeschlossen.

Sollten keine zusätzlichen Messleitung genutzt werden, so soll automatisch die Spannung über den Ausgangsklemmen als zu messende Ausgangsspannung herangezogen werden. Dies wird durch die Widerstände $R11$ und $R12$ aus Abbildung 8.2 bewerkstelligt. Die Widerstände $R21$ und $R22$ bilden einen Spannungsteiler zur Reduzierung der Ausgangsspannung auf eine maximale Spannung von 5 Volt über $R22$.

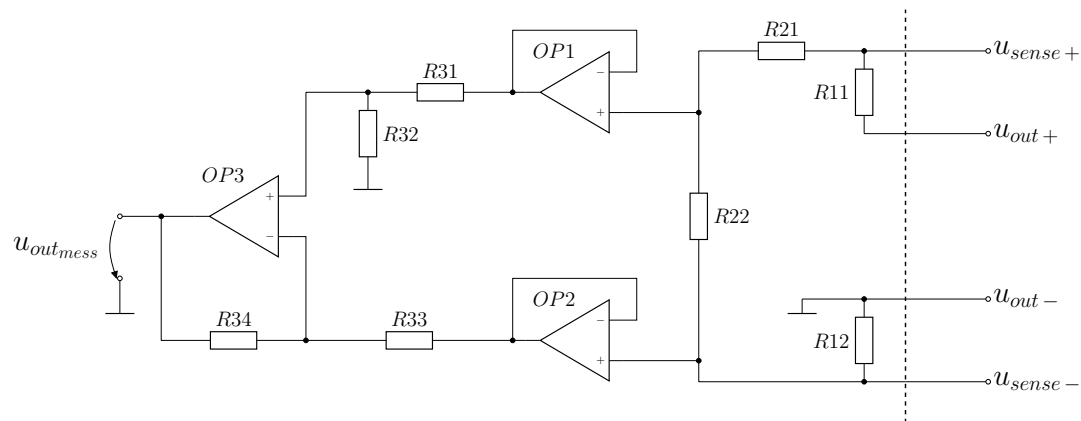


Abb. 8.2 – Schematischer Aufbau der Spannungsmessung [9]

Dies entspricht einer Dämpfung von 0,089 entsprechend der Formel 8.9.

$$\frac{u_{R22}}{u_{R21} + u_{R22}} = \frac{R22}{R21 + R22} \quad (8.8)$$

$$\Rightarrow \frac{R_{22}}{R_{21} + R_{22}} = \frac{5 \text{ V}}{u_{out_{max}}} = \frac{5 \text{ V}}{56 \text{ V}} \approx 0,089 \quad (8.9)$$

Bei einer Soll-Eingangsimpedanz von 1 Megaohm, die sich aus der Summe der Widerstände R_{21} und R_{22} ergibt, errechnet sich nach Formel 8.10 und Formel 8.11 die Widerstandswerte des Spannungsteilers.

$$R_{22} = 0,089 \cdot (R_{21} + R_{22}) = 0,089 \cdot 1 \text{ M}\Omega = 89 \text{ k}\Omega \quad (8.10)$$

Daraus folgt für den Widerstand R_{21} :

$$R_{21} = (R_{21} + R_{22}) - R_{22} = 1 \text{ M}\Omega - 89 \text{ k}\Omega = 811 \text{ k}\Omega \quad (8.11)$$

Die Verstärker $OP1$ und $OP2$ werden als Spannungsfolger betrieben und dienen zur Entlastung des Spannungsteilers in Bezug auf die nachfolgende Schaltung. Diese besteht aus einem Differenzverstärker mit einem Verstärkungsfaktor von eins. Somit sind die Widerstände $R31$ bis $R34$ gleich groß zu dimensionieren [16]. Hierfür wurde je ein Widerstand mit $10\text{ k}\Omega$ mit einer maximalen Toleranz von $0,1\%$ vorgesehen. Je höher die Toleranzen gewählt werden, desto eher können Messfehler aufgrund der Abweichungen der Widerstandsnetzwerke $R31$ und $R32$ so wie $R33$ und $R34$ auftreten [9].

$$R_{31} = R_{32} = R_{33} = R_{34} = 10 \text{ k}\Omega \quad (8.12)$$

Am Ausgang des Verstärkers *OP3* liegt die gemessene Ausgangsspannung $u_{out_{mess}}$ an und wird an den Mikrokontroller, an die Sinus-Peak-Detektion und an die globale Schutzbeschaltung weitergegeben.

8.4 Sinus-Peak-Detektion

Aufgrund der nichtlinearen Frequenzcharakteristik des geregelten Gesamtsystems wird bei der Modulation einer sinusförmigen Spannung die positive und negative Scheitelspannung ermittelt. Diese Signale werden über einen im Mikrocontroller implementierten Algorithmus aufbereitet und somit die Amplitude und der Ursprungsversatz des Stellsignales nachgeregelt, um das ursprünglich gewünschte Signal zu erhalten.

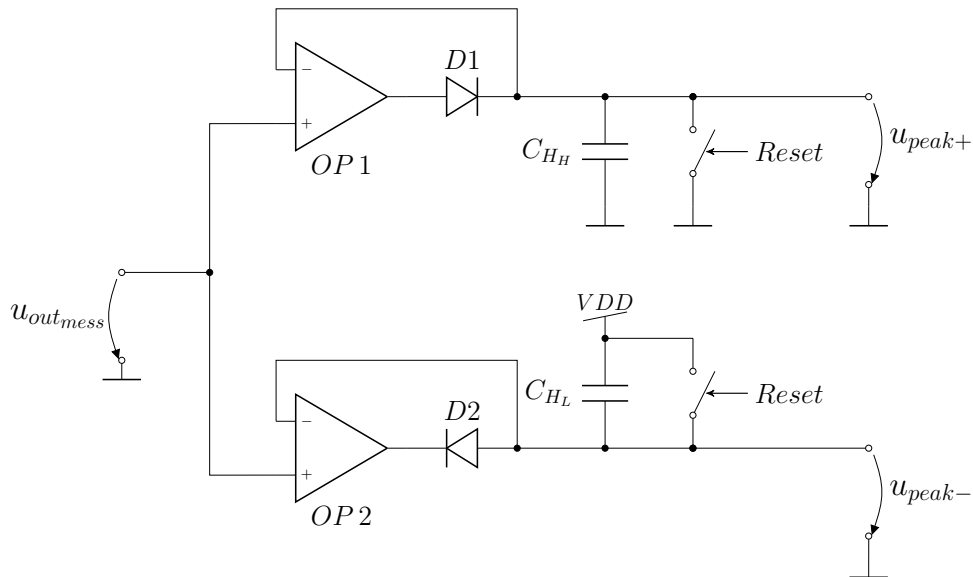


Abb. 8.3 – Aufbau der Scheitelspannungserkennung [9]

Der vorgesehene Aufbau der Scheitelspannungs-Erkennung ist in Abbildung 8.3 gezeigt. Der Operationsverstärker $OP1$, die Diode $D1$ und der Kondensator C_{HH} beziehungsweise $OP2$, $D2$ und C_{HL} bilden die Scheitelspannungs-Detektoren. Diese messen den maximalen und minimalen Scheitelwert der Sinusspannung. Über ein Resetsignal des Mikrocontrollers können die Kondensatoren durch einen Kurzschluss über den Schalter entladen werden. Nach dieser Entladung wird die Spannung über C_{HH} mittels $OP1$ und $D1$ gleich der gemessenen Eingangsspannung u_{out_mess} gestellt. Dies gilt so lange, bis der Scheitel der Sinusspannung erreicht wird. Bei dem Abfallen der Sinuswelle ist die Spannung über dem Kondensator größer als die Eingangsspannung und somit sperrt die Diode $D1$. Die gemessene positive Scheitelspannung bleibt durch den Kondensator erhalten und kann nach dem Erreichen des Scheitels zeitunabhängig gemessen werden. Die Messung des negativen Scheitels funktioniert analog zu der oben beschriebenen Messung. Die Signale u_{peak+} und u_{peak-} können nun mittels eines Analog-Digital-Wandlers für die Amplitudenkorrektur durch den Mikrocontroller genutzt werden [9].

9 Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit ist ein theoretischer Entwurf für das Gesamtsystem eines Vierquadrantennetzteiles entstanden. Der Entwurf beinhaltet die Teilkomponenten der Leistungselektronik, der Messelektronik und der Digitalelektronik. Das geregelte Gesamtsystem erfüllt im Leerlaufbetrieb die Anforderung, eine Ausgangsamplitude von bis zu 56 Volt im Frequenzbereich von 20 Hz bis 100 kHz bereit zu stellen. Im Lastbetrieb kann diese durch ein dafür entwickeltes Korrekturverfahren im Sinusbetrieb ebenfalls erreicht werden. Der vorgestellte Schaltwandler besitzt einen theoretischen Wirkungsgrad von bis zu 98,14 % in Bezug auf das Gesamtsystem und erfüllt damit die Anforderung der hohen Effizienz. Nach dem Vergleich zwischen GaN- und Silizium-Transistoren konnte basierend auf deren Verlusten die Vorteile der GaN-Transistoren herausgestellt werden. Durch die Verwendung einer Multiphasen-Topologie kann über eine Änderung der Phasenanzahl diese Arbeit für weitere Einsatzzwecke genutzt werden. Zudem wurde neben der Simulation des Gesamtsystems ein äquivalentes Modell für eine Stromregelung in Mehrphasensystemen entworfen, welches für die Modellierung weiterer Systeme mittels MATLAB genutzt werden kann. Für eine verlässliche Aussage über das Regelverhalten zu erhalten ist eine Schaltungssimulation notwendig, da Abweichungen zwischen dem vorgestellten Modell und der Simulation bestehen.

Aufgrund der hohen Komplexität des Gesamtsystems war ein Aufbau des Vierquadrantennetzteiles im zeitlichen Rahmen dieser Arbeit nicht möglich. Bei der Realisierung des Schaltwandlers können mögliche Fehlerquellen durch den Einfluss der hochfrequenten Schaltvorgänge der Halbbrücken entstehen. Aus diesem Grund muss bei dem Entwurf der Leiterplatte hohe Sorgfalt auf die Signalintegrität und auf die elektromagnetische Verträglichkeit gelegt werden. Basierend auf dieser Arbeit kann dieses Gesamtsystem als Grundlage für weitere Anwendungen dienen.

Literaturverzeichnis

- [1] A. LIDOW, J. STRYDOM, M. DE ROOIJ, D. REUSCH : *GaN Transistors for Efficient Power Conversion*. 2. Auflage. Chichester : Wiley Publication, 2014
- [2] BRONSTEIN, I. N. ; SEMENDJAJEW, K. A. ; MUSIOL, G. ; MÜHLIG, H.: *Taschenbuch der Mathematik*. 6. Frankfurt am Main, 2008. – ISBN 3–8171–2006–0
- [3] COILCRAFT INC.: *Determining Inductor Power Losses*. url: http://www.inductors.ru/pdf/doc486_inductorlosses.pdf, Aufgerufen am 13.11.2015
- [4] DEPARTMENT OF DEFENSE INTERFACE STANDARD: *REQUIREMENTS FOR THE CONTROL OF ELECTROMAGNETIC INTERFERENCE CHARACTERISTICS OF SUBSYSTEMS AND EQUIPMENT MIL-STD-461E* . url: <http://snebulos.mit.edu/projects/reference/MIL-STD/MIL-STD-461E.pdf>, Aufgerufen am 24.02.2016
- [5] EFFICIENT POWER CONVERSION CORPORATION: *Using Enhanced Mode GaN-on-Silicon Power FETs (eGaN[®] FETs)*. url: http://epc-co.com/epc/Portals/0/epc/documents/product-training/using_gan_r4.pdf, Aufgerufen am 7.12.2015
- [6] FANG LIN LUO, HONG YE: *Advanced DC/DC Converters*. 1. Edition. New York : CRC Press, 2004
- [7] H. ERTL, J. W. KOLAR, F. C. ZACH: *Basic Considerations and Topologies of Switched-Mode Assisted Linear Power Amplifiers*. url: https://www.pes.ee.ethz.ch/uploads/tx_ethpublications/29_JWK_1996_Basic_Considerations_00500444.pdf, Aufgerufen am 24.11.2015
- [8] H. SEKIYA, X. WEI, T. NAGASHIMA, M. K. KAZIMIERCZUK: Steady-State Analysis and Design of Class-DE Inverter at Any Duty Ratio. In: *IEEE Transactions On Power Electronics* 30 (2015), July, Nr. 7, S. 3685–3694
- [9] HOROWITZ, P. ; HILL, W.: *The Art of Electronics*. New York, NY, USA : Cambridge University Press, 2015. – ISBN 978–0521809269
- [10] INTERNATIONAL RECTIFIER INC.: *MOSFET TECHNOLOGY ADVANCES DC-DC CONVERTER EFFICIENCY FOR PROCESSOR POWER*. url: <http://www.irf.com/technical-info/whitepaper/processorpower.pdf>, Aufgerufen am 12.11.2015

- [11] JANG, Yungtaek ; JOVANOVIĆ, M. M. ; PANOVIĆ, Y.: Multiphase buck converters with extended duty cycle. In: *Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE*, 2006, S. 38–44
- [12] M. K. KAZIMIERCZUK: *Pulse-width Modulated DC-DC Power Converters*. 1. Auflage. Chichester : Wiley Publication, 2008
- [13] MUHAMMAD H. RASHID: *Power Electronics Handbook*. 3. url: <http://www.ti.com/lit/an/slpa009a/slpa009a.pdf>, 2010
- [14] OTTO FÖLLINGER: *Regelungstechnik*. 8. Auflage. Heidelberg : Hüting Verlag, 1994
- [15] R. B. RIDLEY: *A New, Continuous-Time Model For Current-Mode Control*. VOL. 6. NO. 2., April 1991
- [16] R. KORIEŠ, H. SCHMIDT-WALTER: *Taschenbuch der Elektrotechnik*. 7. Auflage. Frankfurt am Main : Verlag Harry Deutsch, 2006
- [17] RAMESH KANKANALA MICROCHIP TECHNOLOGY INC.: *Phase-Shifted Full-Bridge (PSFB) Quarter Brick DC/DC Converter Reference Design Using a dsPIC[®]DSC*. url: http://www.microchip.com:443/stellent/idcplg?IdcService=SS_GET_PAGE&nodeId=1406&dDocName=en549362#, Aufgerufen am 05.08.2013
- [18] SAMSON AG: *Regler und Regelstrecken*. url: https://www.eal.ei.tum.de/fileadmin/tueieal/www/courses/bdgea/lecture/WS1213/Samson_Reglerstrecken.pdf, Aufgerufen am 1.12.2015
- [19] SATO, Y. ; KAWASAKI, M. ; ITO, T.: A diode-clamped multilevel inverter with voltage boost function. In: *Power Electronics and ECCE Asia (ICPE ECCE), 2011 IEEE 8th International Conference on*, 2011. – ISSN 2150–6078, S. 1987–1991
- [20] TEXAS INSTRUMENTS INC.: *MODELLING, ANALYSIS AND COMPENSATION OF THE CURRENT-MODE CONVERTER*. url: <http://www.ti.com/lit/an/slva101/slva101.pdf>, Aufgerufen am 12.11.2015
- [21] TEXAS INSTRUMENTS INC.: *Input and Output Capacitor Selection*. url: <http://www.ti.com/lit/an/slta055/slta055.pdf>, Aufgerufen am 14.01.2016
- [22] TEXAS INSTRUMENTS INC.: *Average Current Mode Control of Switching Power Supplies*. url: <http://www.ti.com/lit/an/slva079/slva079.pdf>, Aufgerufen am 20.11.2015
- [23] TEXAS INSTRUMENTS INC.: *GaN FET module performance advantage over silicon*. url: <http://www.ti.com/lit/wp/slyy071/slyy071.pdf>, Aufgerufen am 26.01.2016
- [24] TEXAS INSTRUMENTS INC.: *Power Loss Calculation With Common Source Inductance Consideration for Synchronous Buck Converters*. url: <http://www.ti.com/lit/an/slpa009a/slpa009a.pdf>, Aufgerufen am 27.01.2016
- [25] TIAN, Shuilin ; LEE, F.C. ; LI, Jian ; LI, Qiang ; LIU, Pei-Hsin: Equivalent circuit model of constant on-time current mode control with external ramp compensation. In: *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*, 2014, S. 3747–3754

- [26] U. TIETZE, CH. SCHENK, E. GAMM: *Halbleiter-Schaltungstechnik*. 13. Auflage. Berlin : Springer Verlag, 2010
- [27] YANMING, Li ; XINQUAN, Lai ; FUJI, Chen ; BING, Yuan ; XINZHANG, Jia: An adaptive slope compensation circuit for buck DC-DC converter. In: *ASIC, 2007. ASICON '07. 7th International Conference on*, 2007, S. 608–611
- [28] ALLEGRO MICROSYSTEMS, LLC: *Datenblatt ACS716*. url: <http://www.allegromicro.com/~media/Files/Datasheets/ACS716-Datasheet.ashx?la=en>, Aufgerufen am 26.01.2016
- [29] COILCRAFT INC.: *Datenblatt Shielded Power Inductor – SER2000*. url: <http://www.coilcraft.com/pdfs/ser2000.pdf>, Aufgerufen am 11.02.2016
- [30] COILCRAFT INC.: *Webapplikation zur Berechnung der Spulenverluste*. url: http://www.coilcraft.com/apps/loss/loss_1.cfm, Aufgerufen am 28.02.2016
- [31] EFFICIENT POWER CONVERSION CORPORATION: *Datenblatt EPC2016C*. url: http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2016C_datasheet.pdf, Aufgerufen am 21.01.2016
- [32] EFFICIENT POWER CONVERSION CORPORATION: *Datenblatt EPC2001C*. url: http://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2001C_datasheet.pdf, Aufgerufen am 24.02.2016
- [33] GAN SYSTEMS INC.: *Datenblatt GS61004B*. url: http://www.gansystems.com/datasheets/20150904/GS61004B_DS_Rev151223.pdf, Aufgerufen am 24.02.2016
- [34] GAN SYSTEMS INC.: *Datenblatt GS61008T*. url: http://www.gansystems.com/datasheets/20150904/GS61008T_DS_20Rev150904.pdf, Aufgerufen am 24.02.2016
- [35] INFINEON TECHNOLOGIES AG: *Datenblatt IPG20N10S4L-22*. url: http://www.infineon.com/dgdl/Infineon-IPG20N10S4L_22-DS-v01_01-en.pdf?fileId=db3a3043372d5cc801374ffbf9504fd, Aufgerufen am 21.01.2016
- [36] NATIONAL INSTRUMENTS CORPORATION: *Understanding Direct Digital Synthesis (DDS)*. url: <http://www.ni.com/white-paper/5516/en/pdf>, Aufgerufen am 24.02.2016
- [37] STMICROELECTRONICS N.V.: *Datenblatt STPS30M60DJF*. url: <http://www.st.com/web/en/resource/technical/document/datasheet/DM00053270.pdf>, Aufgerufen am 21.01.2016
- [38] T-GLOBAL TECHNOLOGY: *Datenblatt TGX*. url: <http://www.tglobaltechnology.com/datasheets/TG-X.pdf>, Aufgerufen am 10.03.2016

Abbildungsverzeichnis

1.1	Schematischer Aufbau der bisherigen Testumgebung [4]	1
1.2	Schematischer Aufbau der geplanten Testumgebung	2
2.1	Aufbau des Gesamtsystems des Vierquadrantennetztes	5
3.1	Möglicher Quadrantenbetrieb des Klasse-D-Netztes	7
3.2	Übertragungsfunktion des vereinfachten Ausgangsfilters	10
3.3	Ausgangsspannungs- und Ausgangsstromverlauf bei kapazitiver Last im Sinusbetrieb	11
3.4	Aufbau einer herkömmlichen Klasse-D-Leistungsstufe [12]	13
3.5	Typische Signalverläufe einer herkömmlichen Klasse-D Leistungsstufe im kontinuierlichen Vorwärtsbetrieb [16]	14
3.6	Vereinfachtes transientes Ausschaltverhalten eines Transistors an einer induktiven Last [16]	15
3.7	Aufbau eines Switchmode Assisted Linear Verstärkers [7]	16
3.8	Stromverlauf eines Switchmode Assisted Linear Verstärkers [7]	17
3.9	Aufbau eines 3-Level-Diode-Clamped-Multilevel-Inverters [19]	18
3.10	Mögliche PWM-Ansteuerung eines 3-Level-Diode-Clamped-Multilevel-Inverters [19]	19
3.11	Aufbau eines Multiphasen Inverters	20
3.12	Aufbau eines Multiphasen Inverters mit negativer Ausgangsspannung	21
3.13	Typische Signalverläufe eines vierphasigen Inverters [11]	23
3.14	Vergleich der normierten Verluste der einzelnen Topologien in Abhängigkeit der Anzahl an Level oder Phasen	25
3.15	Signalverlauf des Phasenstromes bei Peak-Current Regelung und Slope-Kompensation [15]	29
3.16	Frequenzverlauf der Stromregelung bei Korrekturfaktor $k = 1$	33
3.17	Frequenzverlauf der Stromregelung bei Korrekturfaktor $k = 1.5$	33
3.18	Thermisches Modell der Transistoren [5]	37
4.1	Blockschaltbild des Schaltwandlers	39
4.2	Streckenverhalten bei offenem Regelkreis im Leerlaufbetrieb (rote Kennlinie) und unter Volllast (blaue Kennlinie) bei 90 % Tastverhältnis	42
4.3	Vergleich zwischen den Frequenzverläufen der geregelten Strecke im Leerlaufbetrieb bei 50 % Tastverhältnis (blau) und der LTSpice-Simulation (rot)	43
4.4	Sprungantwort der geregelten Strecke im Leerlaufbetrieb im Vergleich zwischen dem MATLAB Modell und der LTSpice Simulation	44

4.5	Vergleich zwischen den Frequenzverläufen der geregelten Strecke bei $1,6\,\Omega$ Last bei 50 % Tastverhältnis (blau) und der LTSpice-Simulation (rot)	45
4.6	Sprungantwort der geregelten Strecke bei $1,6\,\Omega$ Last im Vergleich zwischen dem MATLAB Modell und der LTSpice Simulation	45
5.1	Effizienzplot der berechneten Vierphasentopologie	49
6.1	Schutzbeschaltung einer Halbbrücke	51
6.2	Schutzschaltung gegen Übersprechen und zur Totzeitgenerierung [13] .	52
6.3	Schaltverhalten der Schutzbeschaltung bei fehlerhaften Signalen	53
6.4	Schutzbeschaltung der Ausgangsstufe	54
7.1	Aufbau des Gesamtsystems mit Field Programmable Gate Array (FPGA) Einsatz	58
7.2	Kommunikationsschnittstellen des Klasse-D-Netzteiles	59
7.3	Möglicher modulierter Spannungsverlauf	60
7.4	Funktionsweise des eingesetzten DDS Generators [36]	61
8.1	Schaltungsabbild der Peak-Current-Regelung einer Phase [15]	63
8.2	Schematischer Aufbau der Spannungsmessung [9]	66
8.3	Aufbau der Scheitelspannungserkennung [9]	67

Tabellenverzeichnis

3.1	Parameter- und Verlustvergleich zwischen GaN-FET EPC2016C [31] und dem MOSFET IPG20N10S4L-22 [35] bei maximal angegebenen Parametern	35
3.2	Parametervergleich zwischen diversen kommerziell erhältlichen GaN-FETs unter Betrachtung der typischen Werte [31] [32] [33] [34]	36
3.3	Vergleich zwischen den Verlusten [35] diverser kommerziell erhältlicher GaN-FETs im Multiphaseninverterbetrieb unter Betrachtung deren typischen Werte	36